Gesamtvorhaben:
Integrierte Komponenten und integrierter Entwurf energie-effizienter Batteriemanagementsysteme (IKEBA)

Teilvorhaben:
Entwurfsmethoden für verbesserte robuste Batteriemanagementsysteme

Schlussbericht

gemäß Nr.8.2 der NKBF 98 zum Projekt

Zuwendungsempfänger:	Fraunhofer-Gesellschaft zur Förderung der angewandten Forschung e.V. Postfach 20 07 33 80007 München
Ausführende Stellen:	Fraunhofer-Institut für Integrierte Schaltungen (IIS) Institutsteil Entwurfsautomatisierung (EAS) Haeckelstr. 38 01069 Dresden Fraunhofer-Institut für Zuverlässigkeit und Mikrointegration (IZM) Mikro-Mechatronik Zentrum Argelsrieder Feld 6 82234 Weßling-Oberpfaffenhofen
Bearbeiter:	Matthias Gulbins, Dipl.-Ing. Joachim Haase, Dr.-Ing. Thomas Markwirth, Dipl.-Ing. Jens Michael Warmuth, M.Sc.
Leiter des Teilvorhabens:	Manfred Dietrich, Dr.-Ing.

Förderkennzeichen:	16N12440
Laufzeit des Vorhabens:	1. Mai 2013 bis 30. April 2016

Bundesministerium für Bildung und Forschung

VDI | VDE | IT

Kontakt:

Dr. Manfred Dietrich
Fraunhofer-Institut für Integrierte Schaltungen (IIS)
Institutsteil Entwicklung adaptiver Systeme (EAS)
Zeunerstr. 38
01069 Dresden

E-Mail: manfred.dietrich@eas.iis.fraunhofer.de

Angaben zur Förderung:

Das Teilvorhaben im Vorhaben IKEBA wurde im Rahmen der Bekanntmachung des Bundesministeriums für Bildung und Forschung von Richtlinien zur Förderung zum Themenfeld Schlüsseltechnologien für die Elektromobilität „Energieeffiziente und sichere Elektromobilität“ (STROM2) gefördert.

Die Begleitung des Vorhabens erfolgte durch den Projektträger VDI/VDE Innovation + Technik GmbH Berlin (Bereich Zukunftstechnologien und Europa).

Angaben zur Veröffentlichung:

Das diesem Bericht zugrundeliegende Vorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter dem Förderkennzeichen 16N12440 gefördert. Die Verantwortung für den Inhalt dieser Veröffentlichung liegt bei den Autoren.

Zusammenfassung

Die in heutigen Elektrofahrzeugen verwendeten Lithium-Ionen-Batterien besitzen zwar ein hohes Potenzial für größere Reichweiten, erreichen aber noch nicht die Reichweiten verbrennungsmotorischer Antriebe. Durch eine bessere Ausnutzung vorhandener Ladekapazitäten in jeder einzelnen Zelle ließe sich mehr Ladung in Batterien einspeisen und auch wieder abrufen. Dies würde die Reichweite von Elektrofahrzeugen deutlich erhöhen. Diese Ausgangssituation war die Motivation für das Vorhaben IKEBA.

Partner von IKEBA waren die Atmel Automotive GmbH, die auch die Projektkoordination übernommen hat, die HELLA KGaA Hueck & Co. Lippstadt, das Karlsruher Institut für Technologie (Institut für angewandte Materialien – Angewandt Werkstoffphysik) und die Fraunhofer-Gesellschaft (Fraunhofer-Institut für Integrierte Schaltungen/Institutsteil Entwurfsautomatisierung Dresden und Fraunhofer-Institut für Zuverlässigkeit und Mikrointegration/Mikro-Mechatronik Zentrum Oberpfaffenhofen).

Die Partner in IKEBA analysierten das Potential neuer Systemarchitekturen mit verbesserten Komponenten für die effizientere Steuerung der Batterieladung und -entladung. Dafür wurden Grundlagen des elektrochemischen Verhaltens von Lithium-Ionen-Zellen und -Batterien untersucht. Zur Analyse der Wechselwirkungen von Batteriezellen, Batteriemanagement-Schaltkreisen zur Überwachung von Zellspannungen und –temperaturen und der Batteriemanagement-Software des Batteriemanagement-Steuergerätes wurde eine virtuelle Entwurfs- und Simulationsumgebung für Batteriesysteme entwickelt und an einem Funktionsdemonstrator erprobt. Damit werden Voraussetzungen für die schnellere und sichere Entwicklung von Komponenten künftiger Batteriemanagementsysteme geschaffen, die eine bessere Charakterisierung des Batteriezustandes hinsichtlich Temperatur, Ladezustand und Alterung erlauben und auch fehlerhaftes Verhalten und Ausfälle einzelner Zellen rechtzeitig erkennen.

Die genauere Erfassung und Berücksichtigung des Zustands von Batteriezellen ermöglicht eine längere Lebensdauer und einen sichereren Betrieb. Insbesondere werden Kapazitätsreserven, die bereits in heutigen Batterien vorhanden sind, aufgedeckt und verfügbar gemacht.

Schwerpunkt der Arbeiten von Fraunhofer IIS/EAS im Teilvorhaben war die Untersuchung und Erprobung von Verfahren für eine Entwurfsumgebung zum schnellen virtuellen Prototyping von Batteriemanagementsystemen unter Verwendung von SystemC und SystemC AMS als Modellierungssprachen für die Simulation. Für diese Entwurfsplattform wurden robuste und schnell auswertbare Verhaltensmodelle von Lithium-Ionen-Batteriezellen (LIB) und Batterien unter Berücksichtigung von Änderungen der Temperatur und des Ladezustandes erstellt, die die Einbeziehung von Fertigungsschwankungen erlauben. Es wurden Methoden zur Einbeziehung von Verhaltungsmodellen der Komponenten von BMS Chips und der BMS Elektronik unter Abwägung unterschiedlicher Genauigkeits- und Rechenzeitanforderungen entwickelt und in der Wechselwirkung mit der Batteriemanagementsoftware erprobt. Das Vorgehen wurde durch Vergleich von Simulationsergebnissen mit Messungen an einem Funktionsdemonstrator, der federführend beim Projektpartner Hella KGaA Hueck&Co erstellt wurde, und unter Einbeziehung von realer Hardware in die Entwurfsumgebung im Rahmen von Hardware-in-the-Loop-Simulationen bestätigt. Innovative Konzepte zur Modellierung von fehlerhaftem Verhaltens von Komponenten und Störungen in einem Batteriemanagementsystem mittels Fehlerinjektion wurden entwickelt und erprobt. Damit konnten Untersuchungen zur Reaktion der Batteriemanagementsoftware auf das fehlerhafte Verhalten von Hardwarekomponenten durchgeführt werden. Mit den Arbeiten wurden die Voraussetzungen für eine flexible Entwurfsumgebung für verbesserte robuste Batteriemanagementsysteme geschaffen, in der die Wechselwirkungen zwischen Batteriezellen, integrierten Schaltkreisen zur Überwachung und Erfassung des Zustandes der Batteriezellen und Steuergeräten, auf denen die Batteriemanagementsoftware läuft, berücksichtigt werden kann und Untersuchungen für das Nominalverhalten und Verhalten im Fehlerfall durchgeführt werden können.

Die Arbeiten von Fraunhofer IZM waren auf das Verhalten der Komponenten der Batteriemanagement-ICs unter Berücksichtigung thermo-mechanischer Belastung ausgerichtet. Mittels Simulation und unter Verwendung eines Stressmesschips wurden Auswirkungen von unterschiedlichen geometrischen Lagen von Komponenten im Schaltkreislayout hinsichtlich ihrer Stressempfindlichkeit untersucht, um eine hochpräzise Spannungsmessung gewährleisten zu können.

Inhalt

Zusammenfassung 3
1 Kurze Darstellung des Vorhabens 5
1.1 Aufgabenstellung 5
1.2 Voraussetzungen, unter denen das Vorhaben durchgeführt wurde 8
1.3 Planung und Ablauf des Vorhabens 9
1.4 Wissenschaftlicher und technischer Stand, an den angeknüpft wurde 11
1.5 Angaben zu bekannten Konstruktionen, Verfahren und Schutzrechten, die für die Durchführung des Vorhabens benutzt wurden 13
1.6 Angaben zur verwendeten Fachliteratur sowie benutzten Informations- und Dokumentationsdiensten 13
1.7 Zusammenarbeit mit anderen Stellen 14
2 Eingehende Darstellung der Arbeiten 15
2.1 Erzielte Ergebnisse.. 17
2.1.1 Verhaltensmodelle für Komponenten 17
2.1.1.1 Batterie 17
2.1.1.2 Verhaltensmodelle für BM IC Komponenten und TLM-Modellierung der SPI-Schnittstelle 22
2.1.1.3 Stromsensor (HVCS High Voltage Current Sensor) 24
2.1.1.4 Temperatursensor: 24
2.1.2 Entwurfsplattform 25
2.1.2.1 Modellbibliothek 25
2.1.2.2 Schnittstellen zwischen Management-Software (Firmware), Controller und Monitoring-IC 26
2.1.2.3 Fehlerinjektion 27
a) Digitale Fehlermodelle 28
b) Analoge und Mixed-Signal Fehlermodelle 29
2.1.3 Validierung 32
2.1.3.1 Batteriemodelle 32
2.1.3.2 Untersuchung des Nominalverhaltens für den Funktionsdemonstrator 37
2.1.3.3 Untersuchungen zu fehlerhaftem Verhalten für den Funktionsdemonstrator 39
2.1.3.4 Untersuchungen zur Einbeziehung von Hardware in die Simulation (HiL) 40
2.1.4 Untersuchungen zum Stressverhalten (Fraunhofer IZM) 41
2.2 Voraussichtlicher Nutzen, insbesondere Verwertbarkeit der Ergebnisse und Erfahrungen.… 54
2.3 Fortschritt an anderen Stellen 55
2.4 Erfolgte Veröffentlichung der Ergebnisse 55

1 Kurze Darstellung des Vorhabens

1.1 Aufgabenstellung

Der Nationale Entwicklungsplan Elektromobilität der Bundesregierung vom August 2009 stellte als eine zentrale Aufgabe für Forschungs- und Entwicklungsaktivitäten die Forderung nach sicheren und bezahlbaren Batteriesystemen heraus. Als erforderlich wurde die Verbesserung der Sicherheitsmerkmale erachtet, wobei im Normalbetrieb das Batteriemanagementsystem (BMS) für die notwendige Sicherheit zu sorgen hat [1] (Seite 10), [2]. An diese Einschätzung knüpfte auch die BMBF-Bekanntmachung „Energieeffiziente und sichere Elektromobilität“ (STROM 2) an [3], und hier sind auch die Arbeiten im Vorhaben IKEBA einzuordnen.

Ausgangspunkt für das Vorhaben IKEBA war der Stand der Entwicklung von Batterien und Batteriemanagementsystemen für den mobilen Einsatz in Fahrzeugen zu Beginn des Vorhabens. Für Elektrofahrzeuge und Plug-In-Hybridfahrzeuge befand sich eine erste Generation von Batteriemanagementsystemen für Lithium-Ionen-Batteriesysteme in der Entwicklung und in der Testphase. Wesentliche Komponenten dieser Batteriemanagementsysteme wurden auf Halbleiterchips (Batterie-Monitoring ICs) zur Erfassung von Kenngrößen der Batterie integriert. Das Batteriemanagemensystem muss gewährleisten, dass das Überladen und die Tiefentladung von Zellen vermieden werden. Durch genauere Erfassung der Kenngrößen von Batteriezellen im Ergebnis des Zusammenwirkens verbesserter Batteriemanagement-ICs und Batteriemanagement-Software, die auf verbesserten Modellen für die Batteriezellen zurückgreift, kann die in den Batteriezellen gespeicherte Energie besser ausgenutzt und die Anforderungen an die BMS-Sicherheit erfüllt werden. Batteriemanagementsysteme waren auch wegen einer nicht optimalen Dimensionierung teurer als nötig und in der Arbeitsweise erreichten sie nicht die höchst mögliche Effektivität.

Optimierung und einfache Systemintegration der Komponenten bei der Entwicklung kompletter BMS für große Batteriemodule waren somit eine Herausforderung für Entwicklungen im BMS-Bereich. Um Laden und Entladen optimal zu steuern, muss der Ladezustand der Batteriezellen möglichst genau erfasst werden. Damit werden die Voraussetzungen für eine optimale Steuerung der Ladezyklen geschaffen, wodurch eine hohe Lebensdauer der Batterie erreicht werden kann.

Im Rahmen des Vorhabens sollte deshalb eine integrierte Entwurfsplattform entstehen, mit der die Ergebnisse der am Vorhaben beteiligten Partner zusammengeführt und die Wechselwirkungen zwischen den einzelnen Komponenten eines BMS untersucht werden können. Die Entwurfsplattform sollte somit die Auswahl, Spezifikation und Entwicklung der Komponenten konfigurierbarer Batteriesysteme unter Berücksichtigung der Wechselwirkungen und Abhängigkeiten der Komponenten unterstützen. Zur Validierung der Funktion eines BMS sollten die Simulationsverfahren und die dafür notwendigen Modelle für die Einzelkomponenten erforscht werden. Durch die Erforschung von Modellen, die auch nichtideales Verhalten (Temperaturabhängigkeiten, Parametervariationen und ähnliches) sowie fehlerhaftes Verhalten (Ausfall von Komponenten) berücksichtigen können, kann im Ergebnis nun nicht nur das Sollverhalten unter verschiedenen Bedingungen, sondern auch das Verhalten im Fehlerfall analysiert werden. Mit diesem innovativen Modellierungsansatz von IKEBA kann exzellent und ausführlich die Wirksamkeit von Maßnahmen zur Gewährleistung der funktionalen Sicherheit überprüft werden.

Fraunhofer IIS/EAS baute bei den Arbeiten auf der weltweit ersten SystemC AMS Simulationsplattform auf, die im Institutsteil entwickelt worden ist. Die integrierte Entwurfsumgebung für komplexe Systeme unterstützt die Modellierung und Simulation von Hard- und Softwaresystemen. Die vorhandene Plattform war ursprünglich auf die Anforderungen rein elektronischer Systeme ausgerichtet. Wichtige Projektziele im Teilvorhaben waren vor diesem Hintergrund die Schaffung und Erprobung der Grundlagen für folgende Problemstellungen

- Untersuchung und Erprobung von Verfahren für die Erstellung robuster und schnell auswertbarer Verhaltensmodelle von LIB-Batteriezellen und Batterien unter Berücksichtigung von Änderungen der Temperatur und des Ladezustandes beim Betrieb der Zellen unter Berücksichtigung von Fertigungsschwankungen
- Untersuchungen zur Verhaltungsmodellierung der Komponenten von Batterie-Monitoring-Chips (ICs) und der BMS Elektronik unter Abwägung unterschiedlicher Genauigkeits- und Rechenzeit-anforderungen
- Innovative Konzepte zur Modellierung von fehlerhaftem Verhalten von Komponenten und Störungen in einem Batteriemanagementsystem
- Erforschung von Verfahren für eine Entwurfsumgebung zum schnellen virtuellen Prototyping von Batteriemanagementsystemen (Verfahren zur Validierung von Eigenschaften des BMS)
- Untersuchungen zur Einbeziehung der SystemC AMS basierten Entwurfsumgebung in typische Entwurfsabläufe im Automotive-Bereich
- Einbeziehung von realer Hardware in die Entwurfsumgebung und Erforschung von Maßnahmen zur Erhöhung der Sicherheit beim Rapid Prototyping im Rahmen von Hardware-in-the-Loop-Simulationen
- Erprobung der untersuchten und entwickelten Verfahren mit einer Forschungsversion der Entwurfsumgebung im Rahmen der Ergebnisdemonstration

Innovationspotenzial für das Teilvorhaben zielte ab auf

- Schaffung der Voraussetzungen für eine flexible Entwurfsumgebung für verbesserte robuste Batteriemanagementsysteme und die Entwicklung und Optimierung von neuen Verfahren zur Simulation des Ladens und Entladens unter Berücksichtigung des Ladezustandes einzelner Batteriezellen,
- Entwicklung der Grundlagen für konfigurierbare Batteriemanagementsysteme unter Berücksichtigung von Hochvolt- und Niedervoltaspekten, unterschiedlichen Betriebsanforderungen und unterschiedlichen Charakteristiken von Batteriezellen und
- die Konfiguration neuer LIB-Systeme unter besonderer Berücksichtigung der Eigenschaften der Komponenten.

Die Entwurfsplattform sollte die Auswahl und Entwicklung der Komponenten konfigurierbarer Batteriesysteme unter Berücksichtigung der Wechselwirkungen und Abhängigkeiten der Komponenten unterstützen. Ziel war es, zur Validierung der Funktion Simulationsverfahren und die dafür notwendigen Modelle für die Einzelkomponenten zu erforschen. Durch die Erforschung von Modellen, die auch nichtideales Verhalten (Temperaturabhängigkeiten, Parametervariationen und ähnliches) und fehlerhaftes Verhalten (Ausfall von Komponenten) wiedergegeben können, sollte nicht nur das Sollverhalten, sondern auch das Verhalten im Fehlerfall analysiert werden können. Mit einem innovativen Modellierungsansatz zur Fehlerinjektion sollte die Wirksamkeit von Maßnahmen zur Gewährleistung der funktionalen Sicherheit überprüft werden.

Die Arbeiten des Fraunhofer IZM waren auf die Komponenten der Batteriemanagement-ICs, die den Ladezustand von Zellen bestimmen, ausgerichtet. Für diese Aufgabe sind präzise Strom- oder Spannungsmessungen erforderlich, wobei die Spannungsmessung im Fokus des Projekts stand. Im Unterschied zur Strommessung, die den Ladungszustand einer Zelle durch Integration der ein- und ausfließenden Menge bestimmt, hat die Bestimmung der Zellspannung einen großen Vorteil. Wird die Spannung präzise ausgelesen kann durch sie der Ladezustand immer jeweils relativ zur aktuellen Maximalkapazität der Zelle ermittelt werden. Dies ist vor allem bei LI-Zellen entscheidend, deren Kapazität sich im Laufe der Zeit stark verändert. Allerdings verändert sich die Zellspannung nur sehr gering im Verhältnis zur Änderung des Ladezustandes, sodass die Messungen wesentlich präziser sein müssen, als es bei einer ladezustandsbestimmenden Strommessung der Fall ist. Eine der größten Herausforderung stellt dabei die Bereitstellung einer präzisen und über die gesamte Betriebszeit und alle

Umgebungsvariablen konstanten Referenzspannung auf dem BM-IC dar. Solche Referenzspannungen werden über eine Bandgap-Voltage-Referenz erzeugt, wie sie momentan in Analog-Digital-Wandlern häufig integriert ist. Die dem Stand der Technik zum Beginn des Projektes entsprechenden Schaltungen kompensieren rein thermische Einflüsse bereits gut, was auch das Ziel ihrer ursprünglichen Entwicklung war. Der Einfluss mechanischer Spannungen, auch wenn diese häufig erst durch Materialwechselwirkungen unter Temperatureinfluss, also indirekt durch Temperatur, in den IC eingebracht werden, war allerdings noch wenig erforscht und nicht explizit kompensiert. Wegen der kompakten Bauform der BMS und der daraus resultierenden engen mechanischen Kopplung an ihre Umgebung, muss mit einem nicht zu vernachlässigbaren Stresseintrag auf den IC zum einen während der Produktion, zum anderen während des Betriebs gerechnet werden. Um abschätzen zu können wie groß dieser Eintrag ist, sollten beispielhaft Bedingungen während definierter Szenarien getestet werden. Die exakte Bestimmung dieser Stresseinträge erfordert einen hochgenauen Sensor, der während der Aufbau- und Verbindungstechnik sowie in der Qualifizierung den Stresseintrag bestimmen kann. Dazu sollte der im BMBF Projekt iForceSens entwickelte Stresssensor zur Erforschung neuer Konzepte zum robusten BMS-IC-Design und Integrationsmethodik eingesetzt werden. Aufgabe war es, die Grundlagen für Aufbau- und Verbindungstechnologien für BMS zu untersuchen und dazu die Methoden der Stressanalyse zu verbessern und anzuwenden.

1.2 Voraussetzungen, unter denen das Vorhaben durchgeführt wurde

Partner im Vorhaben IKEBA waren

- die Atmel Automotive GmbH, die auch die Projektkoordination übernommen hat,
- die HELLA KGaA Hueck & Co. Lippstadt,
- das Karlsruher Institut für Technologie (Institut für angewandte Materialien – Angewandte Werkstoffphysik) und
- die Fraunhofer-Gesellschaft (Fraunhofer-Institut für Integrierte Schaltungen/Institutsteil Entwurfsautomatisierung Dresden und Fraunhofer-Institut für Zuverlässigkeit und Mikrointegration/ Mikro-Mechatronik Zentrum Oberpfaffenhofen).

Das Zusammenwirken der Partner ist in Bild 1 dargestellt.

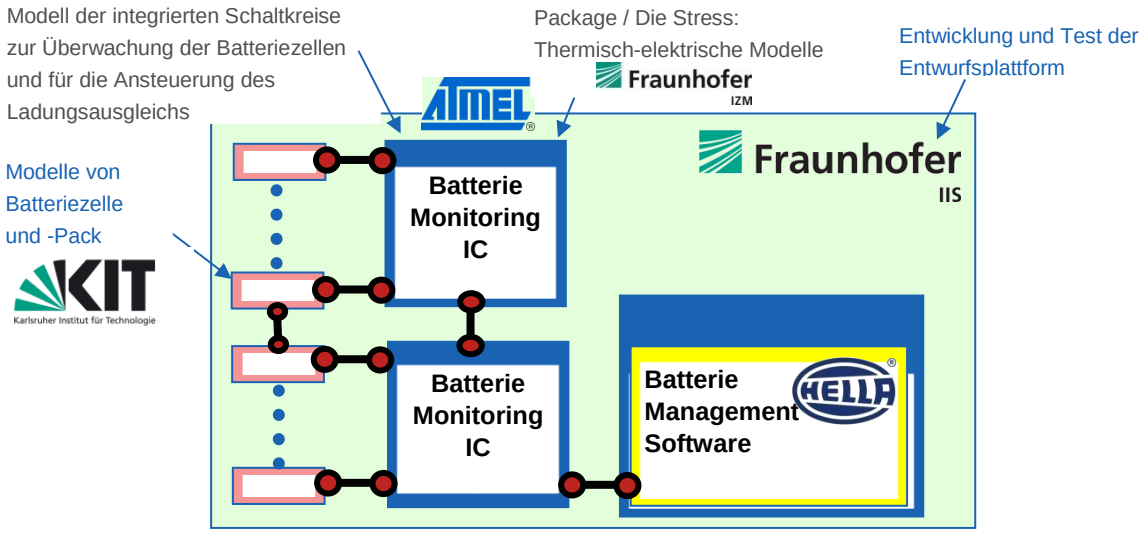


Bild 1 Aufgaben der Partner im Vorhaben

Der Projektpartner KIT führte experimentelle und theoretische Untersuchungen zum Verhalten von Batteriezellen durch. Dazu erfolgten u.a. Messungen an Batteriezellen und –packs bei unterschiedlichen Temperaturen und unter Berücksichtigung unterschiedlicher Ladezustände. Die Ergebnisse von Messungen auf Basis der CIT-Methode (*Current Interruption Technique*) wurden für die Parametrisierung von Modellen der Batteriezellen für die Entwurfsplattform verwendet. Messungen unter Verwendung von Lastprofilen auf der Basis des NEFZ-Geschwindigkeitsprofils (NEFZ – Neuer Europäischer Fahrzyklus) wurden zur Validierung der Modelle von Batteriezellen und –packs genutzt. Verhaltensmodelle für Komponenten der Batterie-Monitoring-ICs und der Schnittstelle zwischen ICs sowie ICs und Steuergerät wurden in Abstimmung mit dem Projektpartner Atmel erarbeitet. Seitens Fraunhofer IZM erfolgte mit Atmel eine enge Zusammenarbeit bei den Untersuchungen zu thermo-mechanischen Belastungen von ICs. Zur Validierung des mit der Entwurfsplattform umgesetzten Ansatzes zur gemeinsamen Betrachtung von Batteriezellen und –packs, Batterie-Monitoring-ICs und Steuergerätesoftware wurden Ergebnisse von Messungen an dem beim Projektpartner Hella aufgebauten Funktionsdemonstrator verwendet. Für die HiL-Untersuchungen konnte das BMS-Steuergerät zusammen mit anderen von Hella zur Verfügung gestellten Komponenten genutzt werden.
Der Austausch mit den Partnern im Vorhaben erfolgte auf den halbjährlich durchgeführten Statusseminaren und im Rahmen 14-tägiger Telefonkonferenzen. Für den Datenaustausch wurden zur projektinternen Nutzung ein Sharepoint und ein SVN Repository durch Fraunhofer IIS/EAS eingerichtet. Vom KIT wurde eine öffentliche WWW-Seite www.kit.edu/ikeba erstellt, auf der auch Ergebnisse des Teilvorhabens dargestellt sind.

1.3 Planung und Ablauf des Vorhabens

Die Untersuchungen für verbesserte Batteriemanagementsysteme wurden in vier Arbeitspaketen durchgeführt:

AP 1: Messtechnisch abgesicherte Zustandsanalyse von Lithium-Ionen-Zellen und Batterien
AP 2: Erforschung von Verfahren für ein verbessertes Batteriemanagement
AP 3: Verfahren und Modelle für eine Entwurfsumgebung für ein verbessertes Batteriemanagement
AP 4: Nachweis der Gültigkeit des IKEBA-Ansatzes und Ergebnisdemonstration

Die Arbeitspakete fassen die Arbeiten zu den thematischen Schwerpunkten des Vorhabens zusammen. Zur besseren Strukturierung wurden die Arbeitspakete in Teilarbeitspakete gegliedert

Im Arbeitspaket 1 wurden Untersuchungen zur Analyse und Beschreibung von Lithium-Ionen-Zellen und Batterien durchgeführt. Im Arbeitspaket 2 sind die Untersuchungen zur Verbesserung der Hard- und Software des Batteriemanagementsystems zusammengefasst. Im Teilarbeitspaket 2-1 erfolgten dabei Arbeiten in Zusammenhang mit der Untersuchung der integrierten Halbleiter-Komponenten des Batteriemanagementsystems. Gegenstand des Teilarbeitspaketes 2-2 waren Arbeiten zu Lade- und Entladealgorithmen und der Batterieelektronik, die das Zusammenwirken der Komponenten gewährleistet. Die Ergebnisse der Arbeitspakete 1 und 2 (AP 2-1 und AP 2-2) flossen in die Erstellung der Modelle für die Entwurfsplattform zum virtuellen Prototyping eines Batteriemanagementsystems ein, die Gegenstand der Arbeiten im Arbeitspaket 3 waren. Im Arbeitspaket 4 wurde die Anwendung der in den einzelnen Arbeitspaketen entwickelten Ansätze an Hand eines Funktionsdemonstrators nachgewiesen.

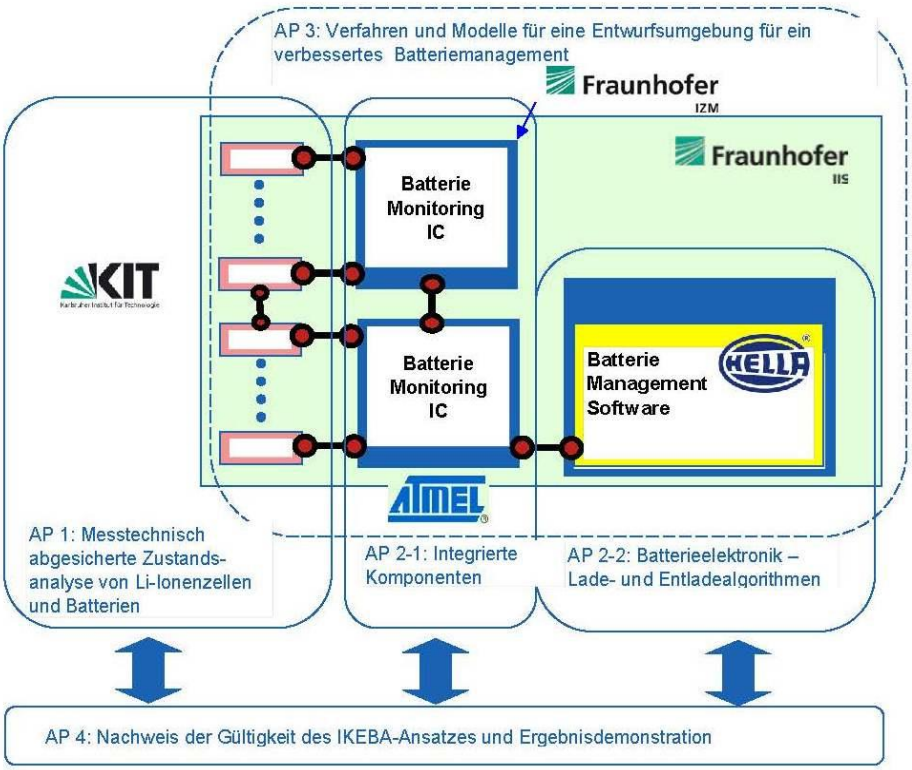


Bild 2 Beziehungen zwischen den Arbeitspaketen

Das Gesamtvorhaben dauerte 36 Monate. Im Teilvorhaben wurden Beiträge zu den folgenden Arbeitspaketen bzw. Teilarbeitspaketen geliefert, wobei die zeitliche Einordnung in Klammern angegeben ist (M steht für Monat im Vorhaben):

AP 3: Verfahren und Modelle für eine Entwurfsumgebung für ein verbessertes Batteriemanagement (Arbeitspaketleiter: Fraunhofer IIS/EAS)
AP 3-1: Anforderungen an die Verhaltensmodelle für die Komponenten
- AP 3-1.1-EAS: Anforderungen an die Verhaltensmodelle (M1-M6)

AP 3-2: Verhaltensmodellierung von BMS-Komponenten
- AP 3-2.1-EAS: Mathematische Grundlagen für die Modellierung (M6 – M9)
- AP 3-2.2-EAS: Modellerstellung und Test für das Nominalverhalten (M10 – M18)
- AP 3-2.3-EAS: Modellerstellung und Test der Fehlermodelle (M19 – M27)
- AP 3-2.4-EAS: Optimierung und Verfeinerung der Modelle (M28 – M36)

AP 3-3: Entwurfsumgebung
- AP 3-3.1-EAS: Spezifikation der Entwurfsumgebung (M1 – M9)
- AP 3-3.2-EAS: Erstellung einer Forschungsversion der Entwurfsumgebung (M10-M18)
- AP 3-3.3-EAS: Verfahren zur Fehlersimulation (M19 – M27)
- AP 3-3.4-EAS: Optimierung der Entwurfsplattform anhand der Ergebnisse aus der Ergebnisdemonstration (M28 – M36)

AP 3-4: Hochauflösende Erfassung des Belastungszustandes von BMS-Komponenten (M1- M27)
- AP 3-4.1-IZM: Durchführung mechanischer Tests am Atmel-Spannungssensors und am IZM-Stresssensor
- AP 3-4.2-IZM: Lokaler Stresseintrag entlang der Chipoberfläche über Nano-Indenter
- AP 3-4.3-IZM: Simulation der Stressverteilung der Packagevarianten bei unterschiedlichen Betriebsbedingungen
- AP 3-4-4-IZM: Bestimmung des ortsaufgelösten Stresseintrags durch den Packagingprozess

AP 4: Nachweis der Gültigkeit des IKEBA-Ansatzes und Ergebnisdemonstration
AP4-2: Entwicklung und Aufbau eines Funktionsdemonstrators
- AP 4-2.3-EAS: Validierung der Forschungsversion der Entwurfsumgebung (M19-M27)

AP4-4: Einbeziehung des Prozessormodells in die Ergebnisdemonstration
- AP 4-4-4-EAS: Integration des Prozessormodells (M28-M36)

Es wurden Beiträge zu den Meilensteinberichten geliefert

M1-AP3: Spezifikation der Entwurfsumgebung (M9)
Modelle für Komponenten eines BMS und die Entwurfsumgebung waren spezifiziert.

M2-AP3: Forschungsversion der Entwurfsumgebung (M18)
Eine erste Version der Entwurfsplattform, die das Nominalverhalten von Komponenten berücksichtigte, lag vor.

M3-AP3: Berücksichtigung nichtidealen Verhaltens in der Entwurfsumgebung (M27)
Die Entwurfsumgebung ist um Modelle und Verfahren zur Analyse fehlerhaften Verhaltens von Komponenten erweitert worden. Die Stressverteilung im BMS-Chip wurde numerisch und experimentell untersucht.

Die Untersuchungen in Zusammenhang mit der Erprobung der Forschungsversion der Entwurfsumgebung wurden auf der Abschlussveranstaltung des Vorhaben IKEBA dargestellt.

1.4 Wissenschaftlicher und technischer Stand, an den angeknüpft wurde

Die immer engere Verzahnung von analoger und digitaler Funktionalität, die typisch für Analog-Mixed-Signal-Anwendungen (AMS) ist, mit Software hat in den letzten Jahren stark zugenommen. Neben vielen Vorteilen die solche Mixed-Signal Architekturen haben, erhöhen sich die Anforderungen an den Entwurfsprozess, da mit der Software ein zusätzlicher Freiheitsgrad und eine Komponente hinzukommt, deren Entwurf sich nicht direkt auf den Hardware Entwurfsprozess abbilden und in ihn integrieren lässt. Die Entwicklung der dazu erforderlichen Methoden und Werkzeuge ist aufwendig und wurde zunächst von den großen Halbleiterherstellern getrieben. Bei den Arbeiten im Vorhaben IKEBA konnte an unterschiedliche Aspekte, die Gegenstand der BMBF Förderprojekte RapidMPSoC [4] und AutoSUN [5] und im MEDEA+/CATRENE Projekt BeyondDreams [6] waren, angeknüpft werden.

Stand bei den eingebetteten Systemen historisch gesehen die effiziente Nutzung der beschränkten Ressourcen wie geringer verfügbarer Speicher, kleine Wortbreite und relativ geringe Taktfrequenz im Vordergrund, so verschiebt sich die Fragestellung, auch unter dem Gesichtspunkt immer komplexerer Hardware-Software-Systeme, stärker in Richtung Vorhersagbarkeit und Zuverlässigkeit [7], Fehlertoleranz, Sicherheit, Reduzierung des Energieverbrauch bei Berücksichtigung der Wechselwirkungen mit der Umgebung. Das ist auch eine Entwicklung, der beim Entwurf von Batteriemanagementsystemen Rechnung getragen werden muss. Für komplexe Systemen und Langzeituntersuchungen sind effiziente Modelle und Simulationsverfahren erforderlich.

In diesem Zusammenhang hat es verschiedene Ansätze gegeben, die zeitkontinuierlich arbeitenden Teile derartiger Systeme mit dem „diskreten Werkzeugkasten“, beispielsweise mit der DEVS (Discrete Event System Specification) zu beschreiben [8], [9], um Simulationszeiten niedrig zu halten. Bei hohen Genauigkeitsanforderungen stößt dieses Vorgehen aber an Grenzen [10]. Mit analogen Erweiterungen von SystemC, weit verbreitet beim Entwurf digitaler Hardware, ist in den letzten Jahren erfolgreich versucht worden, auf die Anforderungen aus dem Entwurf von analog-digitalen Systemen unter Einbeziehung von Software einzugehen [11], [12]. SystemC AMS wurde 2016 als IEEE Standard verabschiedet [13]. Während der Beschreibung digitaler Komponenten und der Software zeitdiskrete Modelle zugrunde liegen, wird das analoge Verhalten zeitkontinuierlich unter Verwendung von Differentialgleichungen beschrieben und unter Verwendung entsprechender Lösungsalgorithmen approximiert. Durch das Abstraktionsniveau der Modelle können Rechenzeit und Genauigkeit beeinflusst werden. Für die Beschreibung von digitalen Bussystemen zeichnete sich TLM (*Transaction Level Modelling*) als eine Methode ab, die im Vorhaben für die Beschreibung der Schnittstelle zwischen den Batterie-Monitoring IC untereinander und zum Steuergerät eingesetzt worden ist. Verfahren zur effektiven Fehlerinjektion in TLM-Beschreibungen waren zunächst nicht bekannt.

Zur Beurteilung der Zuverlässigkeit des Gesamtsystems sind Modelle der einzelnen Komponenten erforderlich. Dabei sind Fertigungsschwankungen und Parameteränderungen in Folge von Alterung zu berücksichtigen. Für die Beschreibung der Batteriezellen existieren einerseits komplizierte Modelle, die das elektrochemische Verhalten möglichst genau beschreiben, damit aber für die Systemsimulation kaum geeignet sind und andererseits relativ einfache Modelle, bei denen die Abhängigkeiten der Modellbestandteile von SOC (*State of Charge*) und Temperatur aber nur sehr elementar erfasst werden [14], [15]. Hier wie auch bei der Beschreibung der thermisch-elektrisch-mechanischen Wechselwirkungen in den Halbleiterkomponenten war die geeignete Modellparametrisierung vielfach das offene Problem. Das traf auch auf Fehlermodelle [16], [17] der Bestandteile von Batterie und Batteriemanagementsystem und effiziente Verfahren zur Fehlerinjektion zu.

HiL (*Hardware-in-the-Loop*) Untersuchungen sind im Entwicklungsprozess in der Automobilindustrie weit verbreitet und werden ständig vervollkommnet [18]. Softwaremodelle können auf entsprechende Hardware geladen und so in die Untersuchungen einbezogen werden und Aussagen zum Echtzeitverhalten validieren. Auf diese Weise kann neben der Funktionsfähigkeit des Gesamtsystems

auch ein Nachweis für die Gültigkeit der in der Simulation eingesetzten Modelle erbracht werden. Mit der IKEBA-Plattform soll die vorhandene Lücke beim Systementwurf und der Simulation unter Berücksichtigung der Wechselwirkungen von Batterie, Batteriemonitoring-Schaltkreisen und Batteriemanagementsoftware geschlossen werden. Durch die Verwendung von Fehlermodellen bei der Beschreibung der Hardware sollten auch Möglichkeiten zur Überprüfung der Software bei fehlerhaftem Verhalten von Komponenten im Rahmen von HiL-Simulationen untersucht werden.

Neben den Arbeiten an der Entwurfsplattform wurden im Teilvorhaben Untersuchungen zu den Auswirkungen von thermo-mechanischen Belastungen der Batterie-Monitoring ICs durchgeführt. Die Messung der mechanischen Spannungen eines Bauteils erfolgt bei üblichen Verfahren meistens indirekt durch Auswertung der Verwölbungen von planaren Flächen: z.B. optische und mechanische Tastverfahren oder Überlagerung zu Moiré-Bildern. Unter Kenntnis der elastischen Eigenschaften kann aus den Dehnungen die mechanischen Spannungen errechnet werden. Bestimmte Materialien sind piezoelektrisch aktiv und deren Deformation führt zu einer Polarisation oder der Änderung des elektrischen Widerstands. Genauso wie elektrostriktive Materialien können auch magnetostriktive entsprechend als Sensoren für die Stress-Messung verwendet werden (z.B. magnetoelastische Sensoren). Optisch isotrope Schichten können unter Anlegung von mechanischen Spannungen anisotrop werden und mittels Doppelbrechung sichtbar gemacht werden.

Im Vorhaben IKEBA sollte ein CMOS-Chip mit piezoresistiven Sensoren und ASIC-Steuereinheit eingesetzt werden, mit dessen Hilfe die in-plane Dehnung auf der Chipoberfläche lokal erfasst werden kann und auf diese Weise die mechanischen Spannungen in einem Kunststoffgehäuse bestimmt werden können. Das Messprinzip beruht dabei auf der Änderung des Drain-Stroms eines Si-MOSFETs infolge der Beweglichkeitsänderung der Ladungsträger im Transistorkanal unter einwirkender mechanischer Spannung. Mithilfe eines Messzellen Arrays ist eine ortsaufgelöste in-plane Stresssensierung auf der Chipoberfläche möglich. Die Messzellen können sequentiell oder auch einzeln über eine im Chip integrierte Multiplexer-Schaltung mit einem Abfragetakt von 46 ms pro Messzelle ausgelesen werden.

Das Auswertegerät sollte Ein- und Ausgangsströme und am Stromspiegel anliegende Spannungen erfassen. Mit diesen elektrischen Messgrößen können Chiptemperaturen von -40°C bis +170°C berücksichtigt sowie folgende mechanische Stressgrößen berechnet werden:

- In-plane Scherspannung τ_{xy}
- In-plane Normalspannung σ_{xx} und σ_{yy} entlang der Chipkanten
- Differenz der in-plane Normalspannungen σ_{xx} - σ_{yy}

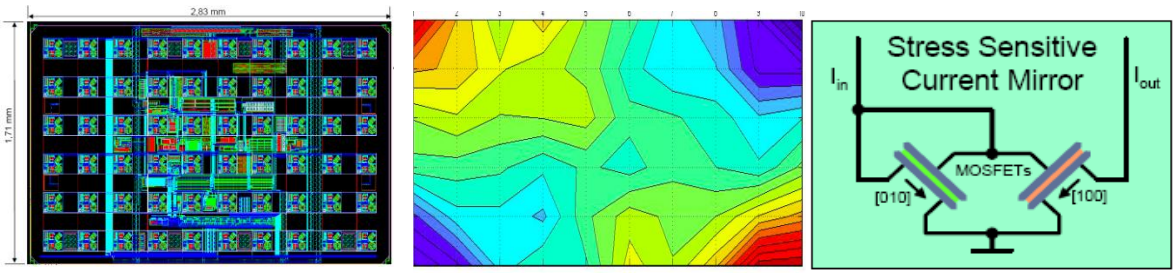


Bild 3 Links: Sensorlayout eines Stresssensors mit 6x10 Messzellen;
Mitte: Scherspannung; Rechts: Messprinzip des Stromspiegels

Bei diesen Arbeiten konnte am Mikro-Mechatronik Zentrum (MMZ) des Fraunhofer IZM auf Erfahrungen im Bereich der experimentellen und numerischen Bestimmung des Stresseintrags in mikroelektronische Komponenten [19], [20] aufgebaut werden.

1.5 Angaben zu bekannten Konstruktionen, Verfahren und Schutzrechten, die für die Durchführung des Vorhabens benutzt wurden

Bei Fraunhofer IIS/EAS wurde die Systementwurfsumgebung COSIDE genutzt. Die Vermarktung von COSIDE erfolgt durch die Firma COSEDA Technologies GmbH (http://www.coseda-tech.com/), die während der Laufzeit des Vorhabens aus der Fraunhofer-Gesellschaft e.V. ausgegliedert wurde. Die Plattform für SystemC AMS basiert auf dem Apache License, Version 2.0 Modell. Im Rahmen der SystemC AMS-Plattform wird das Eclipse Modeling Framework genutzt.

1.6 Angaben zur verwendeten Fachliteratur sowie benutzten Informations- und Dokumentationsdiensten

Literatur zur Einordnung der Arbeiten im Vorhaben in forschungspolitische Zielsetzungen:

[1] Nationaler Entwicklungsplan Elektromobilität der Bundesregierung (August 2009)- http://www.bmbf.de/pubRD/nationaler_entwicklungsplan_elektromobilitaet.pdf

[2] Zweiter Bericht der Nationalen Plattform Elektromobilität (Mai 2011)- http://www.bmu.de/verkehr/downloads/doc/47370.php

[3] BMBF-Bekanntmachung „Energieeffiziente und sichere Elektromobilität“ (STROM 2). http://www.bmbf.de/foerderungen/16425.php

Literatur zum wissenschaftlichen und technischen Stand an den angeknüpft wurde:

[4] RapidMPSoC ,Rapid System Prototyping and Platform-Based Design for Mixed Signal Multi Processor SoC. - http://www.edacentrum.de/rapidmpsoc/

[5] AutoSUN: Entwurf von elektronischen Automobil-Systemen aus toleranzbehafteten Baugruppen.http://projects.eas.iis.fraunhofer.de/autosun

[6] Beyond DREAMS: Design Refinement of Embedded Analogue and Mixed-Signal Systems. http://projects.eas.iis.fraunhofer.de/beyonddreams/

[7] Lee, E.A.: Cyber Physical Systems: Design Challenges.In: Proc. 11th IEEE International Symposium on Object Oriented Real-Time Distributed Computing (ISORC), 2008, pp. 363 – 369. doi: 10.1109/ISORC.2008.25 (auch verfügbar als Technical Report UCB/EECS-2008-8, University of California at Berkeley, 2008 http://chess.eecs.berkeley.edu/pubs/427.html)

[8] Cellier**,** F. E**.;** Kofman**,** E.: Continuous System Simulation. Springer Science+Business Media, 2009.

[9] Naturo, J.J.: Building Software for Simulation: Theory and Algorithms, with Applications in C++. John Wiley & Sons, 2011.

[10] Nutaro, J.; Kuruganti, P.T.; Protopopescu, V.; Shankar, M.: The split system approach to managing time in simulations of hybrid systems having continuous and discrete event components. In: SIMULATION : Transaction of the Society for Modeling and Simulation. March 2012, vol. 88, no. 3, pp. 281-298. Online May 10, 2010. doi 10.1177/0037549711401000

[11] SystemC AMS extensions. http://www.systemc.org/apps/group_public/workgroup.php?wg_abbrev=amswg

[12] Vachoux, A.; Grimm, C.; Einwich, K.: "Extending SystemC to Support Mixed Discrete-Continuous System Modeling and Simulation," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, Kobe, Japan, 2005, pp. 5166 – 5169

[13] IEEE Standard for Standard SystemC(R) Analog/Mixed-Signal Extensions Language Reference Manual. IEEE Std 1666.1-2016 , pp.1-236, April 6 2016. doi: 10.1109/IEEESTD.2016.7448795

[14] Gao, L.; Dougal, R.A.: Dynamic Lithium-Ion Battery Model for System Simulation. In: IEEE Trans on Components and Packaging Technologies, vol. 25, No. 3, 2002, pp. 495-505. doi: 10.1109/TCAPT.2002.803653

[15] Andrea, D.: Battery Management Systems for Large Lithium-Ion Packs. Boston|London: Artech House, 2010.

[16] Manoj Sachdev, José Pineda de Gyvez: Defect-Oriented Testing for Nano-Metric CMOS VLSI Circuits (2nd Edition). Springer, 2007. Online: https://books.google.de/books?id=DLwGuZZ6XyAC

[17] M. Bushnell, Vishwani D. Agrawal: Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits. Springer Science & Business Media, 2000.

[18] Brabetz, L. u.a.: HiL Prüfstand zur Charakterisierung und Optimierung von Bordnetzen. In: Schöllmann, M. u.a. (Hrsg): Energiemanagement und Bordnetze III. Haus der Technik Essen, Fachbuch Band 109, 2010, S. 155-163.

[19] Schreier-Alt, T. et al.: Encapsulation of Systems in Package - Process Characterization and Optimization. In: Proc. 2nd ESTC, September 2008, Greenwich („Outstanding paper“)

[20] Schreier-Alt, T. et al.: Stress Analysis during Assembly and Packaging. In: Proc. ECTC '11. May 31 2007-June 3 2011, Lake Buena Vista, Florida, USA

[21] Flores, C.C. et al.: Effect of Inter-Die Adhesive Profile on Integrity of Die Surface in Die Stacking Package. In: Proc. 33rd ISTFA, 2007, San José, California, USA

1.7 Zusammenarbeit mit anderen Stellen

Im Rahmen des Teilvorhabens wurde in enger Abstimmung wie im Abschnitt 0 beschrieben mit den Partnern im Vorhaben

- Atmel Automotive GmbH auf dem Gebiet der Modellierung von Batterie-Monitoring ICs und der Erstellung von Testszenarien sowie bei Untersuchungen zu thermo-mechanischen Belastung von Batterie-Monitoring-ICs,
- HELLA KGaA Hueck & Co. Lippstadt auf dem Gebiet Batteriemanagamentsoftware und in Zusammenhang mit der der HiL-Simulation und der Auswertung von Messungen am Funktionsdemonstrator,
- Karlsruher Institut für Technologie (Institut für angewandte Materialien – Angewandte Werkstoffphysik) auf dem Gebiet der Modellierung von Batteriezellen und –packs

zusammengearbeitet.

2 Eingehende Darstellung der Arbeiten

Im Rahmen der Arbeiten im Teilvorhaben sind von Fraunhofer IIS/EAS gemeinsam mit den Partnern im Vorhaben IKEBA die Anforderungen an die Entwurfsumgebung ermittelt worden. Auf dieser Grundlage ist eine Entwurfsumgebung spezifiziert und erarbeitet worden, die es gestattet, mittels Simulation die Eignung und das Zusammenspiel ausgewählter Hardwarekomponenten (LIB-Batteriezellen, Batterien und Halbleiterschaltungen zum Batteriemonitoring) und der Software des Batteriemanagementsystems überprüfen zu können und den Entwurf der Batteriemanagement-Software zu untersuchen Durch die Verwendung der Entwurfsumgebung können u.a. Untersuchungen zum Betrieb elektrisch angetriebener Fahrzeuge für unterschiedliche Fahrszenarien in Abhängigkeit von der Batteriemanagement-Software durchgeführt werden.

Die zugrunde liegenden Fahrzyklen für den Variantenvergleich können sich über einen längeren Zeitraum erstrecken. Um derartige Simulationen in vertretbarer Zeit durchführen zu können, sind schnelle Algorithmen und schnell auswertbare Modelle erforderlich. Aus diesen Gründen fiel die Wahl auf die Nutzung der bei Fraunhofer IIS/EAS entwickelten Simulationsplattform COSIDE für diese Aufgabe. Diese wurde um Modelle und Testszenarien zur Untersuchung von Batteriemanagementsystemen erweitert.

Basis für die Modellerstellung in COSIDE ist SystemC und SystemC AMS:

- SystemC und SystemC AMS sind Hardwarebeschreibungssprachen für höhere Abstraktionsebenen.
- SystemC zielt auf die Beschreibung digitaler Hard- und Software auf höherem Abstraktionsniveau.
- SystemC AMS erweitert SystemC für die Modellierung analoger und gemischt analog-digitaler Systeme.
- Eine erste Standardisierung der Sprachen erfolgte im Rahmen der Accellera Systems Initiative. SystemC ist in den IEEE Standard 1666 überführt worden. Zu Ende des Vorhabens, Anfang 2016, ist auch der IEEE Standardisierungsprozess von SystemC AMS abgeschlossen [13]. Damit ist eine langfristige Nutzung von Ergebnissen bei Verwendung dieser Sprachen gewährleistet.

Durch datenflussorientierte Algorithmen in Verbindung mit ereignisgesteuerten Algorithmen und schnellen Differentialgleichungslösern wird bei der Simulation eine erhebliche Beschleunigung der Simulationsgeschwindigkeit gegenüber anderen Lösungen unter Verwendung bekannter Hardwarebeschreibungssprachen wie VHDL(-AMS) und Verilog(-AMS) erreicht. Durch die Nutzung von SystemC/SystemC AMS wird ein für den Entwurf von Batteriemanagementsystemen günstiges Verhältnis von Simulationsgenauigkeit, Modellierungsaufwand und Simulationsgeschwindigkeit erreicht.

Die Simulationsplattform COSIDE unterstützt darüber hinaus spezielle Anforderungen an die virtuelle Entwurfsplattform für Batteriemanagementsysteme:

- C-Interface zur Tool-Kopplung, u.a. mit Matlab/Simulink
- Hardware-in-the-Loop-Simulation
- Unterstützung der Problembeschreibung durch grafische Eingabe (Schaltplaneingabe)
- Vollständige Unterstützung von TLM 2.0 (Transaction Level Modeling)
- Werkzeuge für Leistungsbewertung, Analyse der Speicherplatznutzung, Modellierung und Test-Bench-Generierung

Bild 4 gibt einen Überblick über die Struktur der Entwurfsplattform auf der Basis von COSIDE.

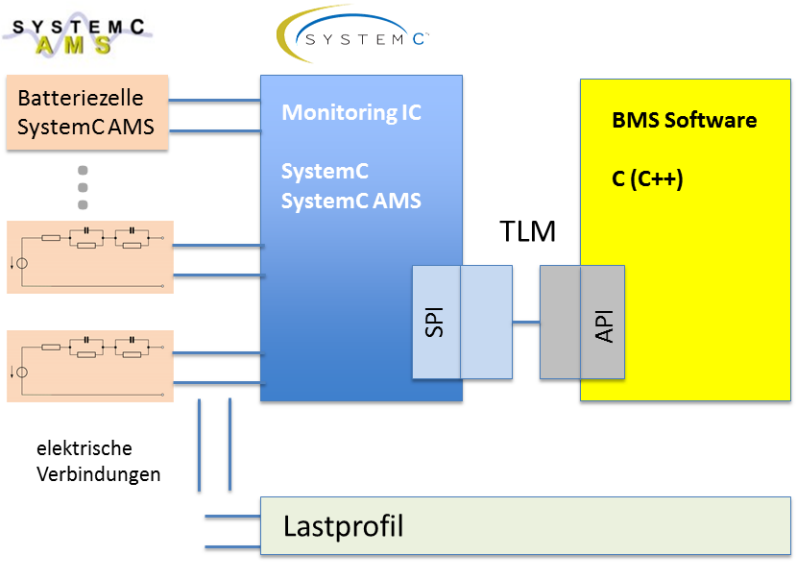


Bild 4 Realisierung der virtiuellen Entwurfsplattform auf Basis COSIDE

Die Erstellung des Gesamtkonzepts erfolgte durch Fraunhofer IIS/EAS im Rahmen des Arbeitspaketes AP 3-3.1-EAS (Spezifikation der Entwurfsumgebung) in Absprache mit den Partnern Atmel und Hella. Der allgemeine Ansatz lässt sich unkompliziert an konkrete Anforderungen anpassen. Im Rahmen des Vorhabens erfolgte die Erprobung mittels einer Demonstratorlösung unter Verwendung konkreter Komponenten. Teile des Simulationsmodells können auf echtzeitfähiger Hardware zusammen mit realer Hardware im Rahmen einer HiL-Simulation ablaufen. Anwendungsmöglichkeiten der Entwurfsplattform sind

IC Entwurf
- Untersuchung neuer Lösungen für Chip-Familien
- Entwicklung angepasster IC-Architekturen für unterschiedliche Anwendungen

BatterieManagementSysteme
- Leicht zu erweiternder Modellumfang für Batterien, Batterie-Monitoring ICs und ergänzende elektronische Schaltungen
- Flexible Anpassung an unterschiedliche Anwendungen

Test-Unterstützung
- Untersuchung des Nominalverhaltens unter Einbeziehung der Batteriemanagement-Software
- Sicherheitsanalyse mit Fehlermodellen
- C-Code-Generierung für HiL-Test

Ergebnisse der Arbeiten von Fraunhofer IIS/EAS in Zusammenhang mit der Forschungsversion der Entwurfsumgebung werden in den Abschnitten 2.1.1, 2.1.2 und 2.1.3 detaillierter beschrieben, Über die Arbeiten bei Fraunhofer IZM zur hochauflösende Erfassung des Belastungszustandes von BMS-Komponenten wird in Abschnitt 2.1.4 berichtet.

2.1 Erzielte Ergebnisse

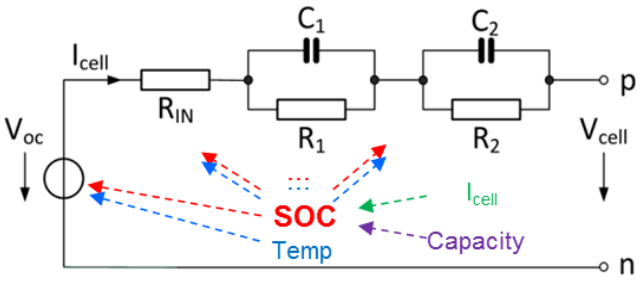
2.1.1 Verhaltensmodelle für Komponenten

2.1.1.1 Batterie

Als Batteriezellen wurden Lithium-Ionen-Zellen ausgewählt. Für Lösungen im Hochvoltbereich, die für elektrische Antriebe verwendet werden, wird eine große Anzahl von Zellen zu Packs und größeren Einheiten zusammengeschaltet. Das bedeutet, dass viele gleichartige Zellen in der Simulation zu berücksichtigen sind.

Das erfordert einerseits genaue, andererseits aber auch schnell auswertbare Modelle. Das in der Literatur häufig verwendete elektrische Ersatzschaltbild, bestehend aus einer Leerlaufspannungsquelle Voc, einem Innenwiderstand R_{IN} sowie zwei RC-Gliedern $R_1||C_1$ und $R_2||C_2$ (siehe Bild 5), ist gut geeignet. Die Zahl der RC-Glieder bestimmt die Genauigkeit, aber auch den Simulationsaufwand. Als guter Kompromiss hat sich die Verwendung von zwei RC-Gliedern ergeben. Dabei beschreibt das RC-Glied $R_1||C_1$ kurzzeitige Effekte im Sekundenbereich und das RC-Glied $R_2||C_2$ Effekte im Bereich von 100 bis 1000 Sekunden.

Die Abhängigkeit der Komponenten vom Ladezustand SoC und von der Temperatur Temp wird dabei in Form von Lookup-Tabellen berücksichtigt. Der Ladezustand SoC wird durch Integration des Zellstroms ermittelt. Das Verhalten der Ersatzschaltung beschreibt ein Differentialgleichungssystem. Verwendet man bei der Simulation vereinfachend die Werte von SoC und Temp aus dem jeweils letzten Zeitschritt, so wird das Differentialgleichungssystem linear



V_{OC}	Leerlaufspannung
R_{IN}	Innenwiderstand zur Modellierung der Spannungsänderung von V_{cell} bei sprunghafter Änderung von I_{cell}
C_x, R_x	RC-Glieder-zur Beschreibung des Verhaltens bei stetiger Änderung des zeitabhängigem Zellstroms I_{cell}

Bild 5 Elektrisches Ersatzschaltbild einer Li-Ion-Zelle

Parametrisierung des Modells der Batteriezelle

Ein zweiter Aspekt ist die einfache Parametrisierbarkeit der Modelle. Diese wurde auf der Basis der CIT-Methode (Current Interruption Technique) bei jeweils konstanter Temperatur durchgeführt. Bei dieser Methode wird die Zelle mit definierten Strompulsen entladen, in unserem Falle um jeweils 1%. Zwischen den Pulsen lag eine Relaxationszeit von etwa einer Stunde. In dieser Zeit hatte sich an den Klemmen die Leerlaufspannung wieder eingestellt.

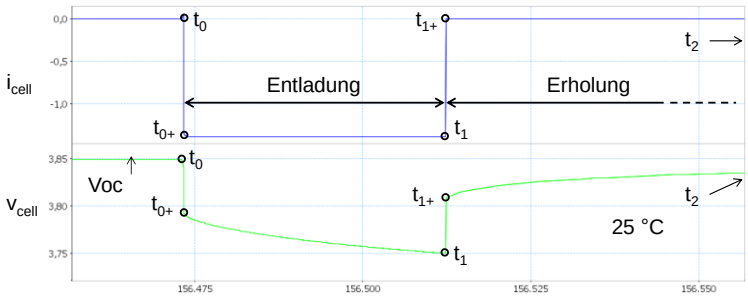


Bild 6 Fitten mit *lsqcurvefit*

Bild 6 zeigt eine Entladephase und den Beginn der folgenden Erholungsphase. Diese Kurven werden für das Fitten zur Bestimmung der Parameter verwendet. In der Entladephase ergeben sich folgende Gleichungen:

$$(1)\ V_{cell}(t_0) = V_{oc}(SoC_0) \qquad (2)\ V_{cell}(t_{0+}) = V_{oc}(SoC_0) - i_{cell} \cdot R_{IN}$$

$$(3)\ V_{cell}(t) = V_{oc}(SoC(t)) - i_{cell} \cdot R_{IN} - i_{cell} \cdot R_1 \cdot \left(1 - e^{-\frac{t-t_0}{R_1 \cdot C_1}}\right) - i_{cell} \cdot R_2 \cdot \left(1 - e^{-\frac{t-t_0}{R_2 \cdot C_2}}\right)$$

Laut Gleichung (1) ist die Zellspannung zu Beginn der Entladephase gleich der Leerlaufspannung. Aus dem Sprung zu (2) lässt sich R_{IN} berechnen. Gleichung (3) beschreibt die Zellspannung während der Entladephase. Durch Fitten können die Werte für R_1, C_1, R_2 und C_2 bestimmt werden.

Die Gleichungen der Erholungsphase lauten:

$$(4)\ V_{cell}(t_{1+}) = V_{oc}(SoC_1) - i_{cell} \cdot R_1 \cdot \left(1 - e^{-\frac{t_1-t_0}{R_1 \cdot C_1}}\right) - i_{cell} \cdot R_2 \cdot \left(1 - e^{-\frac{t_1-t_0}{R_2 \cdot C_2}}\right)$$

$$(5)\ V_{cell}(t) = V_{oc}(SoC_1) - i_{cell} \cdot R_1 \cdot \left(1 - e^{-\frac{t_1-t_0}{R_1 \cdot C_1}}\right) \cdot e^{-\frac{t-t_1}{R_1 \cdot C_1}} - i_{cell} \cdot R_2 \cdot \left(1 - e^{-\frac{t_1-t_0}{R_2 \cdot C_2}}\right) \cdot e^{-\frac{t-t_1}{R_2 \cdot C_2}}$$

Gleichung (3) schließt den Fall $t=t_1$ ein. Vergleicht man die Gleichungen (3) mit t=t1 und (4) miteinander, so stellt man fest, dass beim Abschalten des Stroms zum Zeitpunkt $t=t_1$ die Zellspannung in positive Richtung springt. Der Betrag ist annähernd so groß wie beim Sprung zu Beginn der Entladung, so dass auch hier R_{IN} berechnet werden kann. Durch Fitten können auch aus Gleichung (5) die Werte für R_1, C_1, R_2 und C_2 bestimmt werden.

Im Ergebnis erhält man für jedes Entladeintervall und für jede Erholungsphase ein Tupel (R_{IN}, R_1, C_1, R_2, C_2). Dabei entspricht jedes Tupel einem Ladezustand SoC. Fasst man die Tupel entsprechend ihres Ladezustands SoC zu einer Tabelle zusammen, ist das die gesuchte Lookup-Tabelle. Bei dieser Tabelle stellt man fest, dass zwischen benachbarten Werten mitunter größere Differenzen bestehen. Gründe dafür sind die Messgenauigkeit, aber auch die wechselnden Bedingungen, denen eine Zelle bei den CIT-Messungen unterworfen ist. Für die Simulation sind zudem kleinere Tabellen günstiger als große, weil der Zugriff schneller erfolgen kann. Deshalb wird ein 5%-SoC-Raster verwendet; der Übergang erfolgt durch Glätten und Mittelwertbildung.

Das Ergebnis wird durch Simulation der CIT-Kurve und Vergleich mit den Messwerten überprüft. Dabei bietet sich die Möglichkeit einer simulativen Optimierung an, bei dem die Tabellen intervallübergreifend angepasst werden. Die Lookup-Tabelle wird an der Stelle korrigiert, an der die Abweichung von den Messwerten am größten ist. Nach Identifizierung dieser Stelle, d.h., eines bestimmten Ladezustands, werden die Tabellenwerte an den diesem Ladezustand benachbarten Stellen systematisch variiert. Nach Simulation und Vergleich wird die Tabelle mit der geringsten Abweichung ausgewählt und weiterverwendet.

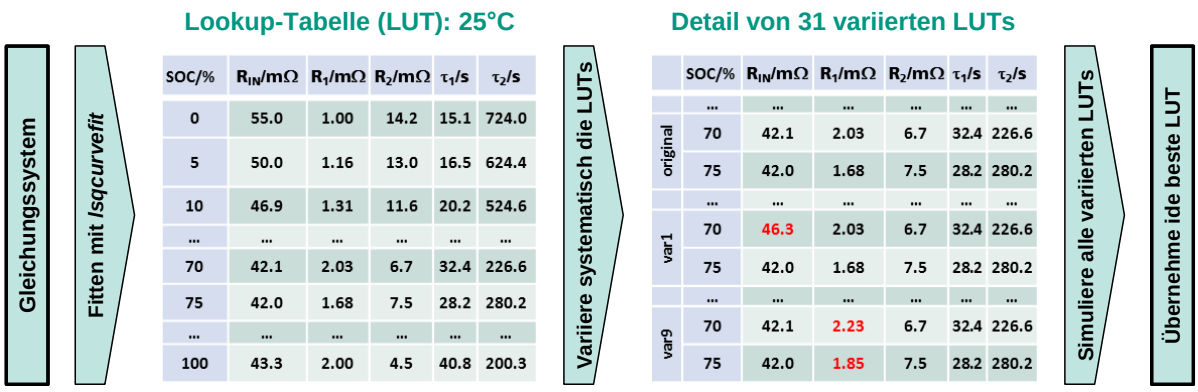


Bild 7 Schematische Darstellung des Verfahrens zur Optimierung der Lookup-Tabellen, durch Simulation, Vergleich, systematisches Variieren, Simulation, Vergleich und Auswahl der Tabelle mit der geringsten Abweichung

Bei Verwendung von MATLAB können Variation und Simulation weitgehend parallel ausgeführt werden. Eine schematische Darstellung des Verfahrens wird in Bild 7 gezeigt. Das Verfahren ist ausführlicher in [30] beschrieben. Bild 8 zeigt eine grafische Darstellung der Lookup-Tabelle von R_{IN}, R_1, R_2, τ_1 und τ_2 in Abhängigkeit von SoC bei 25°C Umgebungstemperatur.

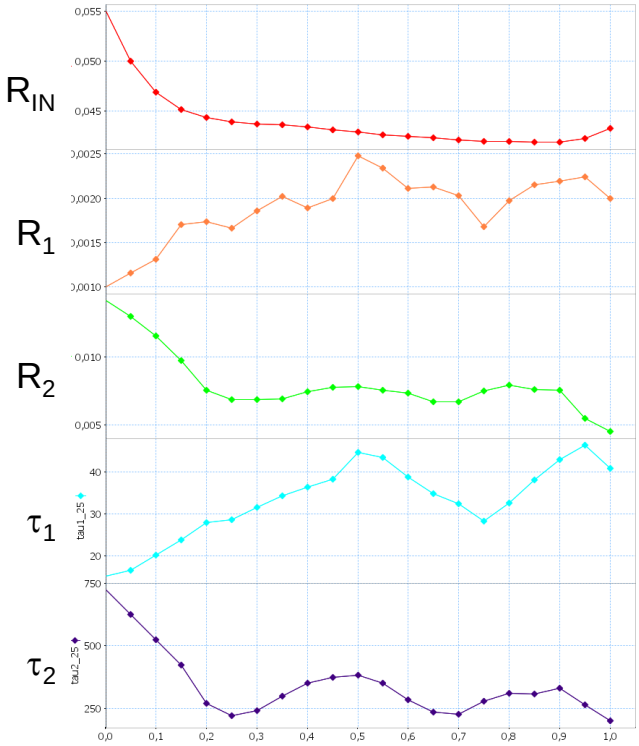


Bild 8 Grafische Darstellung der Lookup-Tabelle von RIN, R1, R2, τ1 und τ2 in Abhängigkeit von SoC bei 25°C

Mit dem beschriebenen Vorgehen erhält man eine Lookup-Tabelle für eine bestimmte Umgebungstemperatur, bei der die Messungen durchgeführt wurden, in unserem Fall 25°C. Werden die Messungen bei anderen Temperaturen durchgeführt und als Grundlage für die Erstellung von Lookup-Tabellen verwendet, so erhält man ähnliche Tabellen für verschiedene Temperaturen.

Legt man diese Tabellen übereinander, so bekommt man eine dreidimensionale Lookup-Tabelle der Form {RIN, R1, R2, C1, C2} = lut(SoC, T).

Vergleich CIT-Messung – Simulation

Um einen Eindruck davon zu bekommen, wie gut Modell und Messungen übereinstimmen, wurden in Bild 9 die CIT-Messungen und die Simulationsergebnisse gegenübergestellt. Oben wird die gesamte CIT-Kurve gezeigt, in der Mitte etwas detaillierter drei Entladepulse und unten detailliert ein Entladepuls. Für die ersten 95 Pulse (SoC > 5%) betragen die Abweichungen weniger als 5 mV.

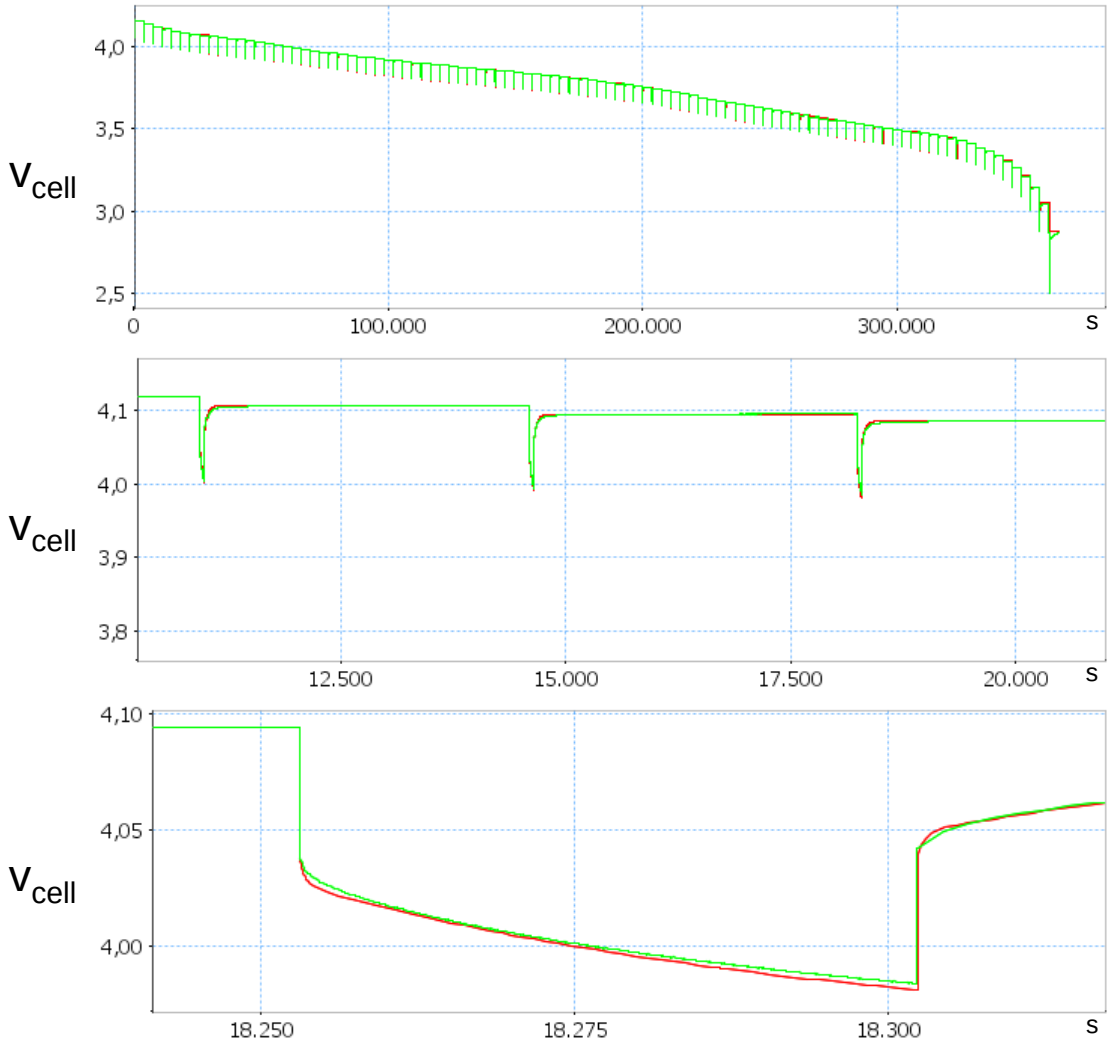


Bild 9 Vergleich CIT-Messung (grün) – Simulation (rot)

Thermisches Modell der Zelle

Wie oben ausgeführt, hängen die meisten Parameter des Modells von der Temperatur ab. In der Zelle gibt es sowohl exothermische als auch endothermische Vorgänge. Im Folgenden wird die Wärmeerzeugung im Widerstand R_{IN} als Hauptwärmequelle betrachtet. Die erzeugte Wärme wird einerseits an die Umgebung und benachbarte Zellen abgegeben, andererseits wird aus der Umgebung oder von benachbarten Zellen Wärme eingebracht. Bild 6 zeigt das thermische Modell der Batteriezelle. Die in der Zelle erzeugte Wärme $i_{cell}^2 * R_{IN}$ wird auf der Wärmekapazität der Zelle cth_cell gesammelt und als Größe temp_cell dem elektrischen Modell zur Verfügung gestellt. Da die Wärmekapazität nicht am Ort der Wärmeerzeugung konzentriert ist, wurde sie auf zwei Teilkapazitäten aufgeteilt, die mit einem thermischen Widerstand verbunden sind. Dadurch erreicht die erzeugte Wärme verzögert die Zelloberfläche. Die Zelloberfläche steht mit der Umgebung über den thermischen Konvektionswiderstand rth_conv in Verbindung. Die beiden Klemmen im Modell drücken aus, dass der Wärmefluss in beide Richtungen erfolgen kann.

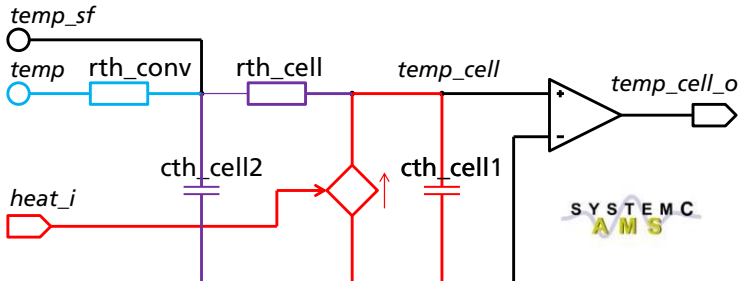


Bild 10 Thermisches Modell der Batteriezelle

Von Projektpartner KIT wurden die Werte für spezifische Wärme, Masse, Wärmetransferkoeffizient und Oberfläche gemessen, so dass die Parameter Wärmekapazität und thermischer Konvektionswiderstand berechnet werden konnten.

SystemC AMS Modell der Zelle

Als Teil der Entwurfsplattform ist die Zelle in SystemC AMS beschrieben (Bild 11). Im Block BATTERY_CELL_CTRL wird der Ladezustand SoC der Zelle berechnet. Dabei wird berücksichtigt, dass Lade- und Entladestrom nicht vollständig zum Laden und Entladen beitragen (Stromeffektivität). Das Altern der Zelle konnte nicht umgesetzt werden, da die Messungen seitens des KIT erst noch erfolgen sollen. Die zyklische Alterung sollte durch Zählen der Zyklen und Verringern der Kapazität erfolgen.

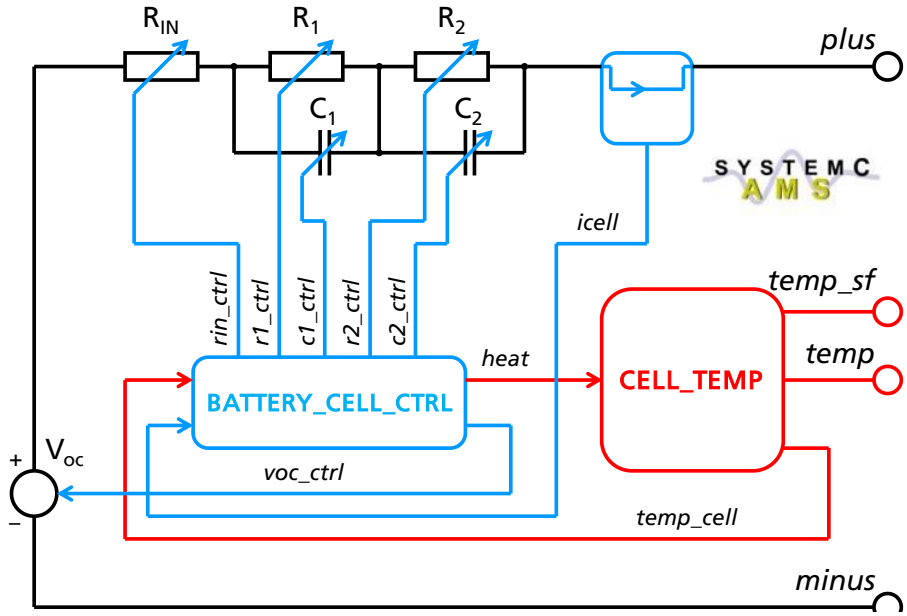


Bild 11 Struktur des SystemC AMS Modells der Batteriezelle

Der Block BATTERY_CELL_CTRL steuert die Elemente der elektrischen Ersatzschaltung V_{oc}, R_{IN}, R_1, C_1, R_2 und C_2 an. Mit Ladezustand und Temperatur werden über Lookup-Tabellen die entsprechenden Werte bestimmt. Der Block mit dem thermischen Modell der Batteriezelle CELL_TEMP ist in das Modell eingebunden; er kommuniziert mit der Umgebung, erhält vom Block BATTERY_CELL_CTRL die aktuell erzeugte Wärme und gibt diesem die aktuelle Temperatur zurück. Dabei wird das Prinzip umgesetzt, dass aus aktuellem Ladezustand und aktueller Temperatur die Werte im aktuellen Simulationszeitschritt sowie Ladezustand und Temperatur für den folgenden Zeitschritt berechnet werden. Durch diese Linearisierung des Problems wird die Simulation erheblich beschleunigt.

Batteriepack

Jeweils sechs Batteriezellen sind seriell zu einem Batteriepack zusammengeschaltet. Als solches sind die Batteriepacks Teil dieser Plattform. Von jedem Batteriepack werden der Zellstrom durch das Pack, die Klemmenspannungen der einzelnen Zellen sowie die Oberflächentemperaturen der beiden äußeren und der beiden inneren Zellen des Packs gemessen und im Batteriemanagementsystem ausgewertet. Bild 12 zeigt das Blockschaltbild des Batteriepacks mit den entsprechenden Abgriffen für die elektrischen und thermischen Anschlüsse.

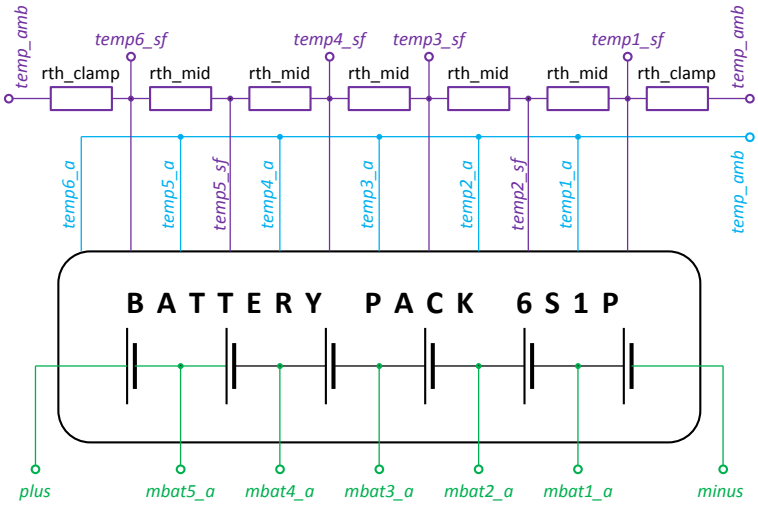


Bild 12 Batteriepack

2.1.1.2 Verhaltensmodelle für BM IC Komponenten und TLM-Modellierung der SPI-Schnittstelle

Die Modellerstellung für die Hardwarekomponenten erfolgt mit den Hardwarebeschreibungssprachen SystemC und SystemC AMS. Dieser Ansatz erlaubt neben der Berücksichtigung der Eigenschaften der Batterien, von Schaltungen zum Ausgleich ungleicher Ladezustände (Charge Balancing) und der Lastprofile eine detaillierte Einbeziehung der Komponenten der Batteriemanagement-ICs (BM ICs) hinsichtlich Charakteristiken der A/D-Wandler, Verzögerungszeiten u.ä. sowie der Datenschnittstelle (speziell SPI) zwischen BM ICs und Batteriemanagement-Controller in die Untersuchungen mit einer hohen Simulationsgeschwindigkeit.

Um zwischen ausreichender Genauigkeit und hoher Performance für jeden Testfall abwägen zu können, wurde neben dem detaillierten BM IC-Modell, welches durch den Projektpartner Atmel erstellt wurde, von Fraunhofer IIS/EAS auch ein vereinfachtes Verhaltensmodell implementiert. Dieses Modell enthält dabei den gleichen Funktionsumfang, wie das genauere Modell, jedoch idealisiert. Beispielweise enthält die AD-Umsetzung keinerlei Nichtidealitäten, wie sie im BM IC-Modell von Atmel enthalten sind. Genaues und vereinfachtes Modell sind pin-kompatibel. Somit kann für den jeweiligen Testfall eines der beiden Modelle ausgewählt werden.

Um die Gültigkeit des vereinfachten Modells sicher zu stellen, war das Verhalten an den Schnittstellen korrekt nachzubilden, beispielsweise für die SPI-Schnittstelle. Das heißt, dass die SPI-Frames des Controllers zeitlich und funktional gleich abzuarbeiten sind.

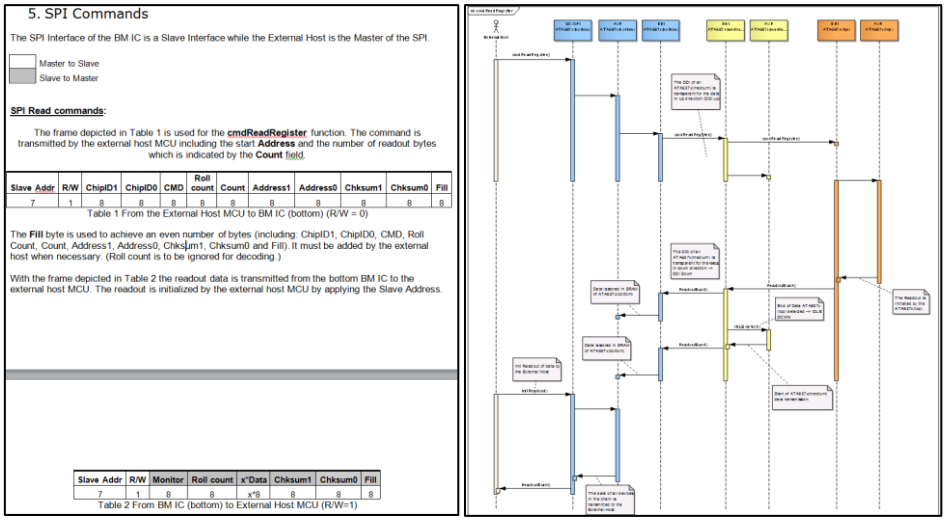


Bild 13 Spezifikation der SPI-Kommandos als Basis für die TLM-Modellierung

Für Untersuchungen auf Systemebene ist dabei eine hohe Performance bei der Simulation zwingend, um mit vertretbarem zeitlichen Aufwand zu aussagekräftigen Ergebnissen zu gelangen. Um dies gewährleisten zu können, werden effiziente Modellierungsmethodiken wie etwa eine Abstrahierung der Bussysteme auf Transaktionsebene (TLM) angewendet. Bei diesem Ansatz liegt der Fokus weniger auf der physikalischen Umsetzung der Schnittstelle, dem realen Signalspiel, sondern einzig auf der Transaktion der Daten selbst. Dies unterstützt damit einen generischen Modellierungsansatz, wo Änderungen am Bussystem, etwa bezüglich dem Anschluss weiterer Komponenten oder der Anwendung von Systemkomponenten anderer Hersteller auf einfache Weise realisiert werden können. Bei herkömmlichen Modellierungsmethodiken werden hingegen bei zu erwartenden Änderungen der Systemkonfiguration oder Änderungen der Schnittstellenspezifikationen ständige Aktualisierungen bzw. Variationen z.B. des Controllermodells erforderlich. Ein generischer Ansatz wäre so jedoch nicht mehr gegeben. Darüber hinaus werden gerade in der Automobilelektronik, eine Vielzahl von unterschiedlichsten Schnittstellen für die Anbindung von Controllern untereinander oder zu anderen Schaltkreisen im System angewendet. Zudem liegen meist applikationsbedingte Variationen dieser Schnittstellen vor. Für eine funktionale Systemuntersuchung spielt die genaue Anbindung der Buskomponenten jedoch meist nur eine untergeordnete Rolle. Zum anderen bietet die TLM-Methodik in Bezug auf die Simulationsperformance eine hohe Effizienz, da das Signalspiel nicht nachgebildet werden muss. Diese Effizienz bildet damit auch eine wesentliche Voraussetzung, um statistische Untersuchungen von Parameterstreuungen durchführen zu können.

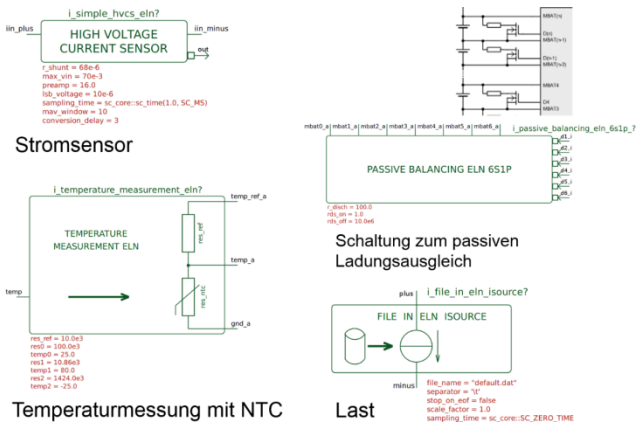


Bild 14 Modelle für weitere nicht integrierte elektronische Komponenten eines BMS

2.1.1.3 Stromsensor (HVCS High Voltage Current Sensor)

Der Stromsensor wurde nach Vorgaben vom Projektpartner Hella modelliert, wobei das Modell weitgehend parametrisierbar ist. Merkmale des Modells sind:

- Strommessung mittels Shunt von 68µΩ im Laststromkreis
- ideale Kennlinie des A/D-Wandlers (lineares Verhalten)
- Sättigung von eingangsseitig +/- 70mV berücksichtigt
- Gleitmittelwertfilter ausgangsseitig (Fenster von 10 Samples)
- Berücksichtigung der Gesamtsignallaufzeit als Verzögerungsglied (2 – 3ms)

Die erfassten Stromwerte werden über eine LIN-Schnittstelle an die Steuereinheit des Batterie-managementsystems übermittelt.

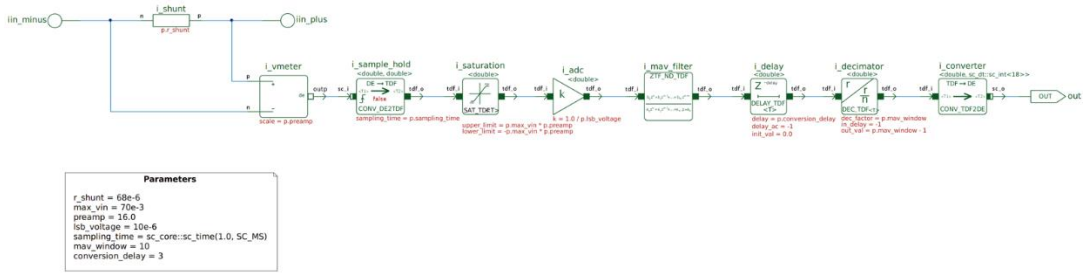


Bild 15 Struktur des Strommessermodells

2.1.1.4 Temperatursensor:

Die Vorgaben für das Modell des Temperatursensors kamen vom Projektpartner Atmel. Der Wert des NTC-Widerstand ändert sich in Abhängigkeit von der Temperatur. Vom BM IC wird die Spannung an einem Spannungsteiler gemessen und daraus die Temperatur abgeleitet. Auch dieses Modell ist durch Veränderung der Parameter an andere Anwendungsfelder anpassbar. Merkmale dieses Modells sind:

- Modellierung der NTC-Kennlinie als separates Datenflussmodell durch Trennung des Temperatur-modellierenden Netzwerks vom elektrischen Netzwerk
- Weitere Merkmale
  - Explizites Lösen der Steinhart-Hart-Gleichung 3. Ordnung (siehe Bild 17)
  - Modellinterne Auswertung der Beziehungen für die Spannungsteiler

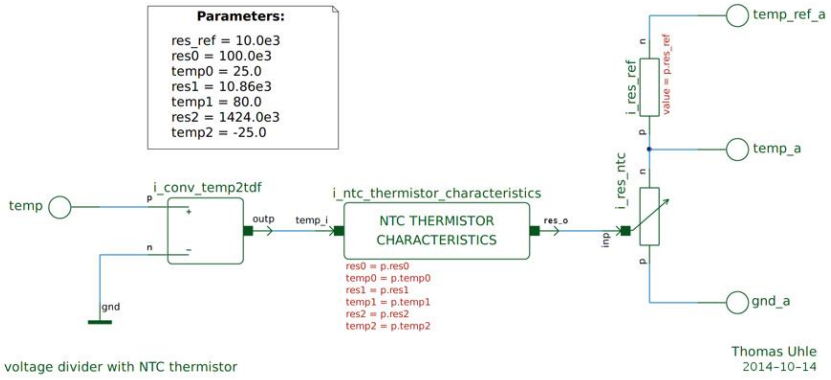


Bild 16 Struktur des Modells für den Temperatursensor

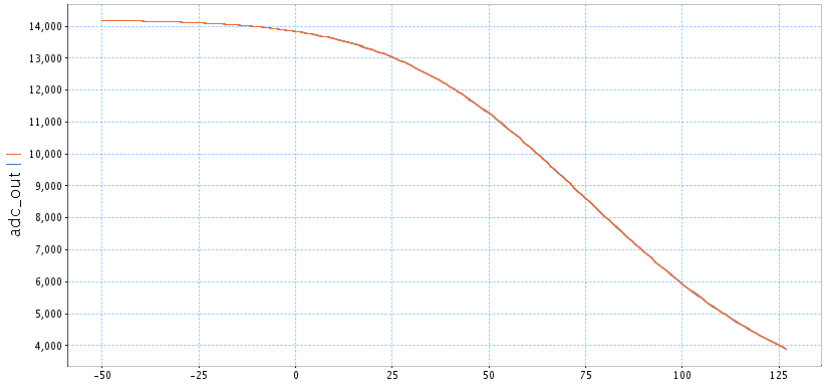


Bild 17 NTC-Kennlinie, beschrieben durch Steinhart-Hart_Gleichung 3. Ordnung

$$\frac{1}{T} = a + b \ln R + c (\ln R)^3$$

2.1.2 Entwurfsplattform

2.1.2.1 Modellbibliothek

Die folgende Tabelle gibt eine Übersicht zu den SystemC/SystemC AMS Modelle für die virtuelle Entwurfsplattform. Durch Austausch und Erweiterung von Modellen kann die beschriebene Lösung leicht an andere Anwendungsfälle angepasst werden. Die Modellbibliothek kann erweitert werden.

Tabelle 1: Modelle für virtuelle Entwurfsplattform

Block	Modelle/Modellbibliothek	Beschreibung
Batterie	battery_cell	Tabellenmodell für eine Batteriezelle
	battery_pack_6s1p	Batteriestapel (6 Batteriezellen in einer Reihe)
BM IC	bmic_eln	Modell des elektrischen Klemmenverhaltens des BM IC zur Messung und Überwachung von Batteriestapeln in hybriden und elektrischen Fahrzeugen
	bmic_simple	Verhaltensmodell für BM IC zur Messung und Überwachung von Batteriestapeln in hybriden und elektrischen Fahrzeugen
Umgebung	passive_balancing_eln_6s1p	Schaltung zur passiven Ladungsbalancierung
	simple_hvcs_eln	Strommesser (High Voltage Current Sensor)
	ntc_thermistor_characteristics	temperaturabhängige NTCWiderstandscharacteristik (NTC-Heißleiter Semitec 104AP-2)
	temperature_measurement_eln	Widerstandsschaltung zur Temperaturmessung
	cell_temp	Modell der Wärmeerzeugung in der Batteriezelle und –austausch mit der Umgebung
	file_in_eln_isource	Stromquelle mit Einlesen eines Stromprofils aus einer Datei
BM Controller	rte	AUTOSAR RTE konforme API des BM Controllers (BM-Software)
TLM	tlm2spi_target	TLM Interface für SPI (für Verbindung des BM IC zum BM Controller)
	tlm_current_sensor	TLM Interface für LIN (für Verbindung des Stromsensors zum BM Controller)
	tlm_controller	TLM-Modell des BM Controllers

Für die Modelle wurden HTML-Dokumentationen generiert. Diese Dokumentationen sind im Anhang zusammengestellt.

Dokumentiert wurden

- Schaltungssymbol
- Klemmen des Modells (Ports)
- Modellparameter

Für die einzelnen Modelle ist ein Zugriff möglich auf die

- Beschreibung des Modellrandes (Header)
- Beschreibung der Modellimplementierung

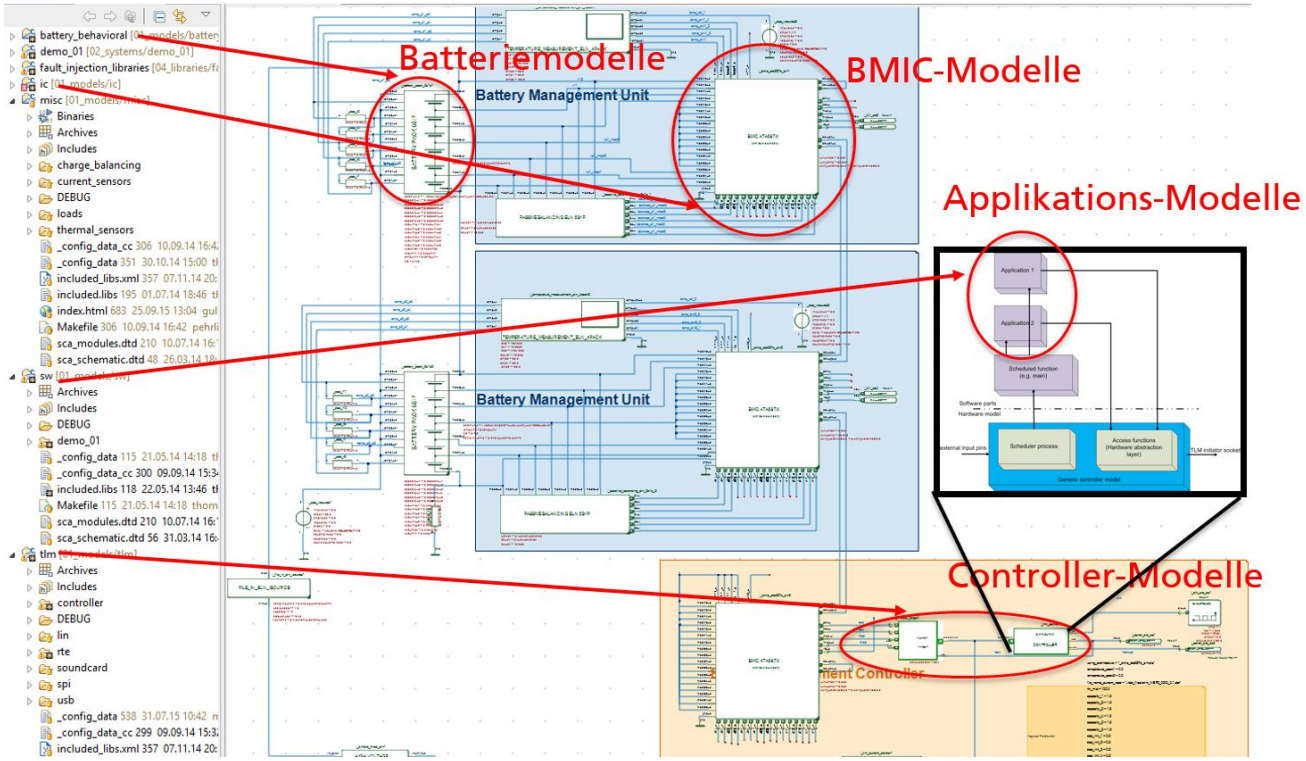


Bild 18 Schnittstelle für die Beschreibung der Struktur des Batteriemanagementsystems bei Verwendung der virtuellen Entwurfsplattform

Bild 18 zeigt die Organisation der Bestandteile des Gesamtsystems unter Verwendung der Modelle der Modellbibliothek in Einzelprojekte. Dieser Ansatz ermöglicht eine einfache Wiederverwendbarkeit einzelner Komponenten in andere Projekte.

2.1.2.2 Schnittstellen zwischen Management-Software (Firmware), Controller und Monitoring-IC

Das Systemmodell wird weitgehend generisch realisiert. D.h. das Modell ist auf einfache Weise an verschiedene Konfigurationen bezüglich der verwendeten Monitoring-Schaltkreise, sowie der Batteriemanagement-Software-Komponenten mit geringem Aufwand anpassbar.

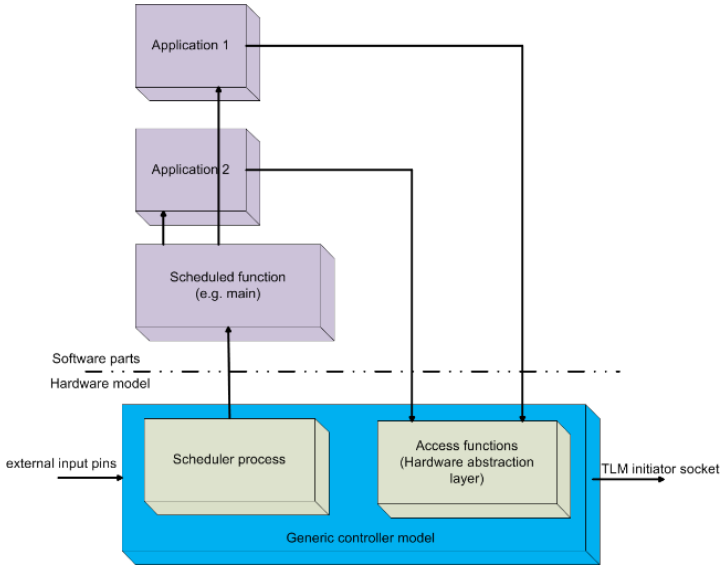


Bild 19 Generisches Controiler-Modell und Einbindung von Softwareapplikationen

Hierzu existiert ein generisches Controllermodell, welches zum einen den Softwarekomponenten Zugriffsfunktionen, auf der sogenannten Hardware-Abstraktionsebene, zur Verfügung stellt. Über den Aufruf dieser Funktionen kann ein Zugriff der Software auf eine periphere Hardware ausgelöst, unabhängig davon, wie der Zugriff genau realisiert wird. Damit ist gewährleistet, dass die Software auch für verschiedene Architekturen und periphere Konfigurationen verwendet werden kann, sofern die angewählte Hardwareadresse unterlegt und ansprechbar ist.

Zum anderen werden die Softwareapplikationen über einen Scheduler, welcher auf externe Takt-, Reset- und Interruptsignale sensitiv reagiert, aufgerufen. Die Hardwareabstraktionsebene wird hierbei durch eine sogenannten AUTOSAR RTE gebildet. Diese beinhaltet Funktionen, deren Schnittstellen durch den Projektpartner Hella klar definiert wurden. Mittels Aufruf dieser RTE-Funktionen greift die Applikation auf die Hardwareumgebung zu. Gleichzeitig ergibt sich aus diesem Ansatz eine Unabhängigkeit der Applikation gegenüber der aktuellen Hardware-Plattform. Damit können in der Simulationsumgebung gleiche Softwarekomponenten wie in der Software des Steuergerätes benutzt werden.

2.1.2.3 Fehlerinjektion

Es wurden Fehlermodelle von Hardwarekomponenten für Untersuchungen zur funktionalen Sicherheit von Batteriemanagementsystemen erarbeitet. Dazu wurde ein Ansatz entwickelt, der es erlaubt, ohne Änderung der ursprünglichen Beschreibung der Simulationsaufgabe, der Netzliste für das Nominalverhalten, die Auswirkungen von Fehlern zu untersuchen.

LIB-Batteriesysteme stellen hohe sicherheitskritische Anforderungen. Die funktionale Sicherheit der Systeme muss auch bei fehlerhaftem Verhalten oder Ausfall einzelner Komponenten gewährleistet sein. Durch die Entwurfsumgebung werden Hilfsmittel bereitgestellt, mit denen mittels Simulation die Auswirkungen von Fehlern untersucht werden können. Dazu wurden Fehlermodelle spezifiziert und erstellt.

Die Fehlermodelle abstrahieren die physikalischen Fehlermechanismen. Bei der Spezifikation und Erstellung der Fehlermodelle für LIB-Batteriezellen und Batterien wird auf den Ergebnissen der Arbeiten zur Modellierung der Batteriezellen aufgebaut. Die Fehlermodelle für die integrierten Komponenten basieren auf Untersuchungen zur Modellierung des Batteriemanagement IC.

Es wird ein Ansatz verfolgt, bei dem Fehlermodelle zu einem festgelegten Zeitpunkt aktiviert werden können und dann die Modelle, die das Normalverhalten beschreiben, ersetzen. Dazu wurden geeignete Verfahren zur Fehlerinjektion während einer laufenden Simulation erforscht. Auch soll ggf. ein zyklisches Umschalten zwischen Fehlermodell und Modell für das Nominalverhalten möglich sein („Wackelkontakt“).

Neben dem Totalausfall von Komponenten oder dem „Weglaufen“ typischer Kenngrößen von Komponenten wurden außerdem Modelle untersucht, die die Konsequenzen von Signalverfälschungen durch die Berücksichtigung und Einbeziehung von Rauschquellen ermöglichen.

Fehlermodellstrukturen - elementare Fehlermodelle

Wesentliche Komponenten des Batteriemanagementsystems sind die Batteriemanagement ICs und die Batteriezellen. Unter Berücksichtigung der Anforderungen der Fehlersimulation wurden zur Erfassung des nichtidealen Verhaltens typische elementare Fehlermodelle ausgewählt. Mit diesen elementaren Fehlermodellen sind Fehlermodelle für die Fehlerbilder einzelner Komponenten exemplarisch implementiert worden.

a) Digitale Fehlermodelle

Wesentliche Komponenten des BMC arbeiten digital. Tabelle 2: gibt einen Überblick zu ausgewählten verbreiteten digitalen Fehlermodellen [16], [17], mit denen fehlerhaftes Verhalten im Rahmen von IKEBA beschrieben werden kann.

Tabelle 2: Digitale Fehlermodelle [16]

Lfd Nr.	**Bezeichnung**	**Kommentar**
D1	Stuck at fault model	Haftfehler; das betreffende Signal wird auf die logischen Werte 0, 1 oder X fest geklemmt
D2	Bridging fault WIRED AND	Die betreffenden Signale werden über ein wired AND miteinander verbunden. Der ermittelte Signalwert wird allen Signalen zugewiesen.
D3	Bridging fault WIRED OR	Die betreffenden Signale werden über ein wired OR miteinander verbunden. Der ermittelte Signalwert wird allen Signalen zugewiesen.
D4	Open	Unterbrechungsfehler; die betreffende Signalleitung wird aufgetrennt.
D5	Short	Kurzschlussfehler; das resultierende Signal entspricht dem, das sich bei einer Verbindung der Signalleitungen mit einem niederohmigen Widerstand ergeben würde - siehe auch [5, 6].
D6	Stuck open fault model	Ein Schalter bleibt unabhängig vom schaltenden Eingangssignal geöffnet.
D7	Stuck on fault model	Ein Schalter bleibt unabhängig vom schaltenden Eingangssignal geschlossen.
D8	Delay fault models	Die Verzögerungszeiten eines Gatters oder Signalpfades sind fehlerhaft. Unterschieden werden die Fehler-modelle „Gate delay fault model“ und „Path delay fault model“

Es erfolgte für die Fehlersimulation eine Beschränkung auf die ersten vier Fehlermodelle D1 bis D4 (Stuck at fault model, bridging faults und open) sowie auf D6 und D7 (Stuck open fault model und stuck on Fault Model).

b) Analoge und Mixed-Signal Fehlermodelle

Auf der Grundlage eines internen Berichtes[1] sind einige Fehlermodelle zusammengestellt, die für die Betrachtung des analogen Fehlerverhaltens von Bedeutung sind. Analoges Verhalten wird bei Teilen der Batteriemanagement IC und der Meßeinrichtungen zur Erfassung von Zellspannungen, Temperaturen und der Batterieströme modelliert. Dabei sind insbesondere die unterschiedlichen Berechnungsmodelle (siehe Tabelle 3:) von SystemC AMS berücksichtigt worden.

Tabelle 3: Neue Berechnungsmodelle mit SystemC AMS

Berechnungsmodell	**Kommentar**
ELN	Electrical Linear Network
TDF	Timed Data Flow
LSF	Linear Signal Flow

Im Rahmen von IKEBA werden die elektrischen Fehlermodelle (ELN) berücksichtigt.

Tabelle 4: Elektrische Fehlermodelle

Lfd Nr.	**Bezeichnung**	**Kommentar**
E1	Stuck at GND	Spannung wird auf Bezugspotential (Masse) fest geklemmt.
E2	Stuck at VDD	Spannung wird auf Versorgungsspannungspotential fest geklemmt.
E3	Stuck at voltage Stuck at current	Spannung oder Strom werden auf vorgegebenen Wert fest geklemmt.
E4	Structural fault open	Elektrische Verbindung wird geöffnet.
E5	Structural fault short	Elektrische Verbindung wird geschlossen.
E6	Structural fault (resistive) bridging	Elektrische Verbindungen werden über einen (niederohmigen) Widerstand miteinander verbunden.
E7	Structural fault (resistive) disconnections	Ein (hochohmiger) Widerstand wird in eine elektrische Verbindung eingefügt.
E8	Structural fault miscellaneous	- Vertauschen von Anschlüssen - Einfügen einer neuen Komponente - Stuck-on (Schalter bleibt geschlossen.) - Stuck-off (Schalter bleibt geöffnet.)
E9	Replacement of components	Ersetzen einer Komponente durch eine (pinkompatible) andere.

Vorrangig wurden die Fehler E1 bis E5 (E7) berücksichtigt. Neben diesen fest umrissenen Fehlerbildern können auch Fehler auftreten, die durch Parameteränderungen zu beschreiben sind.

[1] Wolfgang Vermeiren: Diskussionsgrundlage bezüglich des Aufbaus einer SystemC AMS-Fehlerbibliothek. Interner Bericht Fraunhofer IIS/EAS, 2014

Ansatz und Implementierung:

Für die Einbeziehung des fehlerhaften Verhaltens von Komponenten wurden zwei Wege verfolgt:

- Mittels Fehlerinjektion werden vorhandene Netzlistenbeschreibungen zur Einbeziehung fehlerhaften Verhaltens modifiziert und erweitert. Die zu berücksichtigenden Fehlerfälle werden getrennt von der Netzliste beschrieben. Die erforderlichen Änderungen der Netzlistenbeschreibung während der Simulationen erfolgen ohne zusätzliche Nutzereingriffe. Der Vorteil bei diesem Vorgehen besteht darin, dass für die Simulation des Nominalverhaltens und des fehlerhaften Verhaltens dieselbe Netzliste verwendet werden kann.
- Nicht alle Fehler können, wie im vorangegangenen Punkt dargestellt ,in die Simulation eingebracht werden. In so einem Fall ist es erforderlich neben dem Modell für das Nominalverhalten einer Komponente ein Modell zu erstellen, das das fehlerhafte Verhalten beschreibt. Im Rahmen einer Fehlersimulation wird dann ein derartiges Modell anstelle des ursprünglichen verwendet.

Im Folgenden werden Einzelheiten des skizzierten Vorgehens zur Fehlerinjektion für die Nutzung in SystemC/SystemC AMS skizziert.

Motivation

Untersuchungen zu Robustheit und Sicherheitsaspekten elektronischer Systeme sind wichtig, um ihren zuverlässigen Einsatz sicherzustellen. Das trifft insbesondere im Automobilbau zu, wo exakt auf möglicherweise auftretende Fehler und unerwartete Situationen reagiert werden muss.

Um solche Untersuchungen durchführen zu können, ist es notwendig, mögliche Fehlersituationen zu provozieren. Wünschenswerterweise muss dabei die Zerstörung von Hardware vermieden und das fehlerhafte Verhalten mittels Simulation analysiert werden. Dazu ist es erforderlich, fehlerhaftes Verhalten durch das Einbringen von Fehlermodellen in die Simulation eines Systems zu provozieren.

Der prinzipielle Ansatz bei der Fehlerinjektion besteht darin, von einer existierenden, zu testenden Komponente (design under test – DUT) auszugehen, die das fehlerfreie Nominalverhalten beschreibt und bei der Simulation die erwarteten Ergebnisse liefert. Diese DUT soll nicht weiter verändert werden. Nur zur Untersuchung spezieller Testfälle wird das DUT dynamisch angepasst, um Fehlermodellstrukturen in das Modell für das Nominalverhalten zu integrieren. Der Vorteil dabei ist eine klare Trennung von Entwurf (DUT) und im Test eventuell zu berücksichtigenden fehlerhaften Funktionen.

Im Vorhaben ist ein hierarchischer Ansatz verfolgt worden, mit dem während eines Simulationslaufes Fehler flexibel generiert und berücksichtigt werden können. Unterschiedliche Abstraktionsniveaus können verwendet werden, um Fehler zu beschreiben. So können beispielsweise einfache Fehlerstrukturen auf niedrigerem Niveau (low level failure injection structures) instanziert werden, um komplexere und abstraktere Fehlerstrukturen zu beschreiben. Das Ziel der Untersuchungen bestand darin, eine Bibliothek verschiedener einfacher Fehlerstrukturen auf unterem Niveau und darauf aufbauend komplexerer Fehlerstrukturen und –szenarien zu erstellen, die in unterschiedlichen DUTs Verwendung finden können.

Die Bibliothek enthält somit Modelle für die Fehlerinjektion auf unterschiedlichem Abstraktionsniveau, die alle aus einer Basisklasse abgeleitet sind. Diese Basisklasse umfasst Basisfunktionalität wie Simulator-Call-back-Funktionen, Aktivierung und Deaktivierung von Prozessen, Aufzählungen und andere.

Im Prinzip kann der Prozess der Fehlerinjektion in eine Initialisierungsphase und eine Simulationsphase unterteilt werden. In der Initialisierungsphase werden die Fehlerstrukturen dynamisch in die DUTs eingefügt. In der Simulationsphase können sie aktiviert und deaktiviert werden.

Fehlerstrukturen auf niedrigerem Niveau (low level failure injection structures)

Die Basisklasse der Bibliothek enthält die virtuelle Methode build_connect, die vor der eigentlichen Simulation startet, aufgerufen werden muss und in einem abgeleiteten Modell angepasst zu implementieren ist, um ein DUT manipulieren zu können. In dieser Methode muss beschrieben werden,

wie die Fehlerstruktur zu erstellen und in die Struktur des DUT zu integrieren ist, z.B. durch Verbinden mit relevanten Signalen und Klemmen.
Welche “low level”-Fehlerstruktur in einem speziellen Fall zu verwenden ist, hängt zuerst von der MoC-Domäne (MoC – Model of Computation) der verwendeten Signale und Klemmen ab. Deshalb ist für die Erstellung der Modelle der Bibliothek ein generischer Ansatz verwendet worden. Die meisten Modelle werden als Templates zur Verfügung gestellt. So können die Signal- und Klemmen (port)-Typen zur Zeit der Übersetzung definiert werden und die MoC-Domäne wird während der Instanziierung ermittelt.

Der Aufruf einer Aktivierungs- oder Deaktivierungsmethode der “low level”-Fehlerstruktur kann dann z.B. zu einer Trennung bzw. Verbindung führen.

Komplexere Fehlerstrukturen

Basierend auf den “low level”-Fehlerstrukturen können komplexere Strukturen auf dem nächst höheren Abstraktionsniveau erstellt werden. Diese Strukturen können Fehler wie „stuck at value“ oder „stuck at signal“ Übersprechen zwischen Signalen oder Anschlüssen oder Kurzschlüsse zwischen Signalleitungen (bridging) beschreiben.

Nachfolgend wird an Hand von zwei möglichen Beispielen das Vorgehen demonstriert. Die komplexen Fehlerstrukturen beschreiben Fehler in Folge von Übersprechen und Festhalten eines Wertes („stuck at value“). Außerdem werden die notwendigen Schritte zur Erstellung einer Fehlerstruktur dargestellt.

Stuck_at Fehlerinjektion: sc signal Beispiel

Erforderlich sind die folgenden Schritte:

- Auftrennen des betreffenden Anschlusses (port)
- Einfügen eines umschaltbaren Multiplexers
- Einfügen einer Quelle, die einen konstanten Wert liefert, als zusätzliche Signalquelle

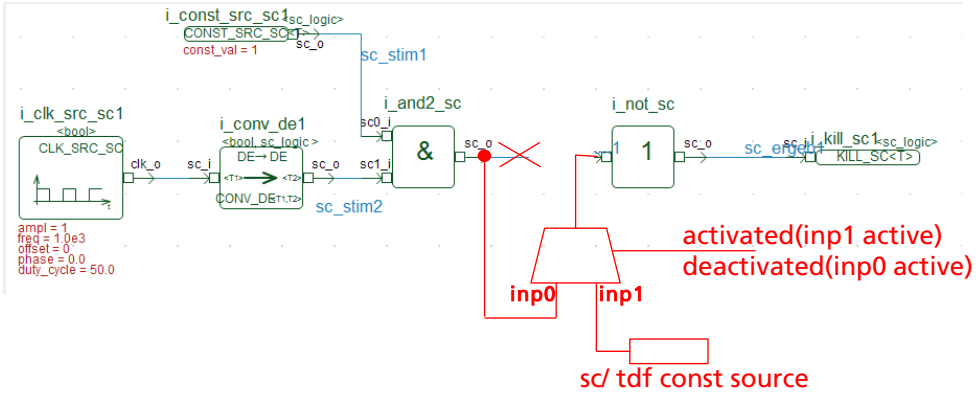


Bild 20 Stuck at Fehlerinjektion (Beispiel)

Übersprechen (Cross talk failure injection): sc signal Beispiel

Erforderlich sind die folgenden Schritte

- Auftrennen eines Anschlusses
- Einfügen einer “low level”-Fehlerstruktur (z.B. umschaltbarer Multiplexer)
- Einfügen der Verbindung zu einem anderen Anschluss oder Signal als zusätzliche Signalquelle
- Einfügen eines “Containers” zur Definition möglicher Kombinationen von Signalen (z.B. logische Kombinationen)

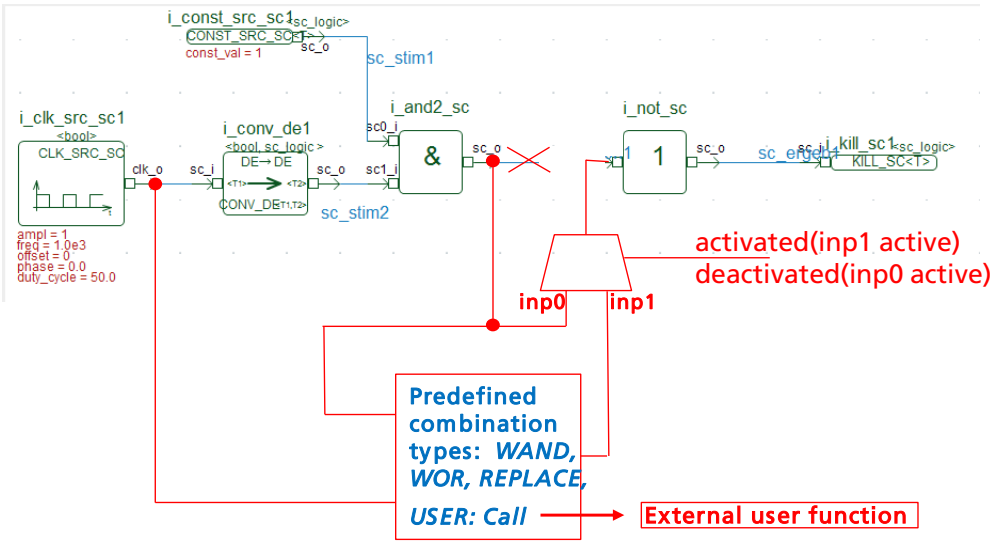


Bild 21 Fehlerinjektion zur Beschreibung des Übersprechens (Beispiel)

2.1.3 Validierung

2.1.3.1 Batteriemodelle

Die Batteriemodelle wurden mit dem Neuen Europäischen Fahrzyklus (NEFZ) validiert. Dabei lag uns ein Stromprofil vor, das aus dem NEFZ gewonnen wurde. Der NEFZ besteht aus Entladephasen, Ladephasen und Erholungsphasen. Er hat eine Dauer von etwa 500 s. Eine Batteriezelle wird dabei um etwa 15 % entladen. Während dieser Zeit erwärmt sich die Zelle um 3 – 5 K. Um das Abklingen der Temperatur besser zu beobachten, wurde der NEFZ um 1000 s Pause verlängert. Die Messungen und Simulationen wurden mit unterschiedlichen Anfangsladezuständen durchgeführt. Die folgende Tabelle gibt einen Überblick über die durchgeführten Messungen und Simulationen zur Validation von Einzelzelle und Batteriepack.

Um Messungen und Simulationen besser vergleichen zu können, wurde der Anfangsladezustand der Zellen entsprechend der Leerlaufspannung korrigiert. Beim Batteriepack musste das für alle gemessenen Zellen erfolgen. Die Messungen erfolgten zunächst bei einer Umgebungstemperatur von 25 °C. Geplante Messungen bei 0 °C und 45 °C wurden wegen der kostenneutralen Verlängerung bei KIT noch nicht geliefert. Vom Partner Hella wurden Messungen am Funktionsdemonstrator durchgeführt. Das Laden der Batteriezellen ist beim Demonstrator während des Fahrzyklus nicht vorgesehen. Deshalb wurden zusätzlich die Stimuli NEFZ_1500b und NEFZ_5000b verwendet. Das „b“ zeigt an, dass der Stimulus begrenzt ist.

Tabelle 5: Überblick über Messungen und Simulationen von Einzelzelle und Batteriepack

Lfd. Nr.	Testobjekt	Anfangsladezustand	Stimulus	Dauer	Darstellung
1.1	Batteriezelle	100 %	NEFZ_1500	1500 s	
1.2	Batteriezelle	80 %	NEFZ_1500	1500 s	
1.3	Batteriezelle	60 %	NEFZ_1500	1500 s	Bild 11
1.4	Batteriezelle	40 %	NEFZ_1500	1500 s	
1.5	Batteriezelle	20 %	NEFZ_1500	1500 s	

2.1	Batteriezelle	100 %	NEFZ_5000	5000 s	
3.1	Batteriezelle	100 %	NEFZb_1500	1500 s	
3.2	Batteriezelle	80 %	NEFZb_1500	1500 s	
3.3	Batteriezelle	60 %	NEFZb_1500	1500 s	
3.4	Batteriezelle	40 %	NEFZb_1500	1500 s	
3.5	Batteriezelle	20 %	NEFZb_1500	1500 s	
4.1	Batteriezelle	100 %	NEFZb_5000	5000 s	
5.1	Batteriepack	100 %	NEFZ_1500	1500 s	Bild 13
5.2	Batteriepack	80 %	NEFZ_1500	1500 s	Bild 13
5.3	Batteriepack	60 %	NEFZ_1500	1500 s	Bild 13
5.4	Batteriepack	40 %	NEFZ_1500	1500 s	Bild 13
5.5	Batteriepack	20 %	NEFZ_1500	1500 s	Bild 13
6.1	Batteriepack	100 %	NEFZ_5000	5000 s	Bild 14+15
7.1	Batteriepack	100 %	NEFZb_1500	1500 s	
7.2	Batteriepack	80 %	NEFZb_1500	1500 s	
7.3	Batteriepack	60 %	NEFZb_1500	1500 s	Bild 12
7.4	Batteriepack	40 %	NEFZb_1500	1500 s	
7.5	Batteriepack	20 %	NEFZb_1500	1500 s	
8.1	Batteriepack	100 %	NEFZb_5000	5000 s	

Vergleich Messungen – Simulation an der Einzelzelle

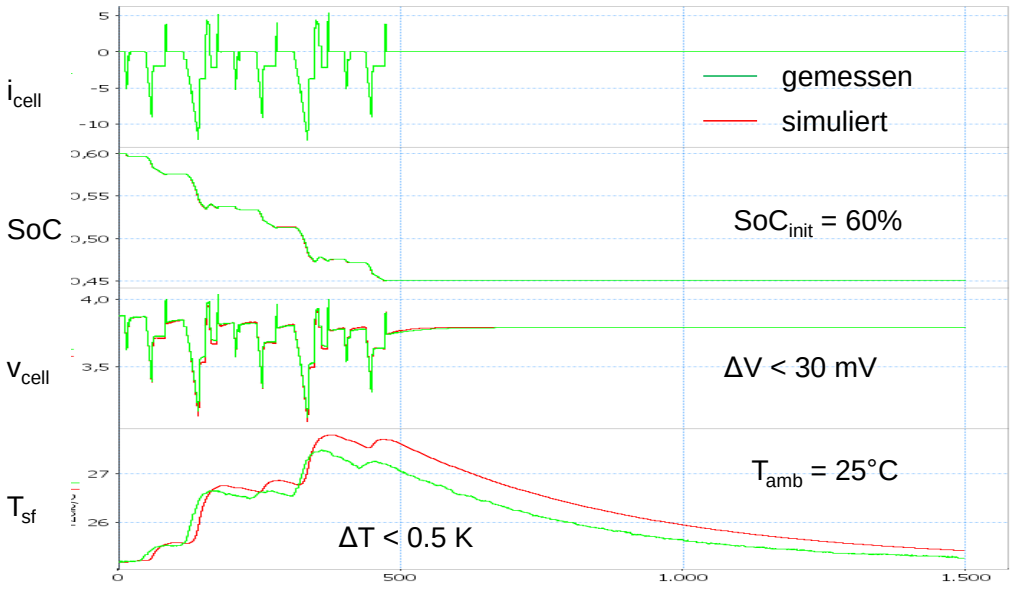


Bild 22 Validierung der Einzelzelle mit dem Neuen Europäischen Fahrzyklus (NEFZ) Test 1.3

Bei der Einzelzelle (Bild 22) war die Abweichung der Zellspannung im mittleren Bereich kleiner als 30 mV. Nur bei der fast leeren Zelle waren die Abweichungen relativ groß. Die Temperaturkurve der Simulation folgt im Wesentlichen der gemessenen Kurve. Die Abweichungen sind kleiner als 0,5 K.

Vergleich des Batteriepacks

Beim Batteriepack wurden vom KIT die Gesamtspannung, drei Zellspannungen sowie die Temperaturen sämtlicher Zellen und der Anschlusspads geliefert. Aus den vorliegenden Messungen können hier nur wenige Beispiele gezeigt werden.

Die vielen Kurven sind oft schwer miteinander zu vergleichen. In Bild 23 wurden zwei Zellen des Batteriepacks mit etwas unterschiedlichen Anfangs-SoC ausgewählt und deren Spannungen und Temperaturen miteinander verglichen, ähnlich wie bei der Einzelzelle. Beim Ladezustand bleibt der Abstand erhalten. Die Spannungen der Zellen differieren minimal. Die Anfangstemperaturen unterscheiden sich um 0,5 K. Diese Differenz bleibt im Wesentlichen erhalten.

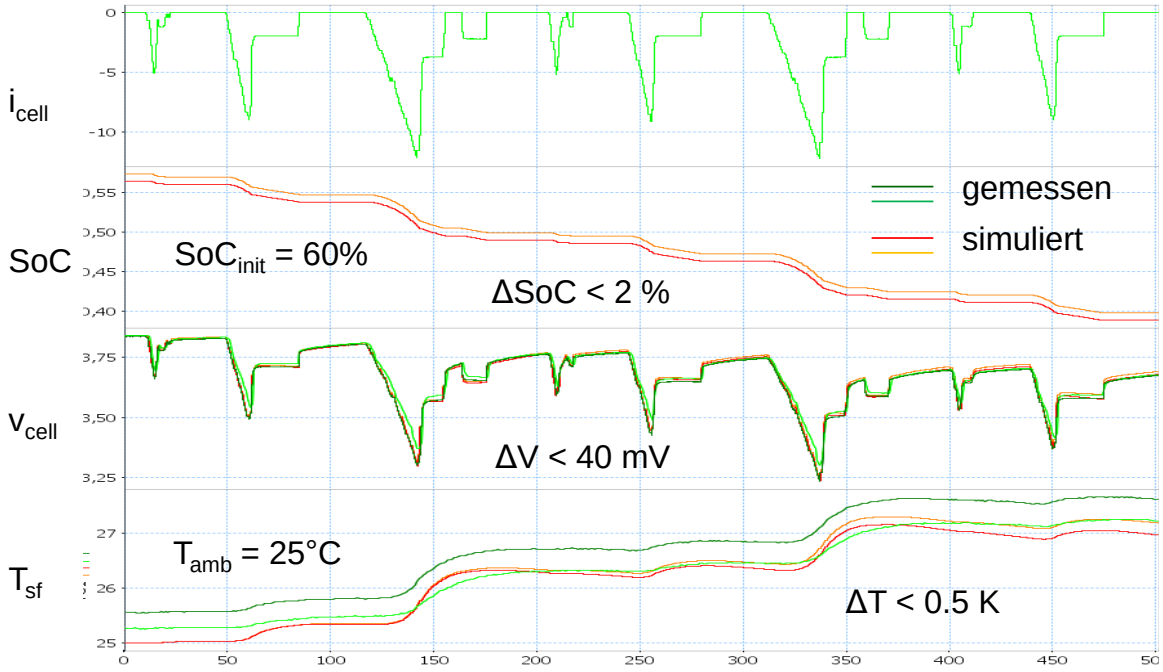


Bild 23 Validierung von zwei Zellen des Batteriepacks mit dem Neuen Europäischen Fahrzyklus (NEFZ) (Test 7.3). Dunkel- und hellgrün sind Messwerte, rot und orange die Simulationswerte dargestellt

Im Bild 24 auf Seite 35 werden die Zellspannungen 1, 3, 5 des Batteriepacks (grüne Töne) mit den simulierten Zellspannungen für 100, 80, 60, 40 und 20% Anfangs-SoC (rote Töne) bei Simulation mit dem NEFZ verglichen. Insbesondere im mittleren Bereich (SoC 35 - 75 %) sind die Abweichungen gering. Sie werden bei größerem, aber auch bei kleinerem SoC größer. Bei SoC < 5% betragen die Abweichungen fast 1 V.

Im folgenden Bild 25 werden die Zellspannungen verschiedener Zellen mit den simulierten Zellspannungen im Zeitbereich 1200 bis 2200 s bei Simulation mit dem NEFZ bis zur vollständigen Entladung verglichen. Insgesamt stimmen diese Spannungen recht gut überein. Individuelle Unterschiede der Zellen sind dabei zu erkennen. Erst kurz vor Ende der Entladung gibt es deutliche Unterschiede.

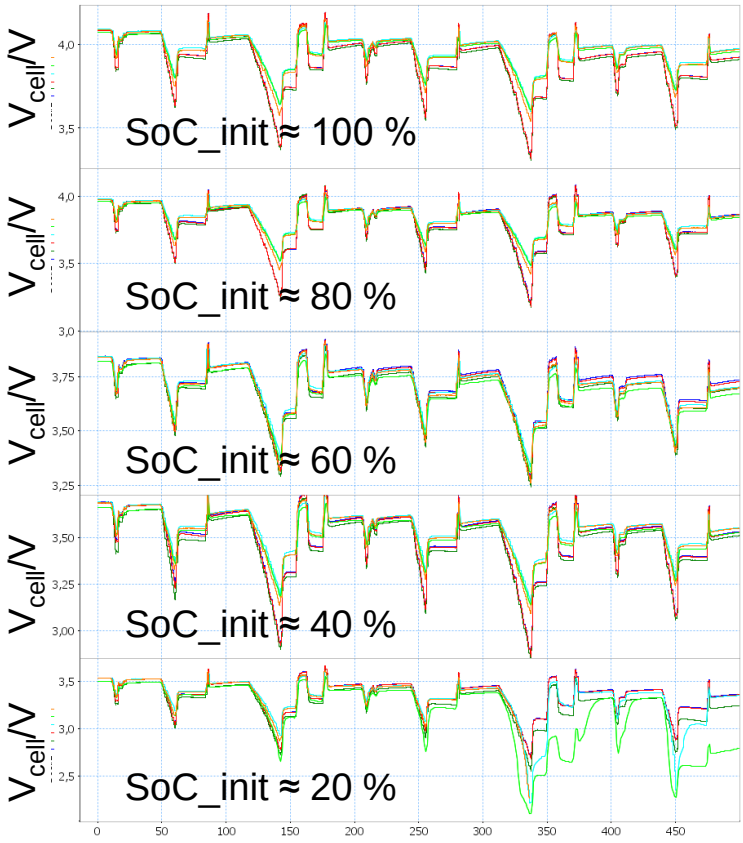


Bild 24 Vergleich der Zellspannungen 1, 3, 5 des Batteriepacks (grüne Töne) mit den simulierten Zellspannungen für 100, 80, 60, 40 und 20% Anfangs-SOC (rote Töne) bei Anwendung des NEFZ. vgl. Testszenarien 5.1 – 5.5 in Tabelle 5:

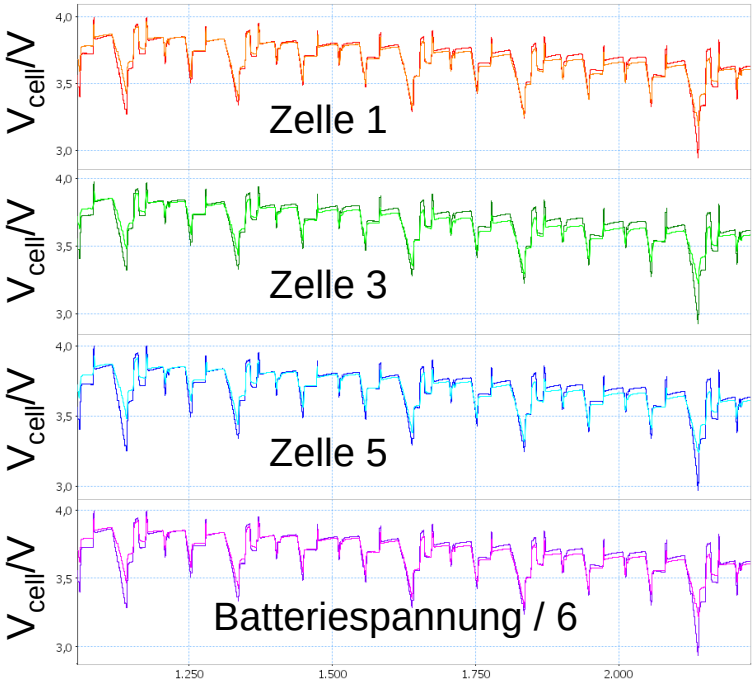


Bild 25 Vergleich der Zellspannungen 1 (oben), 3 (darunter), 5 (darunter) und der mittleren Zellspannung (unten) des Batteriepacks mit den simulierten Zellspannungen (jeweils im Farbton heller) im Zeitbereich 1200 bis 2200 s bei Simulation mit dem NEFZ bis zur vollständigen Entladung (Testszenario 6.1)

Bild 26 stellt die Temperaturen aller Zellen sowie der Pads des Batteriepacks den simulierten Temperaturen von drei Zellen (außen-innen-ganz innen, unten dargestellt) gegenüber, die bei Simulation mit dem NEFZ bis zur vollständigen Entladung entstehen. Durch die Aneinanderreihung der Fahrzyklen steigt die Temperatur bei Mess- und Simulationswerten generell an, die Temperaturdifferenzen werden aber kaum größer. Die beiden Pads erwärmen sich erwartungsgemäß nur gering (blau und pink).

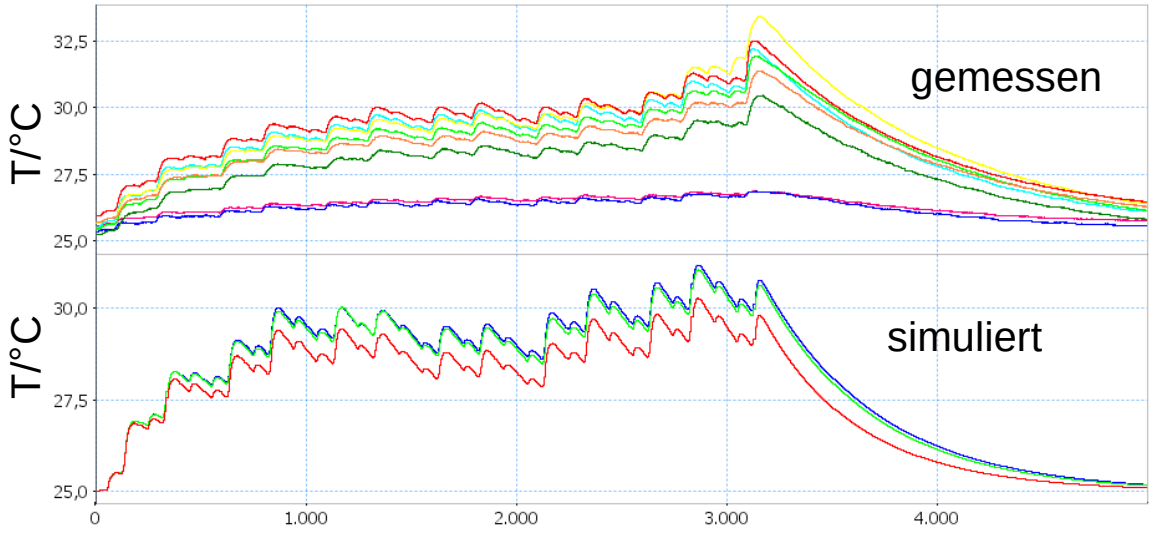


Bild 26 Vergleich der Temperaturen aller Zellen und Pads des Batteriepacks (oben) mit den simulierten Temperaturen von drei Zellen (unten) bei Simulation mit dem NEFZ bis zur vollständigen Entladung (Testszenario 6.1)

Aufgrund individueller Unterschiede, unterschiedlicher Anfangsladung und der Lage im Batteriepack differieren die gemessenen Oberflächentemperaturen der Zellen um etwa 2 K. Die Temperatur von Zelle 3 (gelb) zeigt am Ende der Entladung eine um etwa 2 K höhere Temperatur auf. Das liegt daran, dass diese Zelle einen niedrigeren Anfangsladezustand besitzt, somit am Ende der Entladung eher als die anderen Zellen in einen Bereich höheren Innenwiderstands kommt und letztlich zum Abschalten des Entladestroms durch Unterschreiten der maßgeblichen Spannung führt. Die zum Vergleich im unteren Teil von Bild 14 dargestellten simulierten Temperaturen zeigen die Abhängigkeit der Temperatur dreier Zellen mit unterschiedlicher Lage im Pack. Die Temperaturdifferenz zwischen heißester und kühlster Zelle beträgt maximal 1,5 K. Vergleicht man Mess- und Simulationswerte miteinander, so ist die Differenz kleiner als 1 K.
Der Vergleich der gemessenen Batteriespannungen und Temperaturen mit den Messungen am Funktionsdemonstrator erbrachte ähnliche Ergebnisse. Da die Temperaturen digital gemessen werden, beträgt die Messgenauigkeit 1 K, so dass hier Differenzen gegenüber den Messungen am KIT noch weniger ausgeprägt sind.

Zusammenfassung zum Batteriemodell

- Für die Batteriezelle wurde eine elektrische Ersatzschaltung aus einer Leerlaufspannungsquelle, einem Innenwiderstand sowie zwei RC-Gliedern verwendet.
- Dieses wurde in ein simulierbares SystemC AMS Modell, erweitert durch ein Temperaturmodell umgesetzt.
- Zur Beschleunigung der Simulation werden vereinfachend die Werte von SoC und Temp aus dem jeweils letzten Zeitschritt verwendet.
- Die Bauelemente des Batteriemodells sind ladezustands- und temperaturabhängig. Diese Beziehungen werden durch Lookup-Tabellen widergegeben.
- Die Lookup-Tabellen werden aus Stromunterbrechungsmessungen (CIT) durch Fitten berechnet.

- Die Simulation mit den berechneten Tabellen und der Vergleich mit den Messungen erlauben ein systematisches Variieren der Tabellen. Die parallele Simulation der variierten Tabellen und der Vergleich mit der Messung führen zur Auswahl der Tabelle mit der geringsten Abweichung.
- Jeweils sechs Zellen werden zu einem Batteriepack zusammengeschaltet.
- Die Validierung der Modelle von Batteriezelle und Batteriepack erfolgte mit einem Stromprofil basierend auf dem Neuen Europäischen Fahrzyklus (NEFZ).
- Neben dem originalen NEFZ wurde ein NEFZ ohne Laden verwendet, neben einem NEFZ mit Entladung um ca. 15 % SoC mehrere NEFZ bis zur vollständigen Entladung.
- Die Anfangsladezustände der Zellen waren 100, 80, 60, 40 und 20 %.
- Es wurden der Zellstrom, die Batteriespannungen und Temperaturen gemessen.
- Im mittleren Bereich des Ladezustands, also zwischen 35 und 75 % SoC, ist die Übereinstimmung von Spannung und Temperatur recht gut; sie verschlechtert sich bei höherem oder niedrigerem Ladezustand. Die großen Abweichungen bei kleinem Ladezustand sind nicht signifikant, weil die Batteriezelle unter dieser Bedingung nicht betrieben werden sollte.

2.1.3.2 Untersuchung des Nominalverhaltens für den Funktionsdemonstrator

Im Rahmen des Arbeitspaketes AP 4 (siehe Abschnitt 1.3) entstand beim Projektpartner Hella ein wirklichkeitsgetreuer Demonstrator eines Batteriemanagementsystems Am Simulationsmodell des Funktionsdemonstrators wurden unterschiedliche Testszenarien zum Nominalverhalten untersucht. Die Testszenarien (siehe Tabelle 6:) bauen auf Spezifikationen auf, die beim Projektpartner Atmel in Zusammenarbeit mit dem Zentrum für Sonnenenergie- und Wasserstoff-Forschung Baden-Württemberg (ZSW), erarbeitet wurden.

Tabelle 6: Testszenarien zur Untersuchung des Nominalverhaltens

	Testfall	**Testziel – Nachweis der Funktionalität**
TC-APP-01_U	Spannungsmessung	Abfrage der Spannungen der Batteriezellen über BM ICs mit AUTOSAR RTE Funktion
TC-APP-01_T	Temperaturmessung	Abfrage der Temperatursensoren über BM ICs mit AUTOSAR RTE Funktion
TC-APP-01_I	Strommessung	Abfrage des Laststromes am Stromsensor mit AUTOSAR RTE Funktion
TC-APP-02	Cell Balancing	Test der Ansteuerung der passiven Ladungs-ausgleichsschaltungen über BM ICs
TC-APP-04	State of Charge (SOC)	Untersuchungen zur Genauigkeit der SOC-Schätzung in Abhängigkeit von System-parametern (ADC-Auflösung, Bandgap u.ä.)

Für Untersuchungen auf Systemebene ist dabei eine hohe Performance bei der Simulation zwingend, um mit vertretbarem zeitlichen Aufwand zu aussagekräftigen Ergebnissen zu gelangen. Um dies gewährleisten zu können, werden effiziente Modellierungsmethodiken wie etwa eine Abstrahierung der Bussysteme auf Transaktionsebene (TLM – Transaction Level Model) angewendet. Bei diesem Ansatz liegt der Fokus weniger auf der physikalischen Umsetzung der Schnittstelle, dem realen Signalspiel, sondern einzig auf der Transaktion der Daten selbst. Für eine funktionale Systemuntersuchung spielt die genaue Anbindung der Buskomponenten jedoch meist nur eine untergeordnete Rolle. Zum anderen bietet die TLM-Methodik in Bezug auf die Simulationsperformance eine hohe Effizienz, da das Signalspiel nicht nachgebildet werden muss. Diese Effizienz bildet damit auch eine wesentliche Voraussetzung, um statistische Untersuchungen von Parameterstreuungen durchführen zu können.

Am Modell des Batterie Management Controllers wurden Anpassungen durchgeführt, die eine unmittelbare Nutzung der BM-Software für den hardwaremäßig realisierten Funktionsdemonstrator im Rahmen des Simulationsmodells ermöglichten.

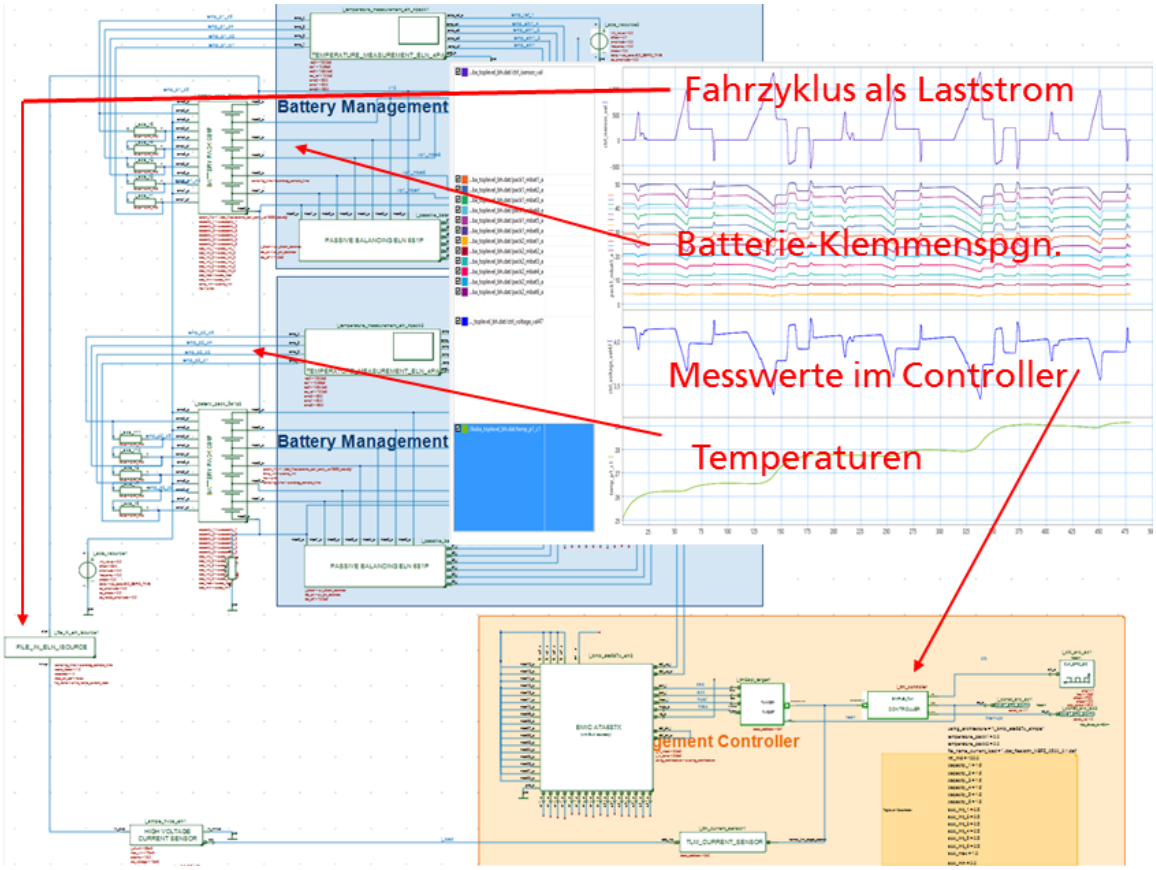


Bild 27 BMS-Systemmodell zur Simulation des Verhaltens des Funktionsdemonstrators

Bild 28 zeigt exemplarisch Verläufe von Spannungen am Batterie-Pack und Ladungszustand bei Vorgabe eines auf dem NEFZ-Geschwindigkeitsprofil basierenden Laststroms im Nominalfall. Entladeströme sind positiv dargestellt.

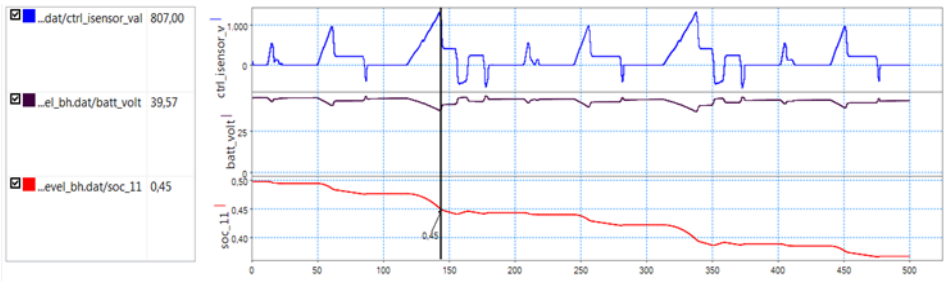


Bild 28 Laststrom, Spannung am Batteriepack und Ladezustand

Simulations- und Messergebnisse am Funktionsdemonstrator sind in Bild 29 dargestellt. Die Temperatur an einer ausgewählten Zelle wie in Bild 27 markiert und die von der Batteriemanagementsoftware ermittelte Temperatur sind in der unteren Zeile von Bild 29 dargestellt (Testfall TC-APP-01_T in Tabelle 6:). Die Auswertung erfolgt mit einer Genauigkeit von 1 Grad. Entladeströme sind im Diagramm mit negativen Werten dargestellt.

Das Simulationsmodell wurde auch genutzt, um speziell Untersuchungen für verschiedene Konfigurationen von Analog-Digital-Wandlern der Batterie-Monitoring IC zur Messung der Batteriezellspannungen durchzuführen

- 12Bit-ADC, maximal 10mV ADC-Mess-Abweichung, Messung im 50ms Raster
- 14Bit-ADC, maximal 2mV ADC-Mess-Abweichung, Messung im 20ms Raster

Diese Untersuchungen dienten u.a. zur Abschätzung des Einflusses der Genauigkeit der Komponenten des Batterie-Monitoring-IC auf die Erfassung des Ladezustands der Batteriezellen bei Erreichen der unteren Abschaltschwelle der Batteriespannung für den Entladevorgang.

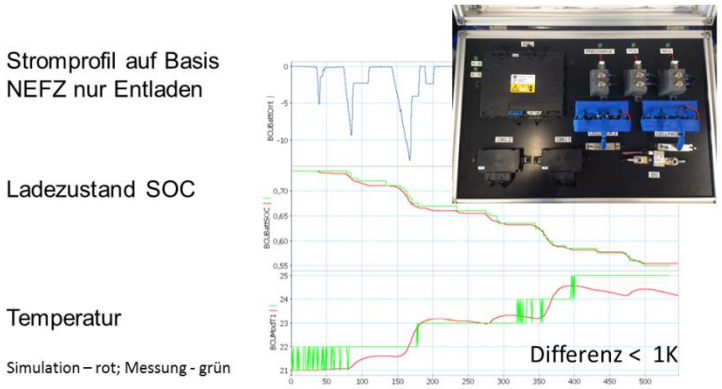


Bild 29 Simulationsergebnisse und Messergebnisse am Funktionsdemonstrator (Beispiel)

Für den Testfall Load Balancing (TC-APP-02 in Tabelle 6:) wurde durch das Einprägen einer zusätzlichen Spannung in eine ausgewählte Batteriezelle die Voraussetzung für einen Ladungsausgleich künstlich geschaffen. Auf diese Weise konnte die Ladungsausgleichschaltung gezielt aktiviert und ihre Wirksamkeit überprüft werden.

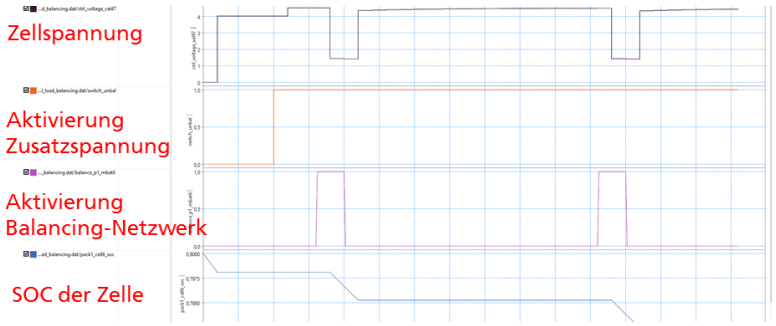


Bild 30 Signalverläufe bei Aktivierung des Load Balancing

Durch Aktivierung der Zusatzspannung wird eine Zellspannung erhöht. Das hat zur Folge, dass das Balancing-Netzwerk aktiviert wird. Nach Unterschreiten einer unteren Grenze der Zellspannung in Folge der Aktivierung der (passiven) Ladungsausgleichschaltung erholt sich die Zellspannung wieder. Wird der obere Grenzwert erreicht, wird das Balancing-Netzwerk erneut aktiviert.

2.1.3.3 Untersuchungen zu fehlerhaftem Verhalten für den Funktionsdemonstrator

Die vom Projektpartner Hella erstellte exemplarische Software-Applikation zur Spannungs-, Strom-, Temperaturmessung, SOC-Abschätzung sowie Load-Balancing wurde mittels des in Abschnitt 2.1.1.2 beschriebenen Ansatzes erfolgreich eingebunden.

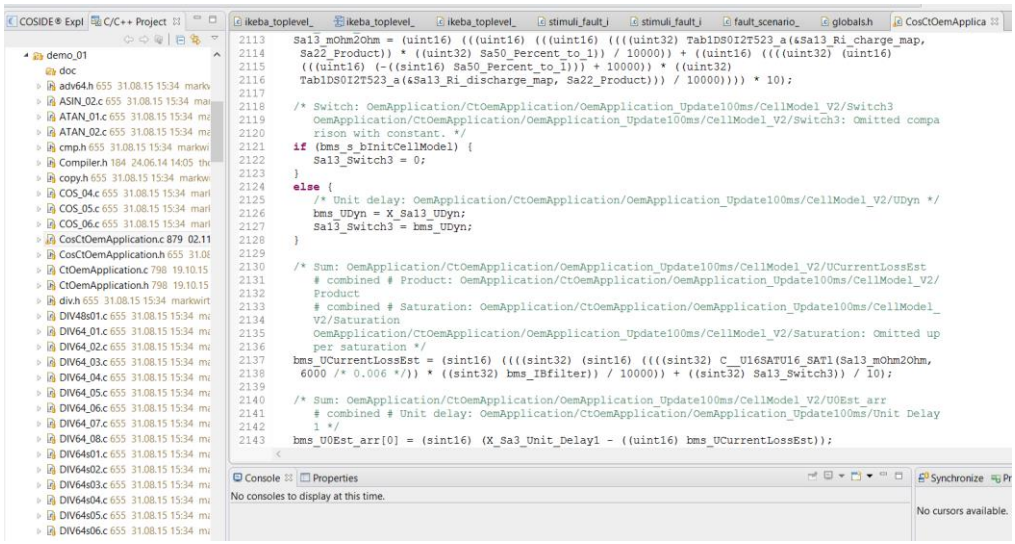


Bild 31 Auszug aus dem Code der in die Simulation eingebundenen Batteriemanagement-Software

Dieses Vorgehen erlaubt es in das Simulationsmodell Fehler zu injizieren (siehe Abschnitt 2.1.2.3) und zu überprüfen, ob die Batteriemanagement-Software erwartungsgemäß reagiert. Am Beispiel der Reaktion auf Grund einer fehlerhaften Zellspannung ist das in Bild 32 skizziert.

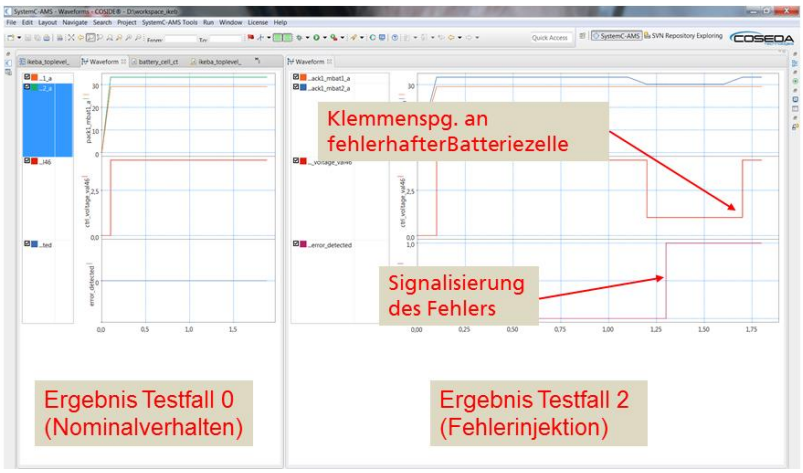


Bild 32 Signalverläufe mit und ohne Fehlerinjektion an einer Batteriezelle (Beispiel)

2.1.3.4 Untersuchungen zur Einbeziehung von Hardware in die Simulation (HiL)

Mit der Aufbereitung einer HiL (Hardware-in-the-Loop)-Lösung unter Verwendung von Komponenten der Simulationslösung wurde in Abstimmung mit dem Projektpartner Hella begonnen. Diese besteht aus folgenden Teilen

- Simulationsmodell unter Verwendung von COSIDE unter Windows
- CSE Simulator des Projektpartners Hella zur Anbindung der Batteriemanagement-Einheit (BMU)
- Baby-LIN für USB-to-LIN zur Übergabe von Werten an die BMU
- CAN2USB-Adapter zum Auslesen von Werten aus der BMU

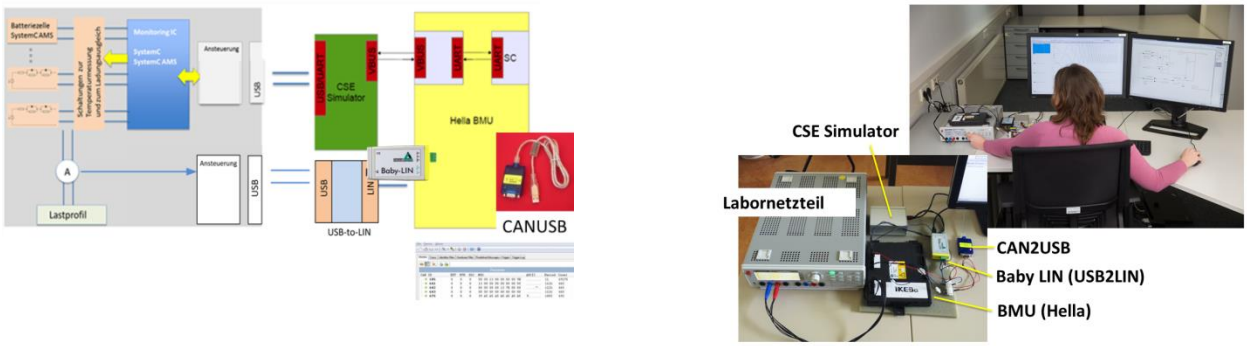


Bild 33 Struktur der HiL-Lösung unter Verwendung von Teilen des Simulationsmodells (links) und Aufbau (rechts)

Diese Lösung erlaubt die Verwendung des realen Steuergerätes des Batteriemanagementsystems. Die verwendeten Teile der Simulationsumgebung gestatten die Bereitstellung realistischer Daten zum Testen der Steuergerätesoftware, einschließlich der Reaktionen im Fehlerfall, wenn die Möglichkeiten der Fehlerinjektion im Simulationsmodell genutzt werden.

2.1.4 Untersuchungen zum Stressverhalten (Fraunhofer IZM)

Die Arbeiten zur Untersuchung des Verhaltens der Batteriemanagementsystem (BMS)-ICs unter dem Einfluss mechanischer Spannung wurden am Fraunhofer IZM durchgeführt. Sie gliedern sich in drei Hauptabschnitte, deren Ergebnisse im Folgenden vorgestellt werden:

1. Untersuchungen zum Verhalten unter definiertem Stresseintrag
2. Untersuchung des vollständigen für die BMS-ICs geplanten AVT-Prozesses des Partners Atmel bezüglich des durch ihn in die Chipoberfläche eingebrachten Stresses
3. Erstellung eines parametrisierten Simulationsmodells für Packages und seine Verifikation

Über den Projektverlauf ergaben sich durch die gemeinsame Bewertung der Teilergebnisse mit dem Partner Atmel einige Abweichungen vom ursprünglich geplanten Ablauf. So wurden die Arbeiten im Bereich der Grundlagenuntersuchungen zum Verhalten unter definiertem Stresseintrag deutlich ausgeweitet. Da dieser Teil von den Partnern als deutlich wichtiger erachtet wurde, wurden, um den Abschluss des Projekts trotzdem zu den geplanten Kosten zu ermöglichen, die Arbeiten im Bereich der Simulation und Vermessung des Stresseintrags in Anwendungssituationen reduziert. Hier wurde nur der AVT-Prozess analysiert.

2.1.4.1 Verhalten unter definiertem Stresseintrag

Um das Verhalten der BMS-ICs unter definiertem Stresseintrag zu untersuchen, wurde ein spezielles Messkonzept entwickelt und die dazu benötigte Hardware aufgebaut. Es war geplant den in die Chips eingebrachten In-Plain-Stress auf folgende Weise zu bestimmen: Sowohl die Atmel-BMS-ICs als auch der Stress-Mess-Chip (SMC) des Fraunhofer IZM wurden auf Platinen aufgeklebt und gebondet. Diese Platinen wurden jeweils Biegeversuchen mit einer speziellen Biegevorrichtung unterzogen. Die Biegevorrichtung ist dabei so konstruiert, dass sie sich unter der Optik eines Laserscanning-Konfokalmikroskops platzieren lässt. Bild 34 zeigt die Biegevorrichtung und das Konfokalmikroskop.

Bild 34 Die Biegevorrichtung mit eingespannter Platine unter dem Konfokalmikroskop

Der auf der Platine befindliche Chip wird dabei mit dem Mikroskop vermessen und eine Höhenkarte seiner Oberfläche erstellt. Es wird also jedem Punkt eines definierten Rasters auf seiner Oberfläche ein Höhenwert zugeordnet. Über dieses Höhenprofil lässt sich die Durchbiegung des Chips ermitteln. Durch Gleichsetzten der Durchbiegung des Stress-Mess-Chips und des Atmel Chips kann der in den BMS-IC eingebrachte Stress exakt mit der sich ändernden elektrischen Charakteristik korreliert werden. Das Messkonzept ist in Bild 35 verdeutlicht.

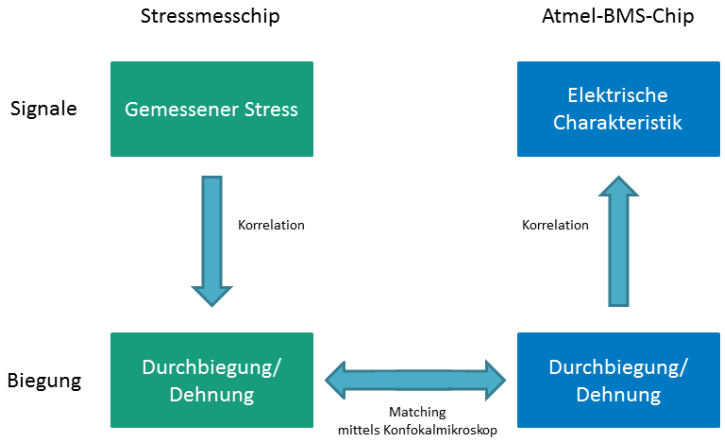


Bild 35 Schematische Darstellung des Messkonzeptes zur exakten Korrelation des mechanischen Spannungseintrags mit der elektrischen Charakteristik des BMS-Chip

Die Ergebnisse der ersten Biegeversuche an den Platinen ergaben jedoch ein Problem. Die durch den Kleber resultierende mechanische Kopplung zwischen Platine und Chip führte nicht zu einer direkten Übertragung der Durchbiegung der Platine auf den Chip. Durch die Biegeversuche mit den Stressmesschips wurde deutlich, dass eine zu den Chiprändern hin abnehmende mechanische Spannung in den Chip induziert wurde, wie in Bild 36 zu sehen ist. Dies ist in zweierlei Hinsicht problematisch. Als Hauptproblem ist zu nennen, dass an der Stelle, an der einzeln auslesbare Teststrukturen auf dem Atmel BMS-IC liegen, der eigebrachte Stress Null ist. Die in der Mitte des Chips liegende Bandgap erfährt zwar einen hohen Stresseintrag, es liegt jedoch auch über ihre Abmaße ein Stressgradient vor. Da ein solcher Stressgradient die einzelnen Strukturen der Bandgap unterschiedlich beeinflusst, kann sich so ihre elektrische Charakteristik im Vergleich zu homogener Stressbelastung, unter der alle Strukturen der gleichen mechanischen Spannung ausgesetzt sind, anders verändern.

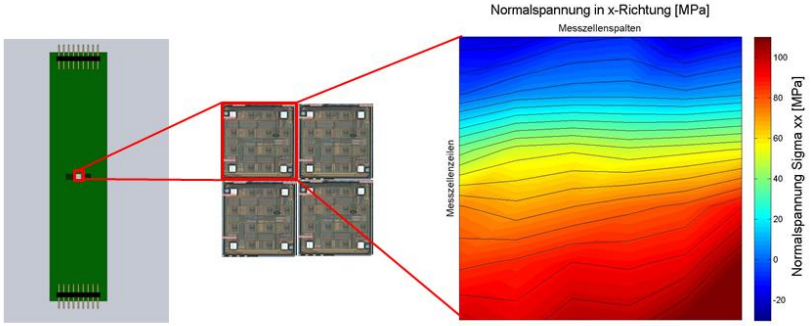


Bild 36 Darstellung der Stressverteilung bei Biegeversuchen mit Platinen. Die rechts zu sehende Stressverteilung zeigt den linken oberen Quadranten des Gesamtchips

Auf Grund dieser Ergebnisse wurde beschlossen, auf eine neue Messmethodik auszuweichen. Es sollten nun Waferstreifen, die die jeweiligen Chips enthalten, direkt verbogen werden. Hierdurch wird das Problem der mechanischen Kopplung zwischen Platine und Chip vermieden. Allerdings müssen diverse andere Störfaktoren ausgeschlossen werden, die diese Methodik ursprünglich als zu kompliziert erschienen ließen. Es wurde ein mechanischer Adapter für die bereits aufgebaute Biegevorrichtung designt und mittels Additive Manufacturing hergestellt. Um die Waferstreifen bei der Biegung nicht punktuell zu belasten, wie es der Fall wäre, wenn sie direkt in die Aufnahmeschlitze des Adapters eingeschoben werden würden, wurde elastisches Material zur Federung in den Adapter eingelegt. In Bild 37 ist die Biegevorrichtung mit Adapter und eingespanntem Waferstreifen zu sehen.

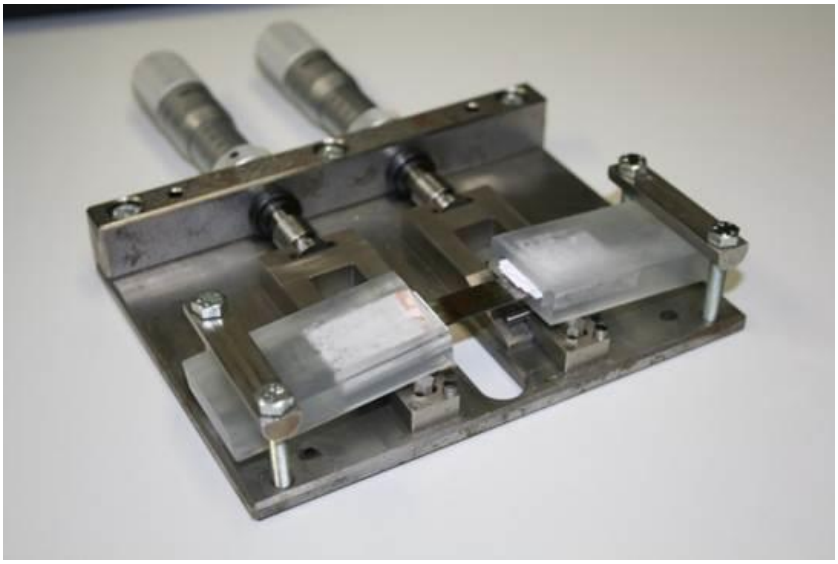


Bild 37 Die Biegevorrichtung mit Adapter und Waferstreifen

Die elektrischen Messungen konnten nun allerdings nicht mehr wie bei den Messungen auf den Platinen direkt unter dem Konfokalmikroskop erfolgen, sondern mussten an einem Waferprober vorgenommen werden. Bei den Messungen unter Verwendung der Platinen wurden die Chips gebondet und es konnte somit ein elektrischer Kontakt mit einem Stecker am Rand der Platine hergestellt werden.

Um sicher zu stellen, dass bei der direkten Kontaktierung am Waferprober keine unerwünschten mechanischen Spannungen in die Chips eingebracht werden, wurde folgendes Vorgehen gewählt. Zuerst wurde das Verfahren mit einem Waferstreifen, der Stressmesschips enthielt, durchgeführt. Dabei wurde getestet, ob das Platzieren von Probernadeln auf den Bondpads der Chips einen messbaren Stresseintrag erbringt. Zwar ist der SMC an sich nicht fähig Stress außerhalb der Ebene der Chipoberfläche zu messen, ein so eingebrachter Stress kann jedoch als nicht definierbare und somit auch nicht verrechenbare Störgröße in das Messergebnis eingehen. Nachdem ein Einfluss durch die Kontaktierung der Bondpads ausgeschlossen war, wurden Versuche mit Probernadeln in näherer Peripherie der Messzellen des SMCs durchgeführt. Es zeigte sich, dass, solange der Scratch nicht direkt auf der Messzelle durchgeführt wurde, keine lokalen Änderungen im durch die Biegung eingebrachten Stress durch den Kontakt mit den Probernadeln gemessen werden kann. Diese starke Lokalisierung des durch punktförmigen Druck in z-Richtung (also out-of-plain) eingebrachten Stresses wurde auch bei den späteren Indenter-Untersuchungen bestätigt (siehe 2.1.4.2). Weiterhin musste ausgeschlossen werden, dass sich die Durchbiegung der Waferstreifen nicht auf Grund der Kraft der Kontaktierung mit den Probernadeln ändern würde. Hierfür wurde jeweils eine Messung der Durchbiegung mit dem Konfokalmikroskop vor der elektrischen Messung am Waferprober und nach ihr durchgeführt und so eine bleibende Veränderung ausgeschlossen. Im Vergleich der Messungen am Stressmesschip-Waferstreifen mit Literaturangaben zur Spannungs-Dehnungs-Korrelation von Silizium konnte gezeigt werden, dass auch keine kurzfristige Änderung des Stresseintrags während der elektrischen Messung vorlag, die sich nach Entfernen der Probernadeln nicht mehr in einer Biegung gezeigt hätte. Die doppelte Messung der Durchbiegung vor und nach der elektrischen Messung wurde für sämtliche Untersuchungen beibehalten. Die Änderungen befanden sich immer im Bereich der Messunsicherheit, sodass die Biegung als konstant angenommen werden konnte.
Um anhand der vorgenommenen Messungen nicht nur, wie zuerst geplant, die Größe der Änderung der Bandgap-Referenzspannung durch Stresseintrag in das BMS-Modell einbringen zu können, sondern ebenso eine Verbesserung des Schaltungslayouts der Bandgap selber zu ermöglichen, wurden die in der Bandgap-Schaltung verwendeten Strukturen einzeln auf ihre Stressabhängigkeit hin vermessen. Hierbei musste sorgfältig auf Kompensation der durch Temperaturänderungen induzierten Änderung der elektrischen Größen geachtet werden. Die elektrischen Charakteristiken der Einzelstrukturen reagieren deutlich empfindlicher auf Temperatur als auf mechanische Spannungen. Bei der Bandgap-Referenz sind

diese Temperatureinflüsse jedoch bereits ausreichend kompensiert. Da der BMS-Chip zwar eine interne Temperaturmessung bereitstellt, diese jedoch mehr Kontaktierungen erfordert, als am Waferprober möglich waren, wurde die Temperatur der Chips mit einer anderen Methodik vermessen und eine eigene Temperaturcharakteristik für jede Struktur aufgenommen. Hierbei wurde mit einem Thermoelement gearbeitet, welches genau wie eine Probernadel mit der Oberfläche des Waferstripes (Direkt neben dem zu untersuchenden Chip) in Kontakt gebracht wurde. Die Temperatur wurde durch Strahlung (Laborlampe) in das Silizium eingebracht. Es wurde dabei vermieden das Licht direkt auf den zu charakterisierenden Chip zu strahlen, um so eine Beeinflussung durch photoelektrische Effekte zu vermeiden. Stattdessen wurde das Licht auf ein Ende des Waferstreifens gerichtet, während ein Chips am endgegengesetzten Rand elektrisch charakterisiert wurde. Neben den Einzelstrukturen wurde ein einfacher Testschaltkreis, der auf dem Chip vorhanden war, vermessen und die Ergebnisse mit einer auf den Einzelmessungen basierenden SPICE-Simulation verglichen. Diese Simulationen basieren auf einem einfachen linearen Modell zum Verhältnis von eingebrachter mechanischer Spannung zu sich änderndem Strom bei konstanter elektrischer Spannung (sowohl am Gate als auch am Kanal). Sie bilden somit elektrische Wechselwirkungen (Änderungen in der Gatespannung) zwischen den Strukturen im Testschaltkreis nicht vollständig ab. Da die Ergebnisse der Simulationen jedoch gut mit denen der Messungen übereinstimmen (Abweichung von <15%), konnte hierdurch die Validität eines solchen Ansatzes gezeigt werden. Eine Übersicht der erzielten Ergebnisse für die Einzelstrukturen findet sich in Tabelle 7. Unter Richtung ist bei den MOSFETS die Ausrichtung des Channels und beim Widerstand des räumlich längeren Teils der ihn formenden Mäander im Verhältnis zur Richtung des eingebrachten Stresses zu verstehen.

Tabelle 7: Relative Änderung der Ströme an einzelnen Strukturen des Testschaltkreises in Abhängigkeit des Stresses.

Struktur	**Richtung**	$^{\Delta I}/_{I_0}$ $[^{1}/_{\mathrm{MPa}}]$
PMOS	Parallel	-0,152%
PMOS	Quer	0,142%
NMOS	Parallel	0,074%
NMOS	Quer	-0,036%
NPN	Iso	-0,174%
Widerstand	Parallel	-0,203%
Widerstand	Quer	0,054%

Zum Abschluss des Projektes wurden zusätzlich zum ursprünglich geplanten Vorgehen drei weitere auf Basis der zuvor erzielten Ergebnisse optimierte Bandgap-Refernzspannungen auf Testchips des Partners Atmel vermessen. Das Vorgehen war dabei gleich, wie bei den oben beschriebenen Messungen.

In Tabelle 8 ist eine Übersicht der unterschiedlichen Verhaltensweisen der Testchips unter Stress zu sehen. Die Bezeichnungen der Stressrichtungen (x,y) sind hierbei zwar parallel zur den Chipkanten und zueinander senkrecht jedoch an sich willkürlich gewählt. Sie müssen nur für Berechnungen bzw. Designentscheidungen mit dem gleichen Chiptyp (bzw. der auf ihm verwendeten Bandgap-Referenz) konsistent eingehalten werden. Für die Worst-Case-Szenarien wurden jeweils Stressbelastungen angenommen, die die elektrische Charakteristik in gleiche Vorzeichenrichtung beeinflussen. Das entspricht bei allen getesteten Chips Zugbelastung in beide Ebenenrichtungen.

Tabelle 8: Relative Änderung der Bandgap-Referenzspannung des ursprünglichen Chips und dreier überarbeiteter Versionen

Chiptyp	$\Delta U/U_0\,(\sigma_x)\,[1/MPa]$	$\Delta U/U_0\,(\sigma_y)\,[1/MPa]$	$\Delta U/U_0\,(\sigma_x+\sigma_y)[1/MPa]$
Ursprung	10 ppm	8 ppm	18 ppm
ATA6561	6 ppm	4 ppm	10 ppm
ATA663254	6 ppm	7 ppm	13 ppm
ATA6625	6 ppm	6 ppm	12 ppm

Neben den Biegeversuchen wurden Versuche zum lokalen Stresseintrag mit einem Indenter durchgeführt. Der Grund für die Durchführung dieser Versuche waren aus der Literatur stammende Angaben zu Eindrücken in Chipoberflächen durch Füllstoffpartikel in der Moldmasse während ihrer Aushärtung. Ein solches Partikel könne unter Umständen sogar dazu führen, dass es zum Bruch des Siliziums komme [21].

Ein Indenter ist eine Prüfmaschine, die häufig für Härteprüfungen eingesetzt wird. Hierbei drückt das Gerät eine (je nach zu prüfender Skala z.B. Vickers unterschiedlich) festgelegte Spitzenform mit einer definierten Kraft in das Material. Durch die Korrelation der benötigten Kraft mit der Eindringtiefe kann die Härte ermittelt werden. Das verwendete Gerät ist fähig Indents auf 1 µm genau zu setzten und kann somit auch zum lokalen Stresseintrag in integrierte Schaltkreise auf einem Chip verwendet werden. Für die Versuche wurden die auf Platinen aufgebrachten Chips verwendet, da eine Kontaktierung mittels einer Probernadel nicht bei gleichzeitiger Stressbelastung durch den Indenter möglich war. Es gab dabei zwei vorgesehene Teile der Messungen. Es sollten Untersuchungen mit einem sogenannten „Flat-Punch“ und mit einem konischen Indenter-Kopf erfolgen. Die Messungen mit dem „Flat-Punch“ der eine quadratische Kontaktfläche hat, hätten es ermöglichen sollen, eine definierte Menge an mechanischer Spannung in die Chips einzubringen. Dies hätte sich mit Hilfe des SMC verifizieren lassen. Obwohl dieser nicht in der Lage ist, out-of-plain Stress direkt zu detektieren, so fließt eine solche Belastung als Störgröße in den in-plain Stress ein. Eine homogene Störung unter der Kontaktfläche mit dem Flat-Punch hätte folglich einen homogenen Stresseintrag verifiziert. Durch Kenntnis der Fläche und der Druckkraft des Indenters auf den Flat-Punch-Kopf ließe sich somit die induzierte mechanische Spannung errechnen. Die exakte Ausrichtung des Flat-Punch erwies sich allerdings als nicht möglich. Minimale Winkelabweichungen der Parallelität von Flat-Punch und Chipoberfläche führten zu nur einem Kontaktpunkt an der Ecke des Indenters. Das definierte Einbringen von mechanischen Spannungen wurde somit unmöglich.

Aus den Messungen mit dem konischen Indenter konnten dennoch viele Erkenntnisse gewonnen werden. Es wurde ein Indenterkopf mit einem Durchmesser von 10 µm und eine Kraft von 300 mN zum Einpressen verwendet. Die Kraft wurde gewählt, da sich nach ersten Vorversuchen herausstellte, dass bei Verwendung höherer Kräfte Strukturen im Chip zerstört werden können und keine weitere Messungen möglich sind. Eine Überschlagsrechnung, die den Radius des Indenterkopfes als Kontaktfläche annimmt, ergibt für 300 mN Druckkraft einen Stresseintrag von 3,8 GPa. Dieser Wert liegt im Bereich der Literaturangaben zur mechanischen Bruchspannung des Siliziums. Durch den Ausfall bei höheren Kräften kann somit davon ausgegangen werden, dass in der Tat Stress in dieser Größenordnung eingebracht wurde, auch wenn hierdurch keine quantitativen Aussagen ermöglicht werden. Die Kraft an die Grenze dessen zu bringen, was ohne Zerstörungen möglich ist, ist sinnvoll, da sich so ein Worst-Case-Szenario abbilden lässt.

Zuerst wurde mit Tests an den SMCs begonnen. Hier konnte gezeigt werden, dass der Stresseintrag durch den konischen Eindruck stark lokalisiert ist. Diese Erkenntnis ist entscheidend, da es unterschiedliche Aussagen und Untersuchungsergebnisse darüber gab, ob die mechanische Spannung durch eine Polyamidbeschichtung, wie sie auf dem SMC vorhanden ist, verteilt werden würde. Das heißt,

dass sie in einem größeren Bereich Wirkung auf die Strukturen an der Chipoberfläche zeigt, als durch die eigentliche Größe des Eindrucks zu erwarten wäre. Es wurden Eindrücke in der Umgebung einer Messzelle des SMC erzeugt und jeweils der Stress gemessen. Die maximale Entfernung zwischen Eindruck und Messzelle, bei der noch Stress in der Zelle zu messen war, betrug dabei etwa den doppelten Radius des Indenters von der Mitte des Eindrucks zum Rand der Messzelle. Der Stresseintrag durch einen Indent ist folglich hoch lokalisiert. Sollte ein den Dimensionen des Indenterkopf entsprechender Partikel in die Bandgap-Referenzspannung eindrücken, so ist es also möglich, dass nur eine Einzelstruktur beeinflusst wird. Dies ist auf Grund des Konzeptes der Abstimmung der unterschiedlichen Einzelstrukturen zum Stressausgleich als kritisch zu sehen. Würde sich der Stress über einen weiteren Bereich verteilen, so würden die abgestimmten Einzelstrukturen den gleichen oder zumindest einen ähnlichen Stresseintrag erfahren. Hierdurch würde sich die Referenzspannung entsprechend nicht oder nur in geringerem Ausmaß ändern.

Nach den Tests an den Stressmesschips wurden Messungen an den Atmel-Test-Chips vorgenommen. Hierbei wurden sowohl die Teststrukturen untersucht als auch die Bandgap-Referenz. Die Teststrukturen wurden in einem Raster mit dem Indenter belastet. Sie zeigten tatsächlich bedeutende Abweichungen beim lokalen Eindruck. Vor allem ein Eindruck in den NPN-Transistor zeigte dabei starke Änderung von 25% im Strom des Testschaltkreises. Sonstige Änderungen in der elektrischen Charakteristik fielen vergleichsweise klein aus. Der Strom im Schaltkreis durch Eindruck in einen PMOS oder NMOS Transistor konnte um bis zu 5% beeinflusst werden. Änderungen an Spannungen waren im Bereich von maximal 2‰. Durch lokale Belastungen am Widerstand konnten keine messbaren Änderungen erzielt werden. Das ist darauf zurückzuführen, dass die Ausmaße dieser Struktur deutlich größer sind, als der Indentereindruck. In Bild 38 ist die Teststruktur zusammen mit dem Raster der Indents und den unterschiedlichen Teststrukturen zu sehen.

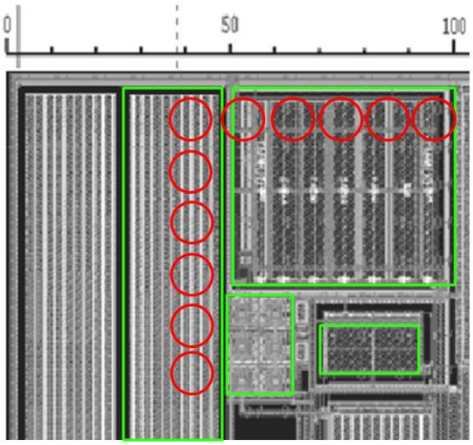


Bild 38 Der Testschaltkreis mit Indentraster (nur zwei Außenseiten gezeigt) und markierten Einzelstrukturen. Links befindet sich der Widerstand, rechts oben die NMOS Transistoren. Die beiden kleineren markierten Bereiche sind in der unteren Mitte die NPN-Transistoren und unten rechts die PMOS-Transistoren.

Die Bandgap-Referenz, über deren internen Aufbau dem IZM keine Details vorliegen, wurde ebenfalls mit einem Raster an Eindrücken untersucht, um hiermit mögliche Schwachstellen, die stark auf Stress reagieren, erkennen zu können. Die Änderungen waren im Verhältnis zum Indent in die Einzelstrukturen gering. Verglichen mit den Ergebnissen der Biegeversuche jedoch von signifikanter Größe. In Bild 39 sind die Indents mit signifikanten Änderungen in der Refernzsspannung zu sehen. Es muss beachtet werden, dass auf Grund der kleinen Größe des Indenter-Kopfes und der hohen Lokalisierung des Stresses weitere Schwachstellen vorliegen können, die genau zwischen zwei Rasterpunkten liegen.

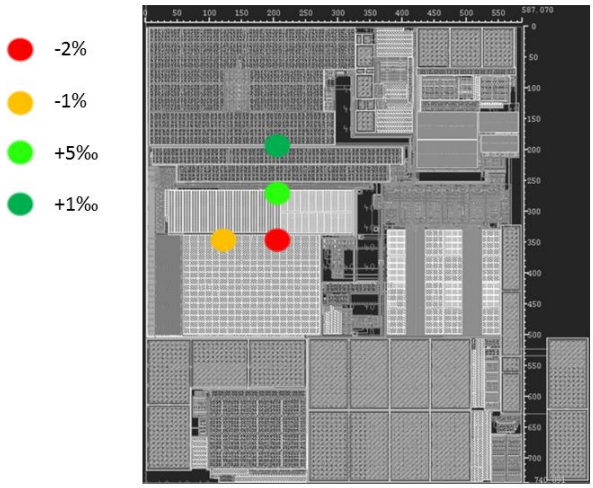


Bild 39 Die Bandgap-Spannungsreferenz des Atmel BMS-Testchips. Die Eindruckstellen mit signifikanten relativen Änderungen in der Spannung sind farbig markiert. Über den internen Aufbau der Struktur kann keine Aussage getroffen werden.

Als Ergebnis dieses Teils der Arbeiten lässt sich Folgendes festhalten: Eine Optimierung der Bandgap-Referenz auf homogenen Stresseintrag auf Basis der Vermessung von Einzelstrukturen und daraus resultierenden System-Simulationen ist möglich und erreicht worden. In wie weit der Einfluss einer solchen Optimierung signifikant für die Gesamtfunktionalität ist, muss allerdings vom Partner Atmel in Zukunft noch evaluiert werden. In wie weit eine solche Optimierung auch Vorteile bei realem nicht homogenen Stress erbringen kann, wird in den nächsten Abschnitten dargestellt. Die Indenterversuche zeigten, dass ein lokaler out-of-plain Stresseintrag starke Änderungen in der elektrischen Charakteristik einer IC-Schaltung ergeben kann. Auch die Änderungen in der optimierten Bandgap-Referenz sind signifikant.

2.1.4.2 Untersuchung des AVT-Prozesses

In diesem Abschnitt wird die Untersuchung des AVT-Prozesses bezüglich seines Stresseintrages in den BMS-IC dargestellt. Hierbei geht es darum herauszufinden, welchem Stress der IC ausgesetzt ist und in wie weit ein solcher Eintrag durch die Ergebnisse der Anpassungen, die auf den Messungen mit definiertem Stresseintrag beruhen, kompensiert werden kann. Es werden außerdem Vorgaben zur räumlichen Platzierung der Referenzspannungsquelle auf dem Chip aufgestellt, die den Stresseinfluss auf die Änderung der elektrischen Spannung minimieren kann.

Für diese Messung wird der Stressmesschip des Fraunhofer IZM verwendet. Hierbei wird der AVT-Prozess, der in der späteren Anwendung bei den BMS-ICs Verwendung finden soll, mit SMCs durchlaufen. Um den resultierenden Stresseintrag auf die BMS-ICs möglichst exakt vorhersagen zu können, müssen die verwendeten SMCs möglichst die gleichen Dimensionen wie jene aufweisen. Am IZM stehen vier Varianten des Stressmesschips zu Verfügung. Für diese Untersuchung wurde die Version mit den Maßen (1,7x1,7)mm² gewählt, wobei jeweils vier Chips zu einem größeren Quadrat zusammengefasst wurden, um so die Größe des Atmel BMS-ICs (3,2x3,4)mm² zu approximieren. Der AVT-Prozess findet bis vor dem Auflöten in der Atmel-eigenen (inzwischen nicht mehr zum Konzern gehörenden) Fertigungslinie statt. Der Lötprozess wird am Fraunhofer IZM durchgeführt. Die SMCs werden zunächst als Bare-Die vermessen, bevor sie an die Atmel interne AVT-Abteilung übergeben werden. Dort werden die Chips nach einem Standardprozess verpackt. Zuerst werden sie auf einen Leadframe aufgeklebt, wonach einige von ihnen entnommen und nicht weiter prozessiert werden, um später den Stresseintrag dieses Vorgangs bestimmen zu können. Die verbleibenden Chips werden danach gebondet, gemoldet und zurück zum Fraunhofer IZM versandt. Hier werden alle gemoldeten

Chips vermessen, aufgelötet und wiederum vermessen. Es werden zwei Packagingvarianten untersucht ein (5x5)mm² und ein (7x7)mm² QFN (Quad Flat No Leads Package). Wobei jede der Varianten mit 30 SMCs durchlaufen wird. Hierdurch ist es möglich mit Hilfe von Mittelwertbildungen präzisere Aussagen über den Stresseintrag zu erhalten. Außerdem können Aussagen zu eventuellen Einzelabweichungen getroffen werden und somit untersucht werden, in wie weit die Ergebnisse der Messungen für Designüberlegungen herangezogen werden können. Bei zu großen Abweichungen wäre das nicht sinnvoll, da die Vorhersage des eingebrachten Stresses nicht zuverlässig wäre.

Die Ergebnisse der Stressmessungen nach dem Aufkleben zeigen, dass, der Stresseintrag gering ist und sich nicht signifikant zwischen den beiden Leadframe Varianten unterscheidet.

Der durch das Bonden eingebrachte Stressbeitrag ist als minimal anzunehmen [19], weshalb der Prozessschritt mit dem Moldingprozess zusammengefasst wurde. Hiernach zeigte sich ein Stresseintrag, der auf Grund der Erfahrungen aus entsprechenden in der Vergangenheit vermessenen Prozessen nicht zu erwarten war. So zeigte sich Druckbelastung in der Chipoberfläche, wie in Bild 40 zu sehen ist.

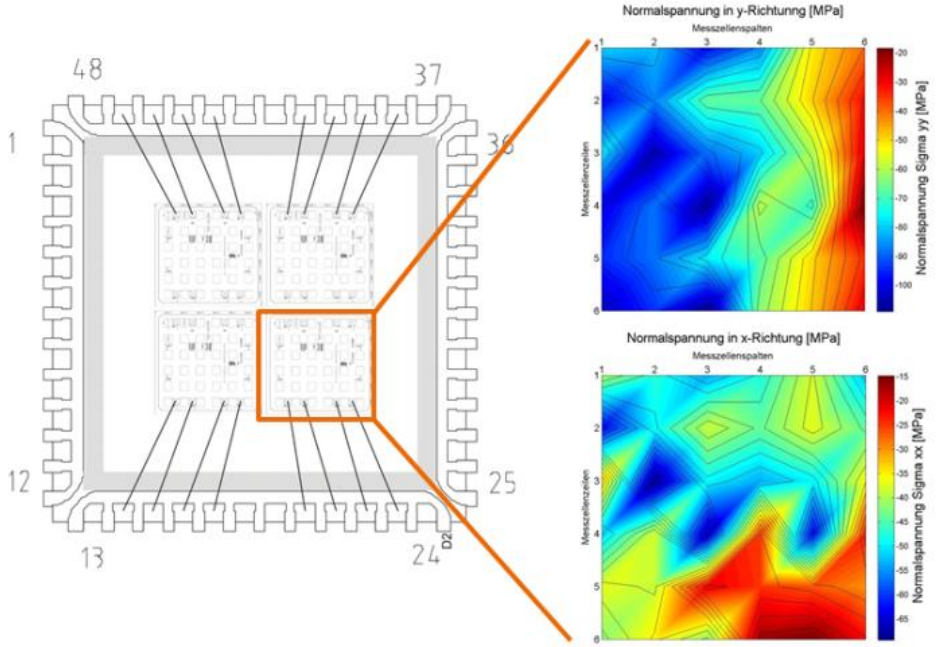


Bild 40 Stress im Package nach dem Molden. Die Übrigen SMCs verhalten sich im Vergleich punktsymmetrisch.

Da diese Ergebnisse unerwartet waren, wurde zusätzlich mit dem bereits bei den Biegeversuchen verwendeten Konfokalmikroskop die Durchbiegung der QFNs bestimmt. In Bild 41 ist ein Ergebnis einer solchen Messung zu sehen. Bei direkter mechanischer Kopplung des Chips an den Leadframe würde eine Durchbiegung in die gemessene Richtung eine Dehnung an der Oberseite des Chips erzeugen, welche wiederum in einer Zugspannung (positiv) resultieren würde. Eine interessante Beobachtung ist weiterhin, dass sich das Verhältnis der Durchbiegungen in beide Raumrichtungen ähnlich dem Verhältnis der gemessenen mechanischen Spannungen zeigt.

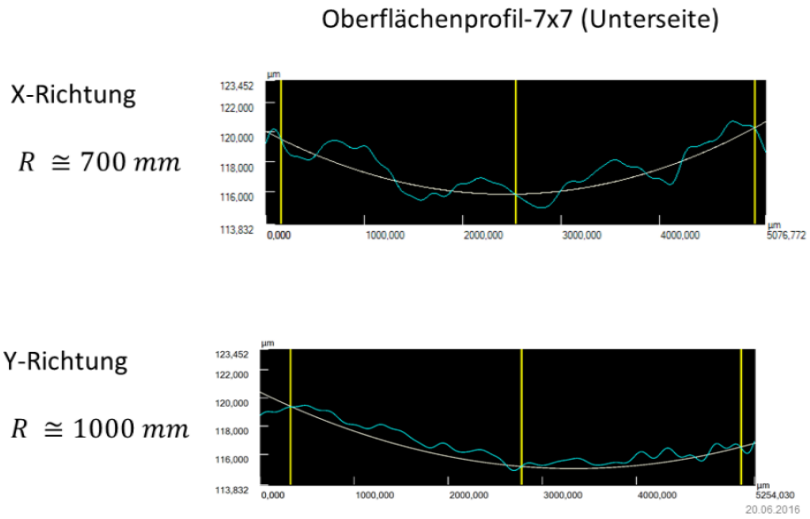


Bild 41 Durchbiegung des QFN-Packages von der Unterseite betrachtet.

Auch hier zeigt sich das Problem einer Vorhersage der resultierenden mechanischen Spannungen beim Aufkleben von Chips, wie es bereits bei den Leiterplatten beobachtet wurde. Im Unterschied zu den Biegeversuchen auf Leiterplatten, liegen zum Packagingprozess jedoch belastbare Daten für ein anderes Verhalten bei vergleichbaren Prozessen in der Vergangenheit vor [20]. Dies legt die Schlussfolgerung nahe, dass die modernen Moldmaterialien, die möglichst so auf Chip und Leadframe abgestimmt werden, dass sie keine eigene Versteifung haben und somit Druck auf den Chip auswirken, dieses Verhalten zu gut erfüllen. Es wird durch die Moldmasse kein bzw. ein zu geringer Druck auf den Chip ausgeübt, sodass dieser nicht mehr an den Leadframe angepresst wird. Durch die Interaktion des im Verhältnis weichen Klebers mit dem Chipmaterial Silizium und dem Leadframe ergibt sich so das beobachtete Verhalten. Der weiche Kleber stellt keine direkte Kopplung her und wird durch die Biegung nach außen unter dem Chip herausgedrückt, was bei diesem zu einer Durchbiegung in gegensätzlicher Orientierung wie der des Leadframes führt. Die Simulationen in Abschnitt 2.1.4.3 erzielen ebenso entsprechende Ergebnisse bezüglich der Durchbiegung, wodurch die Überlegungen als valide betrachtet werden können.

Der sich anschließende Lötprozess hebt die insgesamt eingebrachten mechanischen Spannungen im Vergleich zur Messung nach dem Molden etwas. Dies war zu erwarten, da durch die mechanische Verbindung zwischen Leadframe und Leiterplatte an den Pins die Kanten des QFNs nach unten gezogen und dieser somit etwas weiter gebogen werden kann. Interessant ist weiterhin, dass sich der Unterschied im gemessenen Stress zwischen den beiden QFN Varianten nach dem Lötprozess aufgelöst hat.

Große Abweichungen im Stressverhalten zwischen einzelnen Chips eines QFN-Typs gab es in keinem der Prozessschritte. Die Standardabweichung des an einer Zelle am gleichen Ort des Chips auftretenden Stresses über alle Chips liegt nur knapp über der Genauigkeit des Stressmesschips von 15 MPa. Auch eine detaillierte Durchsicht aller einzelnen Stressbelastungen konnte keine großen Peaks ausfindig machen. Hieraus kann geschlossen werden, dass, zumindest bei diesem AVT-Prozess, keine Beeinflussung durch einzelne Füllstoffpartikel der Moldmasse vorliegt. Hierfür spricht auch das allgemeine Stressverhalten. Wie oben erläutert, ist es für das Entstehen der auf den Chips beobachteten Druckspannungen notwendig, das die Moldmasse keinen zu starken Druck auf den Chip ausübt, da dieser ansonsten dem Leadframe in seiner Biegung folgen würde. Findet hier jedoch kein Anpressen statt, so erscheint auch das Eindrücken eines einzelnen Partikels als unwahrscheinlich.

Aus den Ergebnissen dieses Abschnitts lässt sich für die räumliche Platzierung der Bandgap-Referenz schließen, dass diese am besten in der Mitte des Chips zu platzieren ist, sofern sie aus gematchten Strukturen besteht. Hiermit ist gemeint, dass sie Strukturen enthält, die sich unter Stresseinfluss

gegenteilig in ihrer elektrischen Charakteristik verhalten. Dies ist deshalb entscheidend, da in der Mitte des Chips zwar die höchsten absoluten Stresswerte auftreten, der Stressgradient jedoch gering ist. Daraus resultiert zwar eine hohe Änderung der elektrischen Eigenschaften einer jeden einzelnen Struktur allerdings eine homogene Änderung aller Strukturen. Das Design eines Referenzschaltkreises, der auf homogene mechanische Spannungen unempfindlich reagiert ist zwar eine Herausforderung, einen Schaltkreis auf unterschiedliche Änderungen in den einzelnen Strukturen abzustimmen jedoch deutlich schwieriger oder bei nicht vorhersehbaren Änderungen sogar unmöglich. Sollen einfache nicht abgestimmte Bandgap-Referenzen verwendet werden, so bietet sich allerdings der Bereich am Rand des Chips an, da hier die Spannungen geringer ausfallen. Zu beachten ist hierbei weiterhin, dass sich die Spannungen auf den Diagonalen der Chipoberfläche als am niedrigsten zeigen, wenn beide Ebenenrichtungen der Spannung in Betracht gezogen werden. Gleichzeitig ist die Homogenität in diesen Diagonalen auch hoch, solange nicht die Spannungsdifferenz, sondern die Summe der in-plain Spannungen betrachtet wird. Für eine Referenzschaltung für Strukturen, die keine Vorzugsrichtung besitzen (z.B. NPN-Tranistor, siehe Tabelle 7) würde sich diese Position folglich anbieten. Auf Grund des konstruktiven Aufwands eines solchen Designs (Badgap-Referenz entlang der Diagonalen) wird dieser Ansatz jedoch vorerst nicht weiter von Atmel verfolgt werden.

In Bezug auf die in Abschnitt 2.1.4.1 untersuchten Chips kann festgestellt werden, dass der durch den AVT-Prozess eingebrachte Stress bei den optimierten ICs zu einer relativen Änderung in der Referenzspannung von etwa 1 ‰ führt und somit im Bereich der von Atmel als akzeptabel definierten Abweichung liegt.

2.1.4.3 Parametriertes Simulationsmodell

In diesem Abschnitt wird das parametrisierte ANSYS FEM-Simulationsmodell des QFN-Package vorgestellt. Um adäquate Ergebnisse erzielen zu können ist für einen Molding-Prozess die Viskoelastizität des verwendeten Kunststoffes zu berücksichtigen. Da das hierfür benötigte Materialmodell nicht zu Verfügung stand, wurde das Material durch das IZM-Berlin vermessen und die gewonnenen Erkenntnisse ebenso dort in ein Materialmodell überführt. Die Ergebnisse der experimentellen Bestimmung der viskoelastischen Parameter finden sich in Bild 42.

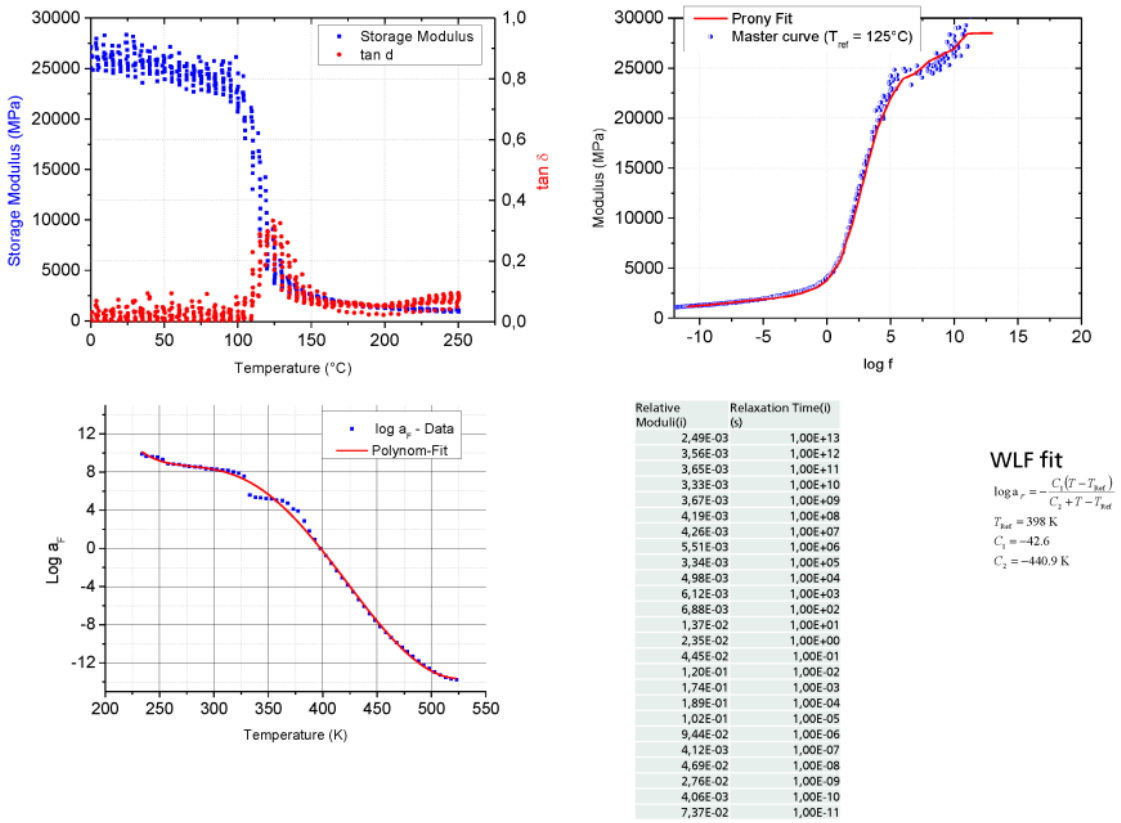


Bild 42 Bestimmung der viskoelastischen Materialparameter

Am IZM Oberpfaffenhofen wurde ein CAD-Modell des Package erstellt. Hierbei sind die Teile Leadframe, Kleber, Chip, Bonddrähte und Moldmasse unterschieden worden. Wobei die Maße des Chips als konstant angenommen werden, während die Außenmaße des Package und die Kleberdicke als Parameter variiert wurden. Bilder des Modells sind in Bild 43 zu sehen. Die Bondrähte sind zur besseren Übersichtlichkeit ausgeblendet worden.

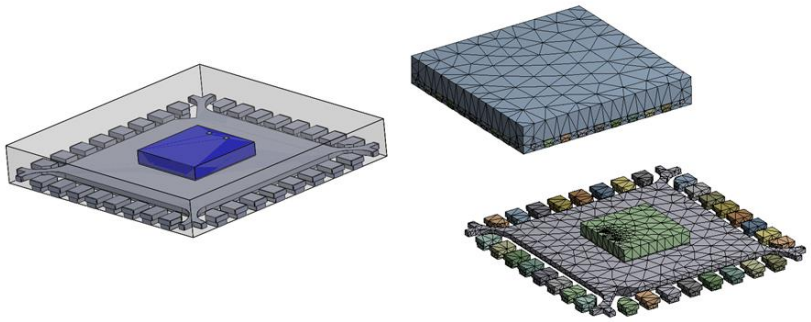


Bild 43 Bild des CAD-Modells in SolidWorks (links) und der Vernetzung in Ansys (rechts)

Die Variation der Außenmaße ist, wie im letzten Abschnitt auch an den Messergebnissen zu sehen, entscheidend, da sich durch sie die mechanischen Verhältnisse im Package deutlich verändern. Die Kleberdicke ist als Parameter eingebracht worden um prüfen zu können in wie weit nicht systematische Abweichungen in der Produktion Einfluss auf den Stress an der Chipoberfläche haben. Hierbei bestätigte

sich, was bereits durch die messtechnische Charakterisierung des AVT-Prozesses sichtbar wurde. Deutliche Abweichungen im Stress sind durch eine Veränderung der Kleberdicke nicht zu erreichen. Das gilt dabei sowohl für homogene Erhöhung der Kleberdicke als auch für die Erzeugung einer Keilform im Kleber, also das Erhöhen einer Seite des Chips. Zwar ist eine leichte Verschiebung der Stressverteilung zu erkennen, diese liegt jedoch im Vergleich mit den Messungen noch im Bereich der Unsicherheit des SMCs und innerhalb der Standardabweichung, die sich aus den Messwerten aller verwendeter Chips ergibt. Das Simulationsmodell liefert mit den Messungen gut übereinstimmende Ergebnisse (Bild 44) und kann somit (unter der Voraussetzung der Verwendung des gleichen Prozesses und gleicher Materialien) in Zukunft für Designentscheidungen und Vorhersagen bezüglich der Auslegung der Referenzspannungsschaltung verwendet werden, ohne dass eine erneute messtechnische Charakterisierung des Prozesses bezüglich des Stresseintrages erforderlich wird.

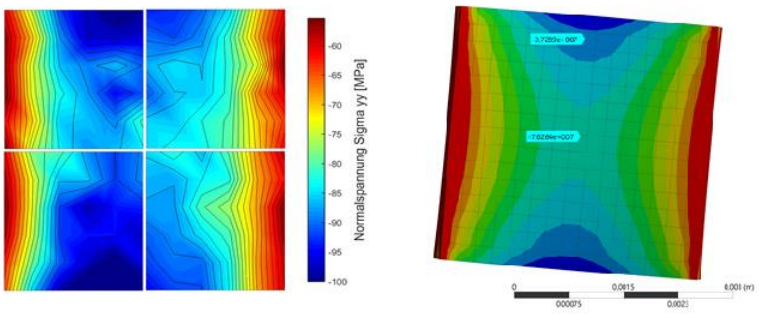


Bild 44 Vergleich der Messung des Stresseintrages nach dem Molden (links) mit dem Ergebnis der Simulation (rechts)

2.2 Voraussichtlicher Nutzen, insbesondere Verwertbarkeit der Ergebnisse und Erfahrungen

Mit dem Projekt hat Fraunhofer IIS/EAS seine Kompetenz auf dem Gebiet der Elektromobilität und der Werkzeuge für den Systementwurf gestärkt. Die zur Entwurfsplattform ausgebaute Entwurfsumgebung ist im Rahmen der Vorstellung der Ergebnisse auf verschiedenen Fachtagungen (siehe Abschnitt 2.4) auch außerhalb des Konsortiums zur Nutzung angeboten worden.

Mit dem Projektpartner Hella hat es Gespräche zur Anwendung der im Rahmen des Vorhabens erprobten Verfahren für andere Entwurfsaufgaben gegeben, die aber noch zu keinem abschließenden Ergebnis geführt haben.

Die im Rahmen des Vorhabens erprobten Verfahren zur Fehlerinjektion sind in die provisorische Patentanmeldung „Apparatus and method for testing a circuit“ (Methode zur dynamischen. Fehlerinjektion, ohne Nominal-DUT ändern zu müssen) vom 15. 4. 2016 eingeflossen.

Während der Laufzeit des Vorhabens ist die Firma COSEDA Technologies GmbH aus der Fraunhofer-Gesellschaft e.V. ausgegründet worden. Durch COSEDA wird die Simulationsumgebung COSIDE®, die Basis für die im Vorhaben entwickelte Entwurfsplattform ist, weiterentwickelt und vertrieben. Damit ist gewährleistet, dass die rechentechnische Basis für die erarbeiteten Ergebnisse auch nach Abschluss des Vorhabens verfügbar ist.

Die Standardisierung von SystemC AMS im Rahmen der IEEE wurde zu Ende der Projektlaufzeit mit der Verabschiedung vorläufig abgeschlossen. Das sichert potentiell die mögliche Weiternutzung der Ergebnisse auch in anderen Entwurfsumgebungen.

In Zusammenhang mit den Anforderungen der ISO 26262 „Road vehicles – Functional safety“ hat sich ein verstärktes Interesse von industriellen Anwendern und im Forschungsbereich gezeigt. Die Arbeiten zur Fehlerinjektion sind eine sehr gute Basis, auf die in diesem Zusammenhang aufgebaut werden kann. Zusammen mit Partnern in der EU ist dazu Ende 2015 ein Horizon-2020-Antrag (Call GV—2015) NOVARBMS „Novel Architectures and Solutions for Battery Management Systems“ eingereicht worden. Trotz guter Bewertung mit 14 von 15 möglichen Punkten konnte allerdings eine Förderung nicht zugesagt werden. Auf der anderen Seite ermutigt die doch recht positive Bewertung, die Überlegungen zur Fehlerinjektion in Zusammenhang mit Untersuchungen zur funktionalen Sicherheit in andere Vorhaben einfließen zu lassen.

Die Forschungsergebnisse zur thermo-mechanischen Stressanalyse sind auch für andere batteriebetriebene Anwendungen im Bereich der Leistungselektronik von Bedeutung. Vor allem mit dem Projektpartner Atmel gibt es intensiven Austausch über Folgeprojekte, die momentan jedoch noch nicht konkret sind. Die Erkenntnisse zur Simulation des Stresseintrages beim Schaltungsdesign öffnen hierbei ein neues Entwicklungsfeld. Forschungen zu einem generischen, nicht explizit auf die Parameter der im Projekt verwendeten Strukturen zugeschnittenen Ansatz bieten sich an. Durch die Entwicklung stressresitenter Referenzspannungen könnten auch online Stressmessungen, die momentan das Problem einer fehlenden chipinternen Vergleichsmöglichkeit für die erzeugten Messsignale haben, möglich werden.

Die Nutzung der Entwurfsplattform über die IKEBA-Applikation hinaus wird geprüft. Aufgrund der Flexibilität der Plattform sind der Einbau neuer Batteriemodelle und damit auch die Nutzung über das Projekt hinaus möglich.

Die Ergebnisse sind auf verschiedenen Fachtagungen im nationalen und europäischen Rahmen (siehe Abschnitt 2.4) vorgestellt worden.

2.3 Fortschritt an anderen Stellen

Während der Laufzeit des Vorhabens wurden die Fortschritte auf dem Gebiet der Batterietechnologien verfolgt. Lithium-Ionen-Akkumulatoren werden wegen der hohen möglichen Energiedichte für die nächsten Jahre nicht an Bedeutung verlieren. Damit muss auch weiterhin durch die integrierte Elektronik des Batteriemanagements gesichert werden, dass ein sicherer Betrieb gewährleistet ist. Über- und Unterladen von Zellen das Überschreiten zulässiger Temperarturen müssen vermieden werden. Um Lithium-Schwefel-Akkumulatoren als Alternative einsetzen zu können, sind nach gegenwärtigem Stand noch wesentliche Verbesserungen, insbesondere hinsichtlich des Erreichens hoher Zyklenzahlen, erforderlich.

2.4 Erfolgte Veröffentlichung der Ergebnisse

[22] Brugger, Werner; Janz, Thomas; Köhler, Ulrich; Verhaag, Benno; Rohde, Magnus; Ziebert, Carlos; Seifert, Hans Jürgen; Danzer, Michael; Schreier-Alt, Thomas; Dietrich; Manfred; Haase, Joachim: IKEBA - Integrierte Komponenten und integrierter Entwurf energie-effizienter Batteriesysteme. In: Poster Batterieforum Deutschland, 29.-31. Januar 2014, Berlin.

[23] Markwirth, Thomas; Gulbins, Matthias; Ehrlich, Paul; Haase, Joachim: SystemC AMS basierte Modellierung von Batteriemanagementsystemen (BMS). In: Schneider, Peter; Dittrich, Michael (Hrsg): Tagungsunterlagen DASS 2014. Stuttgart: Fraunhofer Verlag, 2014, S. 64-69. http://nbn-resolving.org/urn:nbn:de:0011-n-2909138

[24] Janz, Thomas; Ou, Jiong; Brugger, Werner; Pan, Xiao; Verhaag, Benno; Hohenhövel, André; Markwirth, Thomas; Uhle, Thomas; Gulbins, Matthias; Dietrich, Manfred; Haase, Joachim: Virtuelle Entwurfsplattform für Batteriemanagementsysteme. In: Posterabstracts. Batterieforum Deutschland, 21.-23. Januar 2015, Berlin, S. MS10-(VP19.2). http://nbn-resolving.org/urn:nbn:de:0011-n-3281869

[25] Lei, Boxia; Melcher Andreas.; Rohde, Magnus; Ziebert, Carlos; Seifert, Hans Jürgen ; Gulbins, Matthias; Haase, Joachim: Parametrisierung einer Ersatzschaltung für Li-Ionenzellen durch elektrochemisch-kalorimetrische Messungen und Implementierung in der Entwurfsplattform COSIDE. In: Posterabstracts. Batterieforum Deutschland, 21.-23. Januar 2015, Berlin, S. MS11-(VP19.2). http://nbn-resolving.org/urn:nbn:de:0011-n-3281882

[26] Gulbins, Matthias; Haase, Joachim; Markwirth, Thomas; Uhle, Thomas; Melcher, Andreas; Ziebert, Carlos: Table-driven Li-ion battery cell model for BMS development platform. In: International Conference & Exhibition "Energy Science Technology", EST 2015, May 20-22, 2015, Karlsruhe. http://nbn-resolving.org/urn:nbn:de:0011-n-3663717

[27] Markwirth, Thomas; Gulbins, Matthias; Einwich, Karsten; Haase, Joachim: Effiziente Modellierung heterogener Batteriemanagementsysteme (BMS) In: C. Wahmkow, P. Roßmanek, R. Wendorf (Hrsg.): Tagungsband Argesim Report AR 50 - Workshop der ASIM/GI-Fachgruppen Simulation technischer Systeme und Grundlagen und Methoden in Modellbildung und Simulation, 18. und 19. Juni 2015, Stralsund, S. 309-314. http://www.asim-gi.org/index.php?id=248&tx_pubdb_pi1[pubid]=97&tx_pubdb_pi1[ppid]=247

[28] Haase, Joachim; Lange, André: Correlated Noise Description Using HDLs. In: 8th Vienna International Conference on Mathematical Modelling. MATHMOD 2015, 18-20 February 2015, Vienna, pp. 556-561. doi: 10.1016/j.ifacol.2015.05.066

[29] Markwirth, Thomas; Gulbins, Matthias; Einwich, Karsten; Haase, Joachim: Efficient Modelling of Heterogeneous Battery Management Systems. In: Simulation Notes Europe SNE 25(2), 2015, 93-98. doi: 10.11128/sne.25.tn.10296

[30] Gulbins, Matthias; Melcher, Andreas; Ziebert, Carlos; Markwirth, Thomas; Haase, Joachim.: Parametrisierung von Lithium-Ionen-Zellen auf Basis von CIT-Messungen. ASIM-Workshop STS/GMMS 2016. 10. und 11. März 2016 Lippstadt. S. 37 – 44 http://publica.fraunhofer.de/documents/N-382443.html

[31] Markwirth, Thomas; Ehrlich, Paul; Matter, Dominik: Dynamic Fault Injection Approach for SystemC AMS. DVCon Europe 2016, October 19-20, München (angenommen).