TECHNISCHE UNIVERSITÄT
BERGAKADEMIE FREIBERG
Die Ressourcenuniversität. Seit 1765.

Modellierung, Charakterisierung und Design von PIN-Dioden zur Nutzung als ESD-Schutzstrukturen und Hochleistungsbauelementen

Von der Fakultät für Chemie und Physik
der Technischen Universität Bergakademie Freiberg
genehmigte

Dissertation

zur Erlangung des akademischen Grades

doctor rerum naturalium
(Dr. rer. nat.)

vorgelegt von **M. Sc. Patrick Scharf**
geboren am 21.02.1990 in Freiberg

Gutachter: **Prof. Dr. rer. nat. Johannes Heitmann, TU Bergakademie Freiberg**
Prof. Dr.-Ing. Thomas Mikolajick, TU Dresden

Tag der Verleihung: Freiberg, den 06.05.2022

Versicherung

Hiermit versichere ich, dass ich die vorliegende Arbeit ohne unzulässige Hilfe Dritter und ohne Benutzung anderer als der angegebenen Hilfsmittel angefertigt habe; die aus fremden Quellen direkt oder indirekt übernommenen Gedanken sind als solche kenntlich gemacht.
Die Hilfe eines Promotionsberaters habe ich nicht in Anspruch genommen. Weitere Personen haben von mir keine geldwerten Leistungen für Arbeiten erhalten, die nicht als solche kenntlich gemacht worden sind. Die Arbeit wurde bisher weder im Inland noch im Ausland in gleicher oder ähnlicher Form einer anderen Prüfungsbehörde vorgelegt.

06.05.2022 M. Sc. Patrick Scharf

Kurzzusammenfassung

Mit der Entdeckung des Gleichrichter-Effekts 1873 wurde der theoretische Grundstein für die Halbleiter-Diode gelegt. Heutzutage sind Dioden auf nahezu allen elektronischen Schaltungen zu finden. Sie erfüllen dabei unterschiedlichste Aufgaben und finden Anwendung zum Beispiel als Gleichrichter, RF-Widerstand oder ESD-Schutzstruktur.

Dioden basieren auf einem p/n-Übergang, welcher den Stromfluss in eine Richtung passieren lässt und in die andere Richtung sperrt. Bei PIN-Dioden wird zwischen der p-dotierten und der n-dotierten Zone noch ein intrinsisches bzw. niedrig dotiertes Gebiet eingefügt. Im Rahmen dieser Arbeit wurden Silizium- und GaAs- basierte PIN-Dioden für den Einsatz als ESD-Schutzstruktur und für Anwendungen in der Leistungselektronik untersucht.

Mit Hilfe von TCAD-Simulationen wurden verschiedene Eigenschaften der PIN-Dioden unter Einwirkung eines ESD-Ereignisses analysiert. Die Bildung und Bewegung von Stromfilamenten konnte dabei beobachtet werden. Es stellte sich heraus, dass die Geometrie der Schutzdiode einen direkten Einfluss auf deren Lebensdauer hat. Es konnten Designvorschläge für ein optimiertes ESD-Schutzverhalten gemacht werden. Zur Validierung der Ergebnisse wurden verschiedene PIN-Dioden hergestellt und mittels TLP-Messung charakterisiert. Bei sehr schmalen Strukturgrößen konnten mehrere Spannungsabfälle beobachtet werden, was auf das Vorhandensein mehrerer Stromfilamente hindeutet. Diese Vermutung konnte anhand von TCAD-Simulationen bestätigt werden. Zur Analyse eines Layouts auf dessen ESD-Robustheit sind zeitintensive TCAD-Simulationen ungeeignet. Aus diesem Grund wurden auf Basis der TLP-Messungen und TCAD-Simulationen layoutabhängige Kompaktmodelle entwickelt. Diese ermöglichen eine schnelle Simulation der rückläufigen Kennlinie einer in Sperrrichtung vorgespannten PIN-Diode. Zusätzlich konnten die Bildung und Bewegung eines Stromfilaments nachgebildet werden.

Im Hinblick auf Anwendungsmöglichkeiten in der Leistungselektronik, wurden Untersuchungen an GaAs-basierten PIN-Dioden durchgeführt. Diese zeichnen sich vor allem durch deutlich höhere Durchbruchspannungen aus. Mit TCAD-Simulationen und Hochspannungsmessungen wurden die Dioden charakterisiert. Aus den gewonnenen Erkenntnissen konnte ein analytisches Modell abgeleitet werden, was eine Optimierung der Diodenstruktur im Hinblick auf die Durchbruchspannung ermöglichte.

Inhaltsverzeichnis

Kurzzusammenfassung **5**

Inhaltsverzeichnis **7**

Abkürzungs- und Symbolverzeichnis **9**

1 Einleitung und Motivation **13**

2 Grundlagen **15**

2.1 Halbleitermaterialien 15

2.2 Die PIN-Diode 17

2.2.1 Durchlassrichtung 20

2.2.2 Sperrrichtung 21

2.3 Halbleiter-Gleichungen zur Beschreibung der PIN-Diode 22

2.4 Lawinendurchbruch, Stoßionisation und Tunnelmechanismen 22

2.5 Thermische Effekte 25

2.6 Filamentierung und Filament-Bewegung 26

3 Grundlagen ESD **29**

3.1 Elektrostatische Entladung 29

3.2 Schutzstrukturen 31

3.2.1 Widerstand 32

3.2.2 Diode 33

3.2.3 Transistor 34

3.2.4 Thyristor 34

3.3 ESD-Designfenster 35

3.4 Modellpulse für den ESD-Test 36

3.4.1 Human Body Model 37

3.4.2 Machine Model 37

3.4.3 Charged Device Model 38

3.5 Transmission Line Pulse Messung 38

4 Modellierung und Teststrukturen **43**

4.1 TCAD-Simulationen 43

4.2 Kompaktmodellierung 44

4.3 Teststrukturen 45

4.3.1 Silizium basierte PIN-Dioden 45

4.3.2 Galliumarsenid Leistungsdioden 46

4.4 Elektrische Charakterisierung 47

5 Silizium-basierte PIN-Dioden als ESD-Schutzstrukturen **49**

5.1 TCAD-Simulationen 49

5.1.1 Simulationen in 2D 49

5.1.2 Simulationen in 3D 55

5.1.3 Untersuchungen zur Lebensdauer von PIN-Dioden 58

5.2 TLP-Messungen 59

5.3 Vergleich von Messung und Simulation ... 64
5.4 Kompaktmodellierung ... 67
5.4.1 Einleitung ... 67
5.4.2 Modellierung in TCAD ... 68
5.4.3 Analytische Modelle ... 70
5.4.3.1 Stückweise lineares Modell ... 70
5.4.3.2 Quadratisches Modell ... 71
5.4.3.3 Unipolares Modell ... 72
5.4.3.4 Bipolares Modell ... 73
5.4.4 Physik-basierte Modelle ... 74
5.4.4.1 Kompaktmodell 1 ... 74
5.4.4.2 Kompaktmodell 2 ... 78
5.4.4.3 Kompaktmodell 3 ... 81
5.4.4.4 Kompaktmodell 4 ... 83
5.4.5 Kopplung von 1D-Modellen ... 87
5.5 Zusammenfassung ... 89
6 GaAs PIN-Leistungsdiode ... 91
6.1 TCAD-Simulationen ... 91
6.2 Elektrische Charakterisierung ... 92
6.3 Vergleich von Messung und Simulation ... 95
6.4 Modellierung ... 97
6.5 Zusammenfassung ... 101
7 Zusammenfassung ... 103
Abbildungsverzeichnis ... 105
Tabellenverzeichnis ... 113
8 Anhang ... 115
8.1 Technische Daten ... 115
8.2 Filamentbewegung ... 115
8.3 Quellcode der VerilogA Modelle ... 118
8.3.1 Stückweise lineares Modell ... 118
8.3.2 Quadratisches Modell ... 119
8.3.3 Bipolares Modell ... 120
8.3.4 Kompaktmodell 1 ... 121
8.3.5 Kompaktmodell 2 ... 123
8.3.6 Kompaktmodell 3 ... 126
8.3.7 Kompaktmodell 4 ... 126
8.3.8 Parameter GaAs-Modell ... 132
8.4 Herleitungen ... 132
8.4.1 Herleitung Weite der Stoßionisationszone ... 132
Publikationen ... 135
Danksagung ... 137
Referenzen ... 139

Abkürzungs- und Symbolverzeichnis

Abkürzungen

CDM	Charged Device Model
DC	Direct Current (Gleichstrom)
DUT	Device Under Test (zu testendes Bauelement)
ESD	Electrostatic Discharge (Elektrostatische Entladung)
FEM	Finite-Element-Methode
GaAs	Galliumarsenid
GaN	Galliumnitrid
HBM	Human Body Model
IC	Integrated Circuit (Integrierte Schaltung)
IV	Strom-Spannungs(-Messung)
MM	Machine Model
MOSFET	Metal oxide semiconductor field-effect transistor (Metall/Oxid/Halbleiter-Feldeffekttransistor)
RCI	Resistor/Capacitor/Inductor (Widerstand/Kapazität/Induktivität)
Si	Silizium
SiC	Siliziumkarbid
TCAD	Technology Computer Aided Design (Rechnerunterstützes Konstruieren)
TDR	Time Domain Reflection (Zeitbereichsreflektometrie)
TLP	Transmission Line Pulse

Symbole

A	Fläche	[m²]
b_n	Ionisationskoeffizient für Elektronen	[V·m]
b_p	Ionisationskoeffizient für Löcher	[V·m]
C	Kapazität	[F]
C_L	Wärmekapazität des Gitters	[J / (kg·K)]
d	Abstand, Schichtdicke	[m]
D_n	Diffusionskoeffizient für Elektronen	[m² / s]
D_p	Diffusionskoeffizient für Löcher	[m² / s]
E	Elektrische Feldstärke	[V / m]
E_0	Energie bei 0 K	[eV]
E_g	Bandlücke des Halbleiters	[eV]
E_M	Maximale elektrische Feldstärke	[V / m]
G	Generationskoeffizient	[m³ / s]
I	Stromstärke	[A]
I_F	Stromfluss einer in Vorwärtsrichtung betriebenen PIN-Diode	[A]
$I_{Stoß}$	Stoßionisationsstrom	[A]
k_B	Boltzmann-Konstante	$8{,}617 \cdot 10^{-5}$ [eV / K]
L	Länge	[m]
M_n	Multiplikationskoeffizient für Elektronen	
M_p	Multiplikationskoeffizient für Löcher	
J	Gesamtstromdichte	[A / m²]
J_n	Elektronenstromdichte	[A / m²]
J_p	Löcherstromdichte	[A / m²]
n	Elektronenkonzentration	[1 / m³]
N_A	Akzeptorkonzentration	[1 / m³]
N_D	Donatorkonzentration	[1 / m³]
n_i	Intrinsische Ladungsträgerkonzentration	[1 / m³]
N_L	Zustandsdichte des Leitungsbandes	[1 / m³]
N_V	Zustandsdichte des Valenzbandes	[1 / m³]
p	Löcherkonzentration	[1 / m³]
q	Elementarladung	$1{,}602 \cdot 10^{19}$ [A · s]
R	Rekombinationskoeffizient	[m³ / s]
R_i	Widerstand im intrinsischen Gebiet einer PIN-Diode	[Ω]
T	Temperatur	[K]

t	Zeit	[s]
V	Spannung	[V]
V_{bi}	Diffusionsspannung	[V]
V_{BR}	Durchbruchsspannung	[V]
V_i	Spannungsabfall über dem intrinsischen Gebiet einer PIN-Diode	[V]
v_{sat}	Sättigungsgeschwindigkeit	[m / s]
V_t	Temperaturspannung	[V]
W	Weite	[m]
x	Ort	[m]
α	Ionisationsrate für Elektronen	[1 / m]
α_∞	Ionisationskoeffizient für Elektronen	[1 / m]
β	Ionisationsrate für Löcher	[1 / m]
β_∞	Ionisationskoeffizient für Löcher	[1 / m]
ε	Permittivität	[S / m]
ε_0	Permittivität des Vakuums	$8{,}854 \cdot 10^{12}$ [A·s / V·m]
ε_r	Materialabhängige Permittivität	
μ_n	Elektronenmobilität	[m² / (V·s)]
μ_p	Löchermobilität	[m² / (V·s)]
ρ	Elektrische Ladungsdichte	[A·s /m³]
ρ_R	Spezifischer elektrischer Widerstand	[Ω·m]
ϕ	Potential	[V]

1 Einleitung und Motivation

Bereits 1873 entdeckte der deutsche Physiker Ferdinand Braun den Gleichrichter-Effekt an Bleisulfid- und Eisensulfidkristallen [1], konnte jedoch den Effekt zur damaligen Zeit nicht erklären. Dies wurde erst mit Hilfe der Quantenmechanik Anfang des 20. Jahrhunderts möglich [1]. Bis zur Herstellung der ersten siliziumbasierten Diode im Jahr 1938 dauerte es ganze 65 Jahre [2]. Heutige Halbleiterdioden werden überwiegend auf Basis von Silizium (Si) hergestellt, jedoch wird auch Germanium (Ge) oder Galliumarsenid (GaAs) in der Produktion verwendet [3].

Grundlegend basiert die Halbleiterdiode auf einem p/n-Übergang, welcher den Stromfluss in die eine Richtung passieren lässt und in die andere Richtung sperrt [4]. Fügt man zwischen die n- und p-leitende Schicht eine intrinsische Schicht ein, entsteht eine sogenannte PIN-Diode [5], welche eine variable Impedanz [6] sowie Raumladungszone besitzt. Auf Grund dieser Eigenschaften finden PIN-Dioden in der Mikroelektronik unter anderem Einsatz als variabler RF-Widerstand [7], Gleichrichter [7] oder Electrostatic-Discharge-Schutzstruktur (ESD-Schutzstruktur) [8].

Da die Anforderungen an moderne Elektronik immer weiter zunehmen, steigen auch die Anforderungen an die Bauelemente selbst [9]. Ein Ziel dieser Arbeit ist die Erstellung von layoutabhängigen Kompaktmodellen zur effektiven Simulation des ESD-Schutzes. Dabei werden silizium-basierte PIN-Dioden betrachtet. Mit einer solchen Methodik wäre eine Optimierung der Dioden im ESD-Schutz möglich, wodurch notwendige Überarbeitungen des Designs reduziert und spätere Ausfälle im Feld vermieden werden könnten. Allerdings ist die Modellierung von ESD-Strukturen kompliziert, da sie eine rückläufige Kennlinie besitzen. Kompaktmodelle mit diesem Verhalten lassen sich von den meisten Schaltungssimulatoren schlecht bis gar nicht lösen, da die Jacobimatrix singulär wird und es dadurch zu Konvergenzproblemen kommt [10] - [12]. Aktuell gibt es keine allgemeine Lösung für das Problem.

Im zweiten Teil der Arbeit werden Untersuchungen an GaAs-PIN-Dioden durchgeführt. Ziel ist die Optimierung der GaAs-Diode für Anwendungen in der Leistungselektronik. Hier dominieren neben Silizium die Materialien Galliumnitrid (GaN) und Siliziumcarbid (SiC) den Markt [13]. Der Verbindungshalbleiter GaAs verfügt über das notwendige Potential [14], eine ebenbürtige Alternative zu sein. Mit Hilfe von Hochspannungsmessungen, Simulationen und Modellierung soll die GaAs-Diode für Anwendungen in der Leistungselektronik weiterentwickelt werden.

2 Grundlagen

2.1 Halbleitermaterialien

Als Halbleiter bezeichnet man Materialien, welche einen spezifischen elektrischen Widerstand im Bereich von 10^{-4} bis 10^{9} Ohm cm [15] aufweisen und somit zwischen Metallen und Nichtleitern liegen. Ihr Widerstand ist zudem durch das Einbringen von Fremdatomen, dem sogenannten Dotieren, veränderbar. Mit Hilfe des Bändermodells können die Energiezustände eines Halbleiters beschrieben werden. Das Leitungsband ist durch eine Energielücke vom Valenzband getrennt. Bei sehr geringen Temperaturen sind alle Zustände im Leitungsband unbesetzt, während im Valenzband alle Zustände besetzt sind. Durch thermische Anregung können Elektronen vom Valenzband ins Leitungsband gelangen. Dieser Prozess wird als Generation bezeichnet. Beim umgekehrten Prozess, der Rekombination, gibt das Elektron Energie ab und gelangt zurück ins Valenzband. Es gibt zwei verschiedene Arten der Rekombination, welche die Halbleiter in direkte und indirekte Halbleiter einteilen (siehe Abbildung 1) [15], [16].

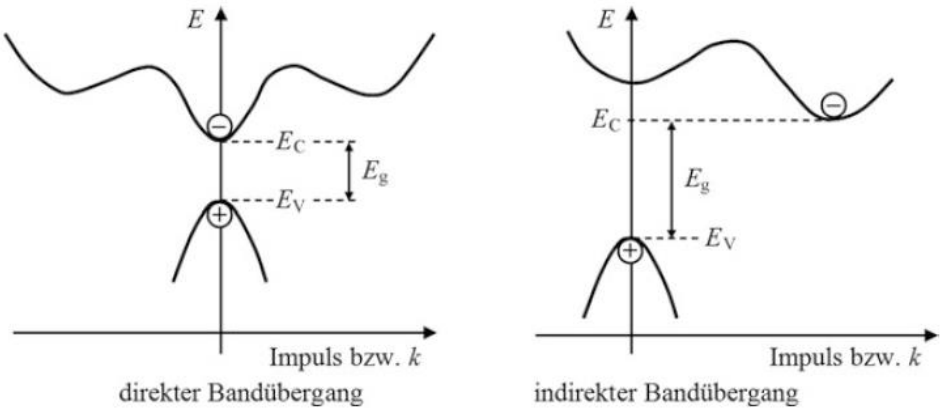

Abbildung 1 *Bandstrukturdiagramm eines direkten Halbleiters (links) und eines indirekten Halbleiters (rechts) [16].*

Im Fall eines direkten Halbleiters fällt das Elektron direkt vom Leitungsband in das Valenzband zurück. Die dabei freiwerdende Energie wird in Form eines Photons abgestrahlt. Im Gegensatz dazu findet die Rekombination in einem indirekten Halbleiter durch Wechselwirkung mit Phononen statt. Ob ein Halbleiter direkt oder indirekt ist, hängt von seiner Bandstruktur ab. Zu den direkten Halbleitern zählen meist Verbindungshalbleiter wie zum Beispiel GaAs oder GaN. Vertreter für indirekte Halbleiter sind Elementarhalbleiter wie Silizium oder Germanium [16].

Für die Fertigung von PIN-Dioden kommt in den meisten Fällen Silizium zum Einsatz. Im Bereich der Leistungselektronik stößt Silizium allerdings an seine Grenzen. So werden hier verstärkt Halbleiter wie GaN oder SiC verwendet und an GaAs für diese Anwendung zunehmend geforscht [17] - [20]. Die

Ursache liegt in den Materialeigenschaften des Halbleiters selbst. In Tabelle 1 sind einige der wichtigsten Materialeigenschaften der vier genannten Halbleiter aufgelistet [15].

Tabelle 1 *Materialeigenschaften von Si, GaAs, GaN und 4H-SiC [13], [15]*

	Si	**GaAs**	**GaN**	**4H-SiC**
Bandlücke [eV]	1,12	1,4	3,49	3,26
Durchbruchs-Feldstärke [MV/cm]	0,3	0,4	3,5	3,0
Elektronenmobilität bei 300K [cm^2/ Vs]	1400	8500	900	700
Sättigungsgeschwindigkeit Elektronen [10^7 cm/ s]	1,0	1,3	1,3	2,0
Relative Dielektrizitätskonstante	11,8	12,8	9,0	10,0
Wärmeleitfähigkeit [W/cm K]	1,5	0,5	1,7	3,5

Silizium ist das wohl am weitesten verbreitete Halbleitermaterial und findet auf Grund seiner relativ geringen Bandlücke und einer relativ hohen Elektronenmobilität in einer Vielzahl von Bereichen Anwendung [3]. Da Silizium nur eine geringe Durchbruchs-Feldstärke aufweist, stößt es im Bereich der Leistungselektronik zunehmend an seine Grenzen. SiC und GaN besitzen eine deutlich größere Bandlücke als Silizium, wodurch der Halbleiter bei höheren Temperaturen betrieben werden kann, bevor die intrinsische Ladungsträgerdichte zu stark ansteigt. Außerdem sind die Durchbruchs-Feldstärken deutlich größer als bei Silizium, was die Produktion von Bauelementen mit sehr hohen Sperrspannungen ermöglicht. Eine weitere Alternative stellt GaAs dar. Dieser Halbleiter hat eine leicht höhere Bandlücke und damit Durchbruchs-Feldstärke als Silizium und eine deutlich höhere Elektronenmobilität. Damit lassen sich weitaus höhere Leistungsdichten und schnellere Schaltzeiten realisieren [15].

In Abbildung 2 sind für alle vier Halbleitermaterialien die Abhängigkeit von Leistung und Schaltfrequenz dargestellt, sowie typische Anwendungsgebiete vermerkt.

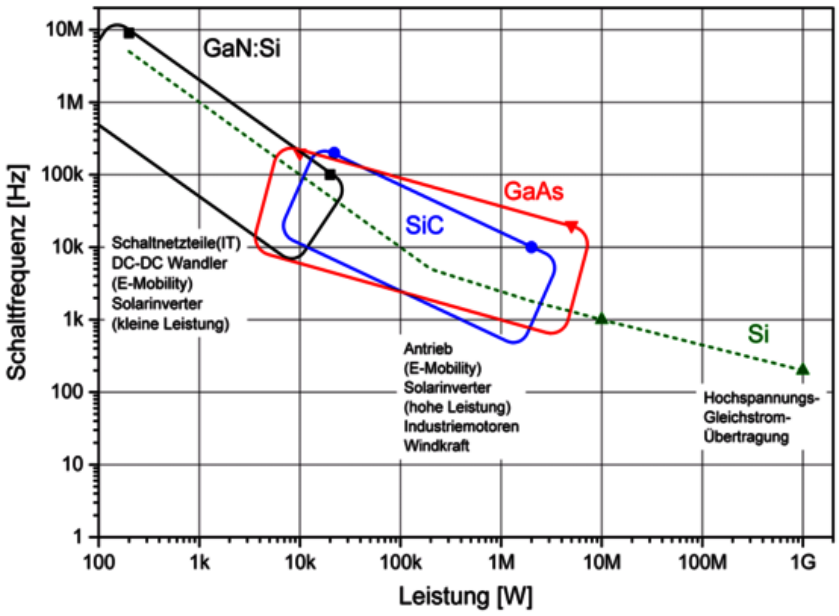

Abbildung 2 *Abhängigkeit von Leistung und Schaltfrequenz für die Halbleitermaterialien Si, GaAs, SiC und GaN und entsprechenden Anwendungsgebieten [21].*

2.2 Die PIN-Diode

Eine PIN-Diode besteht aus einem p/n-Übergang mit einer zusätzlichen intrinsischen Schicht zwischen den beiden hoch dotierten Gebieten [22]. Die Schematische Darstellung einer PIN-Diode ist in Abbildung 3 gezeigt.

Analog zum p/n-Übergang führt das Zusammenbringen der beiden unterschiedlich dotierten Regionen zu einem Konzentrationsgradienten. Die Elektronen aus dem n-dotierten Bereich bewegen sich zum p-dotierten Gebiet und die Löcher aus dem p-dotierten Bereich bewegen sich zum n-dotierten Gebiet. Die Diffusion der beiden Arten von Landungsträgern führt zur Rekombination im jeweils entgegengesetzt dotierten Bereich. Die verbleibenden ortsfesten, geladenen Dotieratome erzeugen daraufhin ein elektrisches Feld, welches der Diffusion entgegengesetzt gerichtet ist. Somit stellt sich ein Gleichgewicht zwischen beiden Mechanismen ein. Es entsteht eine Sperrschicht an der Grenzfläche, wobei die Ausdehnung von den jeweiligen Dotierungsdichten abhängig ist [4]. Im Falle der PIN-Diode wird diese Raumladungszone zusätzlich um die Breite des intrinsischen Gebietes verlängert.

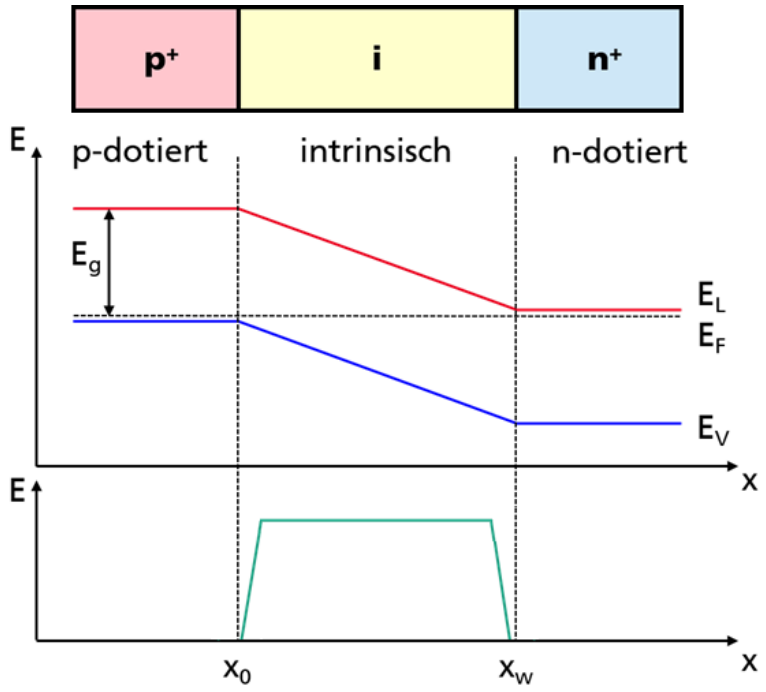

Abbildung 3 *Schematische Darstellung einer PIN-Diode bestehend aus einem hoch p-dotierten, einem intrinsischen und einem hoch n-dotierten Gebiet (oben). Das entsprechende Banddiagramm (Mitte) und das elektrische Feld (unten) einer idealen PIN-Diode sind ebenfalls dargestellt.*

In Abbildung 3 ist das Banddiagramm einer idealen PIN-Diode dargestellt. Im thermodynamischen Gleichgewicht kommt es zu einem Angleichen der Ferminiveaus. Das Ferminiveau ist das höchste Energieniveau in welchem sich bei $0°K$ noch Elektronen befinden. Bei einem intrinsischen Halbleiter sind die Anzahl an Elektronen im Leitungsband gleich der Anzahl an Löchern im Valenzband und somit liegt das Ferminiveau in der Mitte der Bandlücke. Bei n-dotierten Halbleitern wird das Ferminiveau in Richtung Leitungsband verschoben und bei p-dotierten Halbleitern in Richtung Valenzband. Beim Zusammenbringen unterschiedlich dotierter Halbleiter kommt es zu einem Angleichen des Ferminiveaus, was wiederum zu einer Krümmung des Valenz- und Leitungsbandes führt. Die sich einstellende Diffusionsspannung ist dabei von den jeweiligen Dotierkonzentrationen abhängig [4].

In einer realen Diode ist das intrinsische Gebiet meist leicht p- oder n-dotiert, da eine intrinsische Dotierung im Bereich $< 1 \cdot 10^{10}\ cm^{-3}$ technisch schwer realisierbar ist und die Eigenschaften der Diode negativ beeinflussen würde [15]. Da die Dotierung um mehrere Größenordnungen geringer ist als in den benachbarten Gebieten spricht man trotzdem von einer PIN-Diode. Das intrinsische Gebiet weist auf Grund der niedrigen Dotierung einen sehr hohen Widerstand auf. Mit Hilfe der Dotierung und der Breite des intrinsischen Gebietes lassen sich der Widerstand und die Kapazität der PIN-Diode entsprechend der gewünschten Anwendung modulieren [23].

Die Herstellung von PIN-Dioden ist entweder durch Epitaxie oder Diffusion möglich. Beim Epitaxie-Verfahren wird mittels Epitaxie eine niedrig dotierte Schicht auf ein hoch dotiertes Substrat des

gleichen Dotanden aufgebracht. Mittels Diffusion wird anschließend der fehlende Dotand eingebracht. Damit ist es möglich sehr schmale intrinsische Zonen zu erzeugen. Beim Diffusions-Verfahren wird ein niedrig dotierter Wafer verwendet. Die beiden hoch dotierten Gebiete werden mit Hilfe von Diffusionsprozessen auf beiden Seiten des Wafers eingebracht. Der verwendete Wafer muss vorher allerdings entsprechend gedünnt werden. Im Gegensatz zum Epitaxie-Verfahren entstehen deutlich breitere intrinsische Zonen [15]. In Abbildung 4 sind beide Verfahren für n-dotierte Wafer dargestellt.

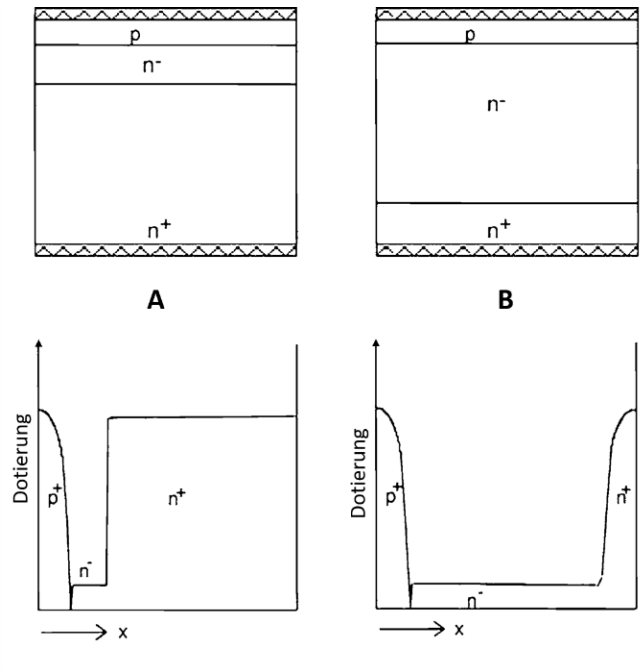

Abbildung 4 *Querschnitt (oben) und Dotierprofil (unten) einer PIN-Diode, welche mit dem Epitaxie-Verfahren (A) oder dem Diffusions-Verfahren (B) hergestellt wurde [15].*

Wird an der PIN-Diode eine externe Spannung angelegt, so hängt das Verhalten von deren Polung ab. In Vorwärtsrichtung wird das intrinsische Gebiet mit freien Ladungsträgern geflutet und es kann ein ungehinderter Stromfluss erfolgen. In Sperrrichtung werden die Ladungsträger noch weiter von der Grenzschicht weggezogen und die Raumladungszone wird weiter vergrößert [23]. Die Strom-Spannungs-Kennlinie ist in Abbildung 5 dargestellt.

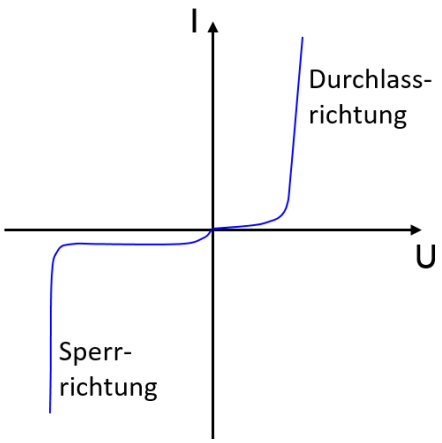

Abbildung 5 *IV-Kennlinie in Vorwärts- und Rückwärtsrichtung einer realen PIN-Diode.*

Nachfolgend werden Durchlass- und Sperrrichtung im Detail betrachtet.

2.2.1 Durchlassrichtung

Wird eine externe Spannung an die Diode angelegt, sodass der Pluspol an der p-dotierten Zone und der Minuspol an der n-dotierten Zone liegt, so spricht man von der Durchlassrichtung [24]. Die freien Ladungsträger werden durch das angelegte elektrische Feld in das intrinsische Gebiet injiziert. Dabei werden Elektronen aus der n-Schicht und Löcher aus der p-Schicht injiziert. Auf Grund von Rekombinationen im intrinsischen Gebiet nimmt die Anzahl an freien Ladungsträgern mit zunehmender Tiefe ab. Eine Erhöhung der Vorwärtsspannung führt zu mehr freien Ladungsträgern in der intrinsischen Zone, was wiederum den Widerstand verringert [22], [25]. In Abbildung 6 ist die Ladungsträgerinjektion in Durchlassrichtung schematisch dargestellt.

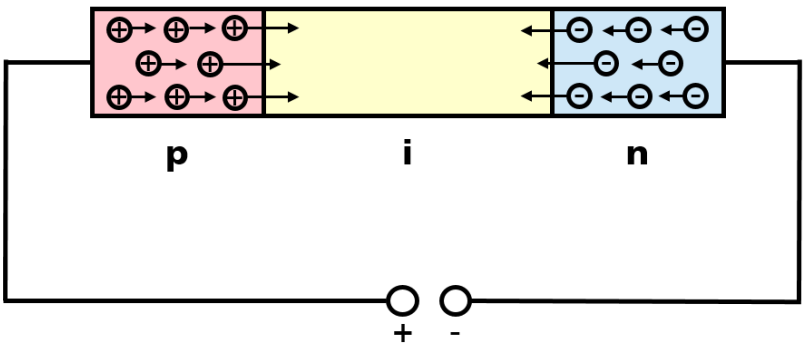

Abbildung 6 *Kräfte auf die Ladungsträger einer PIN-Diode, welche in Durchlassrichtung betrieben wird.*

Unter der Annahme, dass die Ladungsträgerkonzentration in der gesamten intrinsischen Zone konstant ist, kann der Diffusionsstrom vernachlässigt werden. Da die Anzahl an injizierten Ladungsträgern deutlich größer ist als die Dotierkonzentration, ergibt sich der Gesamtdriftstrom aus:

$$J = q \cdot \mu_n \cdot n \cdot E + q \cdot \mu_p \cdot p \cdot E \tag{1}$$

wobei μ_n und μ_p die Mobilitäten von Elektronen und Löchern darstellen, n und p sind die injizierten Ladungsträger und E ist das elektrische Feld im intrinsischen Gebiet. [4]

Der Spannungsabfall V_i in der PIN-Diode ist von der Breite W des intrinsischen Gebietes abhängig:

$$V_i = E \cdot W \tag{2}$$

Der Widerstand R_i im intrinsischen Gebiet ergibt sich wiederum aus dem Verhältnis von Spannungsabfall zu Stromfluss I_F in Vorwärtsrichtung:

$$R_i = \frac{V_i}{I_F} \tag{3}$$

Mit steigendem Stromfluss nimmt der Widerstand im intrinsischen Gebiet immer weiter ab.

2.2.2 Sperrrichtung

Bei einer in Sperrrichtung betrieben PIN-Diode wird eine externe Spannung angelegt, sodass der Plus-Pol an der n-dotierten Zone und der Minus-Pol an der p-dotierten Zone liegt (siehe Abbildung 7). Dadurch werden die freien Ladungsträger von der Grenzschicht weggezogen und die Raumladungszone wird weiter vergrößert [22], [25].

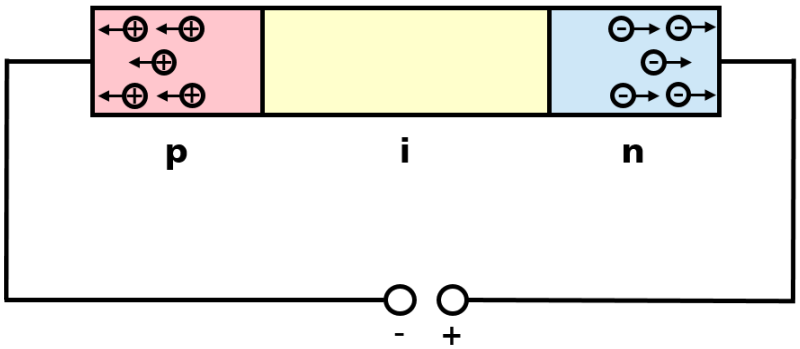

Abbildung 7 *Bewegung der freien Ladungsträger im elektrischen Feld einer in Sperrrichtung betriebenen PIN-Diode.*

Ein geringer Stromfluss (Leckstrom) durch die Sperrschicht ist auf Grund von Tunneleffekten oder einer geringfügigen Erzeugungsrate von Ladungsträgern in der Verarmungszone trotzdem möglich. Ist die angelegte Rückwärtsspannung bzw. das elektrische Feld an den beiden Übergängen zur intrinsischen Zone groß genug, so kommt es zur Stoßionisation. Bei diesem Prozess können einzelne Ladungsträger aus dem Leckstrom weitere Ladungsträger generieren. Es entsteht ein Lawineneffekt, der zu einem Durchbruch in Sperrrichtung führt [4]. Eine detaillierte Beschreibung der genannten Mechanismen ist in Kapitel 2.3 dargestellt.

Die Durchbruchsspannung V_{BR} einer PIN-Diode kann näherungsweise über die folgende Gleichung beschrieben werden:

$$V_{BR} \approx E_M \cdot W \tag{4}$$

E_M ist das maximale elektrische Feld bei Durchbruch und kann für Silizium mit ca. $2{,}5 \cdot 10^5\ \mathrm{V/cm}$ angenommen werden [4]. Mit Hilfe der Weite W der intrinsischen Zone lässt sich so die Durchbruchsspannung je nach Anwendung anpassen.

2.3 Halbleiter-Gleichungen zur Beschreibung der PIN-Diode

Zur generellen Beschreibung eines Halbleiters und auch im Hinblick auf die im späteren Verlauf der Arbeit durchgeführten Simulationen und der Modellentwicklung, werden die grundlegenden Halbleiter-Gleichungen benötigt. Im thermischen Gleichgewicht lassen sich die Drift-Diffusions-Gleichungen für die beiden Ladungsträgerarten wie folgt beschreiben:

$$J_n = q \cdot (\mu_n \cdot n \cdot E + D_n \cdot \nabla n) \tag{5}$$

$$J_p = q \cdot (\mu_p \cdot p \cdot E - D_p \cdot \nabla p) \tag{6}$$

J_n und J_p sind die Stromdichten, μ_n und μ_p die Ladungsträgerdichten und D_n und D_p sind die Diffusion-Koeffizienten für Elektronen n und Löcher p. E ist das elektrische Feld, q die Elementarladung und ∇ ist der Nabla Operator. Außerdem gilt die Kontinuitätsgleichung für Elektronen und Löcher, die sich wie folgt darstellen:

$$\partial_t n = G - R + q^{-1} \cdot \nabla Jn \tag{7}$$

$$\partial_t p = G - R - q^{-1} \cdot \nabla Jp \tag{8}$$

wobei G den Generationskoeffizienten von Ladungsträgern, R den Rekombinationskoeffizienten und ∂ den partiellen Differentialoperator darstellt. Das elektrische Feld ergibt sich schließlich aus der Poisson-Gleichung in folgender Form:

$$\varepsilon \cdot \nabla E = -\rho \tag{9}$$

wobei ε die Permittivität und ρ die Ladungsdichte ist.

2.4 Lawinendurchbruch, Stoßionisation und Tunnelmechanismen

Wird eine PIN-Diode in Sperrrichtung betrieben, so ist nur ein geringfügiger Stromfluss möglich. Dieser als Leckstrom bezeichneter Strom wird durch Ladungsträgergeneration in der Sperrschicht selbst oder durch Tunneleffekte verursacht [4]. Unter hohen elektrischen Feldern kommt es zu einer

Bandverkrümmung, wodurch eine endliche Wahrscheinlichkeit besteht, dass Ladungsträger durch eine Potentialbarriere tunneln [27]. In Abbildung 8 ist das Tunneln eines Elektrons im Banddiagramm schematisch dargestellt.

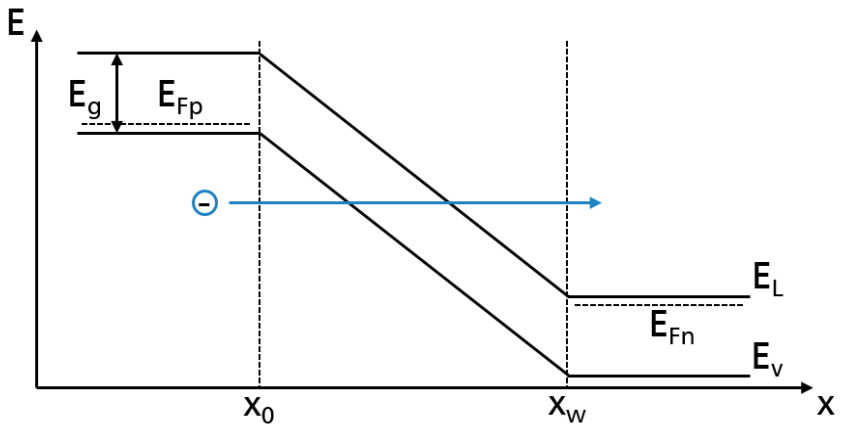

Abbildung 8 *Schematische Darstellung eines direkten Tunnelvorgangs im Banddiagramm einer in Sperrrichtung betriebenen PIN-Diode.*

Durch das Anlegen einer externen Spannung in Rückwärtsrichtung werden die Bänder stark gekrümmt. Das Ferminiveau der unterschiedlich dotierten Schichten ist nicht mehr angeglichen und die Energiedifferenz nimmt zu. Durch die Verkippung der Bänder wird die Breite der Potentialbarriere geringer, was wiederum die Wahrscheinlichkeit für das Tunneln von Ladungsträgern erhöht.

Mit zunehmender Stärke des elektrischen Feldes gewinnen die freien Ladungsträger an kinetischer Energie. Ab einem bestimmten Niveau reicht diese Energie aus, um bei einem Zusammenstoß ein gebundenes Elektron aus der Bindung heraus zu schlagen und somit ein Elektron-Loch-Paar zu generieren [27]. Dieser Prozess wird Stoßionisation genannt und ist schematisch in Abbildung 9 dargestellt.

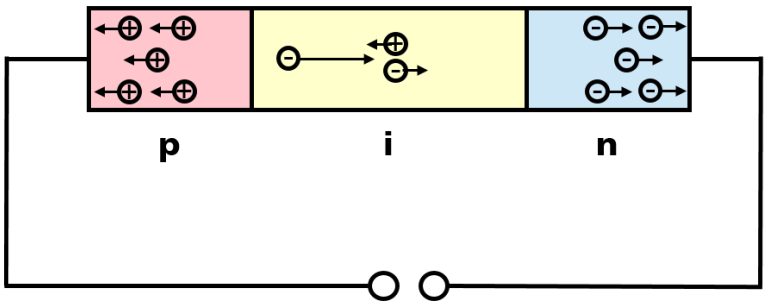

Abbildung 9 *Schematische Darstellung des Stoßionisationsprozesses in einer in Sperrrichtung betriebenen PIN-Diode. Das freie Elektron wird durch das elektrische Feld beschleunigt und erzeugt beim Zusammenstoß ein Elektron-Loch-Paar.*

Die Ionisationsrate ist definiert als die Anzahl an generierten Elektron-Loch-Paaren, welche von einem Ladungsträger pro zurückgelegter Wegstrecke erzeugt werden. Eine empirische Beschreibung der Ionisationsraten für Elektronen (α) und Löcher (β) wurde von Chynoweth [28] aufgestellt:

$$\alpha = \alpha_\infty \cdot e^{(-b_n/E)} \tag{10}$$

$$\beta = \beta_\infty \cdot e^{(-b_p/E)} \tag{11}$$

α_∞ und b_n bzw. β_∞ und b_p sind die Ionisationskoeffizienten für Elektronen und Löcher [19]. Daraus ergibt sich für die Ladungsträgergeneration:

$$G = \frac{\alpha\,|J_n|}{q} + \frac{\beta\,|J_p|}{q} \tag{12}$$

Diese exzessive Generation von Ladungsträgern wird auch Lawineneffekt genannt und führt letztlich zum Durchbuch der Grenzschicht. Infolgedessen steigt der Stromfluss über die Sperrschicht sprunghaft an. Der Prozess des Lawinendurchbruchs ist dabei reversibel. Eine erhöhte Stromdichte führt jedoch unweigerlich zu vermehrten Zusammenstößen der Ladungsträger und somit zu einem Anstieg der Temperatur, was wiederum zur thermischen Zerstörung der Diode führen kann.

Die durch Stoßionisation erzeugten bzw. multiplizierten Elektronen oder Löcher lassen sich durch den Multiplikationskoeffizienten M [28] beschreiben. Dieser stellt das Verhältnis des aus einem Volumen herauskommenden Stroms zum hineinfließenden Strom dar:

$$M = \frac{J_{out}}{J_{in}} \tag{13}$$

Demnach lassen sich die Multiplikationskoeffizienten für Elektronen und Löcher wie folgend beschreiben [4]:

$$1 - \frac{1}{M_n} = \int_0^W \alpha\, e^{\left[-\int_0^x (\alpha - \beta) dx\right]}\, dx \tag{14}$$

$$1 - \frac{1}{M_p} = \int_0^W \beta\, e^{\left[-\int_0^x (\beta - \alpha) dx\right]}\, dx \tag{15}$$

Bei W handelt es sich hierbei um die Breite der Stoßionisations-Zone, welche sich an der Grenzfläche vom intrinsischen zum hoch dotierten Gebiet ausbildet und dessen Breite vom angelegten elektrischen Feld abhängig ist. Im Fall eines Lawinendurchbruchs geht M gegen unendlich und das Integral über den Ionisationskoeffizienten geht gegen 1.

Das Verständnis über den Multiplikationskoeffizienten wird für die spätere Modellierung (Kapitel 5.4) von großer Bedeutung sein.

2.5 Thermische Effekte

Da die Temperatur eines Halbleiters einen großen Einfluss auf dessen Eigenschaften hat und Selbsterwärmung die Hauptursache für die Zerstörung einer Diode ist, muss die Wärmeleitungsgleichung [26] betrachtet werden:

$$\partial/\partial_t \; C_L \cdot T - \nabla \cdot k \cdot \nabla T = q(T, J_n, J_p) \tag{16}$$

C_L ist die Wärmekapazität des Gitters, $q(T, J_n, J_p)$ ist die pro Zeit- und Volumeneinheit erzeugte Wärme und T ist die Gittertemperatur.

Im Fall einer in Sperrrichtung betriebenen PIN-Diode wird die meiste Wärme durch Stoßionisation an den beiden Grenzschichten erzeugt. Diese Temperaturerhöhung beeinflusst unter anderem die intrinsische Ladungsträgerkonzentration n_i [4]:

$$n_i = \sqrt{N_V N_L} \; e^{\left(-\frac{E_g}{2kT}\right)} \tag{17}$$

N_V und N_L sind dabei die Zustandsdichten des Valenz- und Leitungsbandes. $E_g$ist die Bandlücke und kT ist das Produkt aus Boltzmann-Konstante k und Temperatur T. Mit steigender Temperatur steigt auch die intrinsische Ladungsträgerkonzentration stark an:

$$n_i \sim T^{3/2} \; e^{\left(-\frac{E_g}{2kT}\right)} \tag{18}$$

Auch die Bandlücke weist eine Temperaturabhängigkeit auf, welche durch folgende Näherung [35] beschrieben werden kann:

$$E_g = E_0 - \frac{\alpha T^2}{(T + \beta)} \tag{19}$$

E_0 ist die Energie bei $0\,K$, α und β sind Konstanten entsprechend dem Halbleitermaterial.

In Abbildung 10 ist die Temperaturabhängigkeit der intrinsischen Ladungsträgerkonzentration von Si und GaAs aufgetragen.

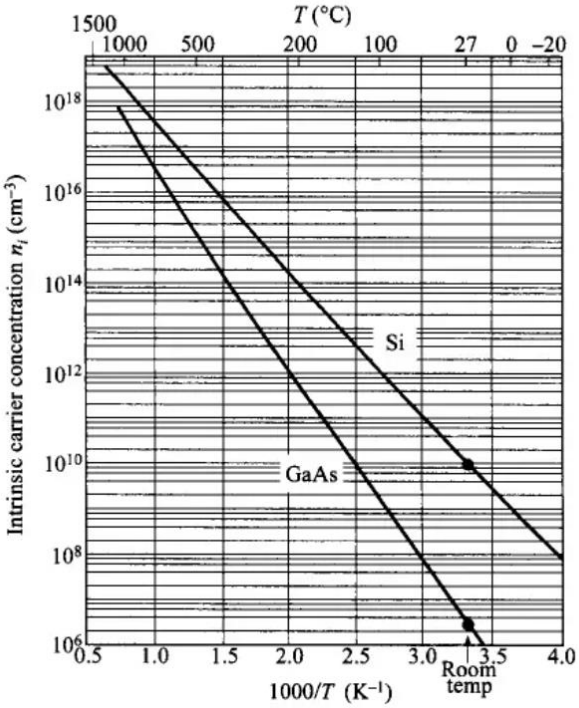

Abbildung 10 *Intrinsische Ladungsträgerkonzentration von Silizium und Galliumarsenid als Funktion der reziproken Temperatur [4].*

Ein Anstieg der intrinsischen Ladungsträgerkonzentration führt somit zu einem erhöhten Stromfluss an den beiden Grenzschichten der PIN-Diode, wodurch wiederum die Temperatur ansteigt (Selbsterwärmung). Dies beeinflusst auch den Tunnelstrom, welcher ebenfalls ansteigt und somit die Durchbruchspannung herabsetzt. Dieser selbstverstärkende Prozess führt letztendlich zur thermischen Zerstörung der Diode [27].

2.6 Filamentierung und Filament-Bewegung

Kommt es bei einer in Sperrrichtung betriebenen PIN-Diode zu einer Hochstrominjektion auf Grund von externen Einflüssen, wie zum Beispiel einer ESD-Entladung, so überschreitet die Hochstrominjektion den in Sperrrichtung fließenden Leckstrom und es kommt zum Lawinendurchbruch. Dabei werden durch Stoßionisation Ladungsträger generiert, welche für die Aufrechterhaltung des Stromflusses erforderlich sind. Eine Erhöhung der Stromdichte führt zu einem Spannungsabfall, was dem Verhalten eines negativen differentiellen Widerstands entspricht [30]. Der Strompfad selbst beginnt sich zusammen zu ziehen und es bildet sich ein Filament, siehe Abbildung 11. Diese Stromfilamentierung verursacht eine weitere Erhöhung der Stromdichte und somit eine starke Eigenerwärmung, welche zu lokalen Schäden am Bauteil führt und meist in einem thermischen Durchbruch mündet [31].

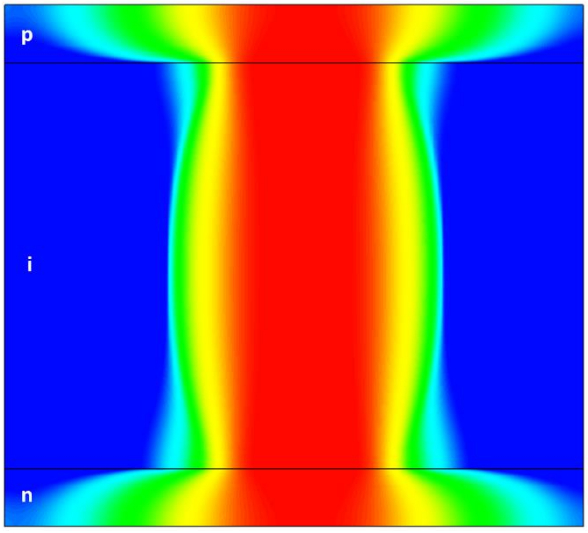

Abbildung 11 *Stromfilament einer PIN-Diode in einer 2D TCAD-Simulation.*

Durch die gegensätzlichen Mechanismen von Diffusion und Stoßionisation wird ein Gleichgewicht zwischen Verlust und Gewinn von Ladungsträgern erreicht, der Kontraktionsprozess kommt zum Erliegen und ein stabiles Stromfilament bildet sich aus [32]. Das hohe elektrische Feld und der hohe Stromfluss sind die Ursache für Stoßionisation und Lawinendurchbruch und somit für das Entstehen eines Filaments. Die räumliche Ausdehnung wird durch die laterale Ladungsträgerdiffusion in die umgebende intrinsische Zone bestimmt [33].

Durch die Stoßionisation kommt es sehr lokal zur Selbsterwärmung in der Diode. Ein Anstieg der Temperatur hat wiederum einen negativen Einfluss auf die Ionisationskoeffizienten. Eine höhere Stromdichte in der Mitte des Filaments führt zu höheren Temperaturen im Vergleich zu den Randgebieten. Dadurch wird die Ionisation im Inneren des Filaments ab einer bestimmten Temperatur geringer als im Randbereich. Dieser Gradient führt zu einer Driftbewegung des gesamten Stromfilaments. In Abbildung 12 ist eine solche Filamentbewegung über die Zeit dargestellt [34].

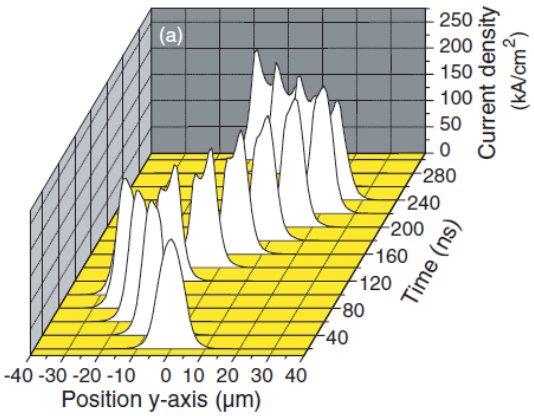

Abbildung 12 *Bewegung eines Stromfilaments entlang der y-Achse über die Zeit.*

3 Grundlagen ESD

Elektrostatische Entladung (engl. Electrostatic Discharge, kurz: ESD) kann als eines der Hauptrisiken für die Zuverlässigkeit von modernen elektronischen Systemen angesehen werden, die zum Ausfall von Halbleiterbauelementen in Folge eines Überstromeffektes führen [36].

Dieses Phänomen tritt immer dann auf, wenn zwei Objekte mit unterschiedlichem elektrischem Potential miteinander in Kontakt kommen. Der dabei stattfindende Ladungsausgleich wird als ESD bezeichnet. Typischerweise kann diese Entladung mehre Kilovolt betragen. Sind elektronische Bauteile einem solchen ESD-Ereignis ausgesetzt, kann der Entladeweg durch die Halbleiterbauelemente erfolgen und diese schädigen [37]. ESD kann dabei an ganz unterschiedlichen Stellen auftreten. Direkt in der Fertigung eines ICs durch Plasma-Aufladung des Gate-Oxids, bei der Handhabung des Wafers oder durch externe ESD-Pulse über die Anschlüsse des Bauelements [37], [38], [40].

Da moderne Bauelemente immer kleiner werden und an Komplexität zunehmen, wird die Gefährdung durch ESD im gleichen Maße größer. Die hohen Entladespannungen führen zu hohen elektrischen Feldern und hohen Stromdichten, was zum Durchbruch von Isolatoren oder thermischer Beschädigungen im Bauteil bzw. im integrierten Schaltkreis (IC) führen kann, siehe Abbildung 13.

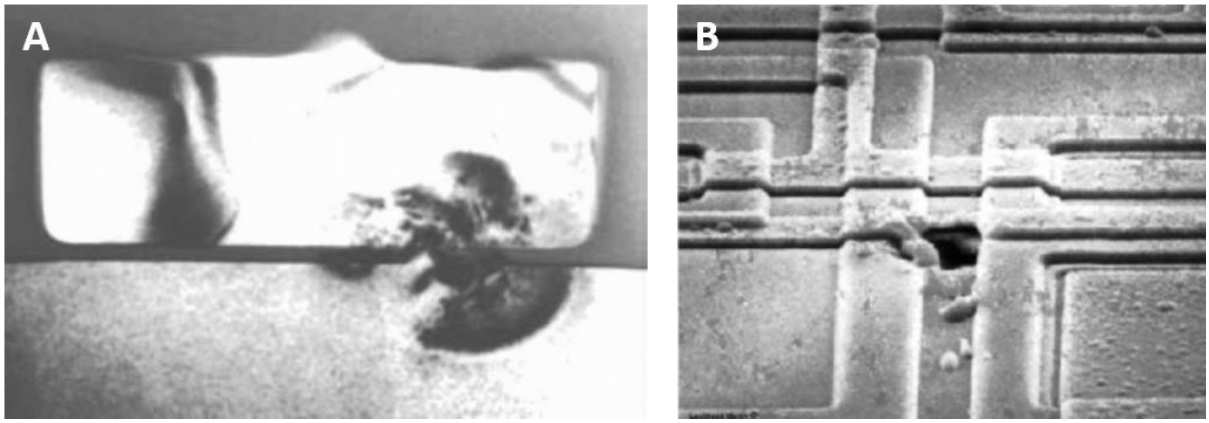

Abbildung 13 *Schädigung eines Gateoxids (A) und einer Metallisierung (B) nach ESD-Stress [39].*

3.1 Elektrostatische Entladung

Elektrostatische Entladung ist ein Ereignis, bei dem die Schädigung eines Halbleiterbauelementes durch einen Überstromeffekt hervorgerufen wird. Das ESD-Event läuft dabei in vier Phasen ab: der Ladungsträgergeneration, dem Ladungstransfer, der Leitung im Bauelement bzw. dem IC und letztlich der Schädigung [40].

Das ESD-Ereignis beginnt mit der Ladungserzeugung, wobei das Ladungsniveau abhängig vom Erzeugungsprozess, den Materialeigenschaften und den Verlustquellen ist. Bei der Handhabung von ICs kann die Ladungserzeugung durch triboelektrische Aufladung, Ionenladung, direktes Laden oder feld-induziertes Laden stattfinden [39]. Der triboelektrische Effekt tritt dabei am häufigsten auf. Er entsteht durch Reibung zweier Materialien, welche direkten Kontakt miteinander haben und anschließend voneinander getrennt werden. Sind die Materialien in Kontakt miteinander kommt es zu einem Austausch freier Elektronen. Werden beide Materialien nun voneinander getrennt verbleiben die Elektronen bei dem Material, das eine höhere Elektronenaffinität besitzt. Diese überschüssigen Ladungen erzeugen eine Spannungsdifferenz, wobei die Polarität der Ladung von den Materialien selbst und den unterschiedlichen Austrittsarbeiten abhängig ist [40]. Je schneller die Trennung der beiden Materialien erfolgt, desto größer ist die entstehende Spannung, da die Zeit für mögliche Rekombinationen verringert wird. Beeinflusst wird dies zusätzlich von der Beschaffenheit der beiden Oberflächen, Kontaminationen, Luftfeuchtigkeit, Temperatur und Druck [39].

Die zweite Phase, der Ladungstransfer, ist das eigentliche ESD-Ereignis, bei dem die Ladung übertragen wird. Die Entladung findet dabei zwischen zwei leitenden Objekten mit unterschiedlichem elektrostatischem Potential statt, um die an beiden Objekten auftretende Spannung auszugleichen. Eine Entladung zwischen beiden Objekten tritt entweder bei direktem Kontakt oder beim Durchbruch des Isolators ein. Handelt es sich bei dem Isolator um einen Luftspalt, so kann es bei einer hinreichend großen Spannungsdifferenz zum Durchbruch kommen (Durchschlagspannung). Hierbei löst ein einzelnes Elektron einen Lawineneffekt aus, was schlussendlich zur Formierung eines niederohmigen Plasmakanals aus ionisiertem Gas führt [39]. Es werden drei Standardmodelle (d.h. Modellpulse) für den ESD-Test verwendet, welche verschiedene Entladeszenarien abbilden. Darauf wird im Kapitel 3.3 näher eingegangen.

Nach der Ladungsübertragung erfolgt die Weiterleitung im IC. Dabei kommt es zu einer Umverteilung der Ladung im IC, was Ströme in Abhängigkeit der Ladungsgeschwindigkeit und Spannungen in Abhängigkeit der Kapazität der entsprechenden Struktur erzeugt. Übersteigen Strom oder Spannung die Belastungsgrenze für ein Bauteil, kann es zu Schädigungen kommen [40]. Das ist die letzte Phase bei einem ESD-Event und äußert sich typischerweise in Durchbrüchen des Gateoxids oder dem thermischen Durchbrennen an einem p/n-Übergang. Als Konsequenz kann sich der Leckstrom des Bauteils erhöhen oder die Funktionalität geht vollends verloren [37], [42]. Um solche Schäden von Halbleiterbauelementen und ICs zu vermeiden, ist es zwingend erforderlich entsprechende ESD-Schutzstrukturen zu verwenden.

3.2 Schutzstrukturen

Zum Schutz elektronischer Bauelemente und ICs kommt eine Vielzahl unterschiedlicher Schutzstrukturen zum Einsatz. Vorrausetzung ist, dass diese Bauelemente hohe Ströme handhaben können, ohne selbst zerstört zu werden. ESD-Schutzstrukturen haben die Aufgabe im Falle eines ESD-Events den Strompuls nach Masse abzuführen. Die restliche Zeit muss die Schutzstruktur inaktiv sein, um den regulären Betrieb der Schaltung nicht negativ zu beeinflussen. ESD-Schutzstrukturen kommen auf verschiedenen Ebenen zum Einsatz, direkt im IC oder auf der Leiterplatte am Ein-/Ausgabekanal. In Abbildung 14 ist das grundlegende Konzept des ESD-Schutzes dargestellt.

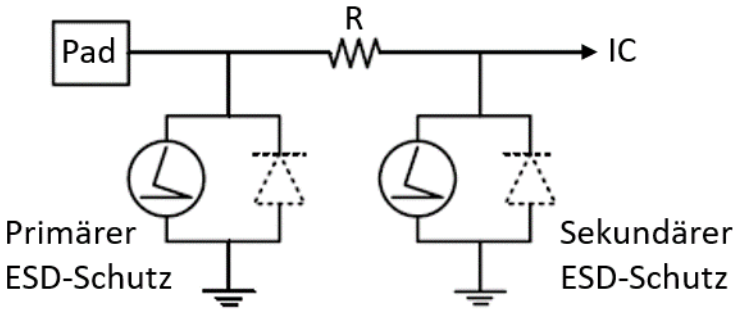

Abbildung 14 *Schematische Darstellung eines ESD-Schutzkonzeptes am Ein-/Ausgangspad mit primärem und sekundärem ESD-Schutz nach [37]. Der ESD-Puls wird nach Masse abgeleitet, bevor er den IC erreichen kann.*

Prinzipiell unterscheidet man zwischen Bauelementen mit und ohne Snapback. Als Snapback bezeichnet man den Spannungsabfall nach dem Lawinen-Durchbruch eines p/n-Übergangs. In Abbildung 15 ist eine allgemeine Strom-Spannungs-Kennlinie für Halbleiterelemente mit Snapback dargestellt.

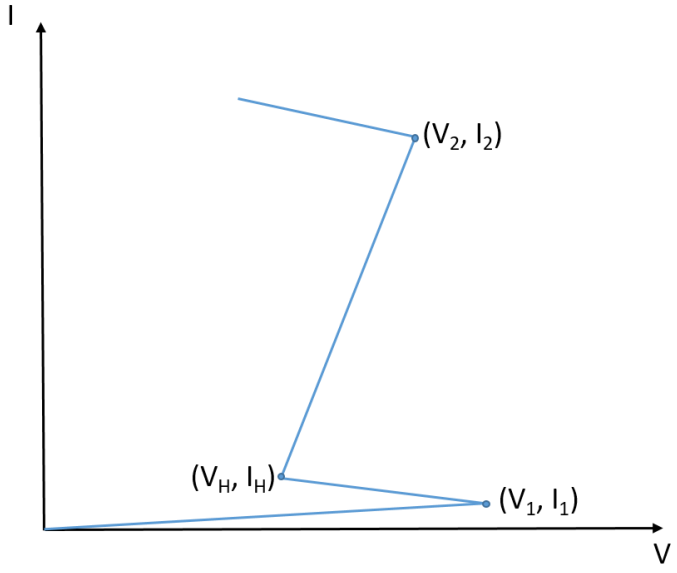

Abbildung 15 *Strom-Spannungs-Kennlinie mit Snapback.*

Bis zum Durchbruch des in Sperrrichtung betriebenen p/n-Übergangs fließt nur ein geringer Leckstrom und die Spannung steigt stark an. Mit Erreichen des Lawinen-Durchbruchspunktes (V_1, I_1) kommt es zur exzessiven Ladungsträgergeneration und somit zum Stromfluss im Bauelement. Die Leitfähigkeit steigt stark an und es kommt zum Spannungsabfall auf eine Haltespannung V_H. Die sprunghafte Reduktion der Spannung bei steigendem Strom entspricht einem sogenannten negativen differentiellen Widerstand (engl.: negative differential resistance, kurz: NDR). Dieser niederohmige Zustand wird bei Bauelementen mit Snapback ausgenutzt, um den hohen Strom bei einem ESD-Event abzuleiten. Der hohe Stromfluss führt zu Selbsterwärmung, was den Widerstand und die Temperatur im Bauteil erhöht. Wird die Schmelztemperatur von Silizium erreicht so kommt es zum zweiten Durchbruch, der thermischen Zerstörung (V_2, I_2). Dieser Vorgang führt zur irreversiblen Schädigung des Bauelementes, womit eine weitere Schutzwirkung nicht mehr gegeben ist. Ob ein Bauteil mit oder ohne Snapback als ESD-Schutzstruktur verwendet wird, hängt vom Anwendungsgebiet ab. In ICs kommen am häufigsten Bauelemente mit Snapback wie Widerstände, Dioden, Transistoren und Thyristoren zum Einsatz [37] - [41]. Im Folgenden werden diese vier Kategorien von Schutzstrukturen vorgestellt.

3.2.1 Widerstand

ESD-Ereignisse gehen mit hohen Strömen und somit auch hohen Temperaturen einher. Die entstehende Wärme kann in einem IC entweder über die Pads oder das Substrat abgeführt werden. Die simpelste aller Schutzstrukturen ist der Widerstand. Ein Poly-Widerstand (siehe Abbildung 16) eignet sich allerdings nicht als Schutzstruktur, da dieser zwischen zwei Oxidschichten nur eine sehr schlechte Wärmeabführung zulässt. Deutlich besser kann die Wärme abgeführt werden, wenn der Widerstand als dotierte Wanne direkt im Substrat eingebracht wird [41].

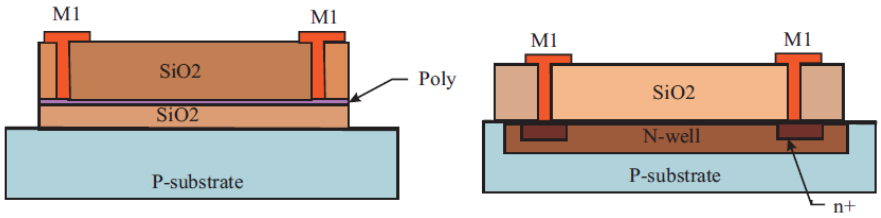

Abbildung 16 *Schematischer Aufbau eines Poly-Widerstandes (links) und eines n-dotierten Wannen-Widerstandes (rechts) [41].*

Typischerweise dient ein solcher Widerstand zur Strombegrenzung und wird nicht allein als ESD-Schutzstruktur, sondern in Kombination mit weiteren Bauelementen verwendet.

3.2.2 Diode

Es gibt eine Vielzahl von Dioden, die sich als ESD-Schutzstrukturen eignen. Dazu zählen p/n Dioden, PIN-Dioden, Zener-Dioden oder Polysilizium Dioden (siehe Abbildung 17) [37], [39]. Das Arbeitsprinzip ist dabei stets sehr ähnlich. In Durchlassrichtung kann eine Diode einen sehr hohen Strom tragen, während sie in Sperrrichtung erst nach Durchbruch den Strom leitet. Je nach Anwendungsgebiet kommen beide Varianten zum Einsatz.

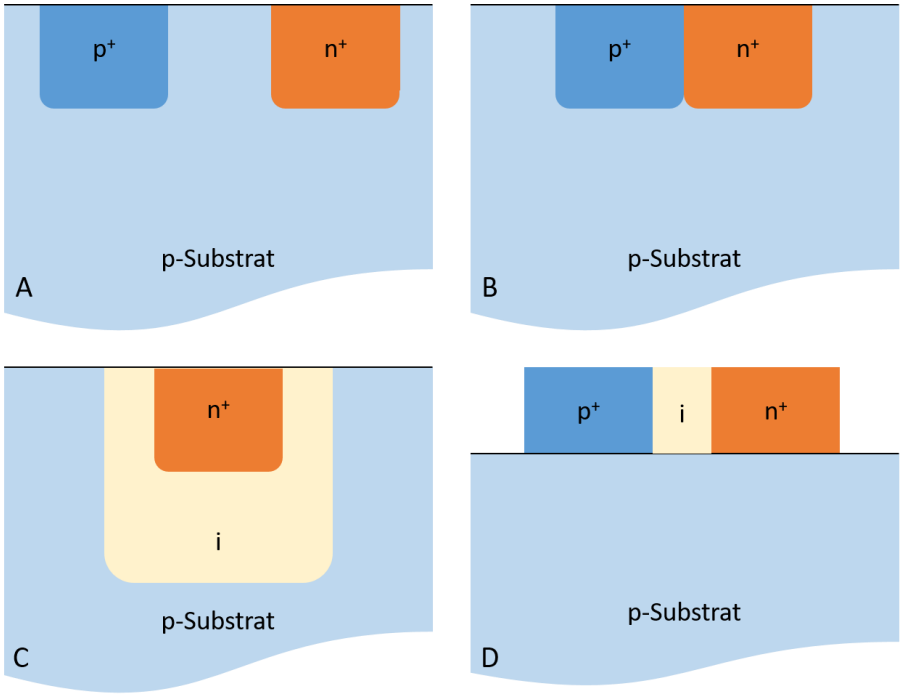

Abbildung 17 *Schematische Darstellung einer n+ Diode (A), einer Zener-Diode (B), einer PIN-Diode (C) und einer Polysilizium Diode (D) nach [37], [39].*

In ICs werden zum ESD-Schutz vor allem in Sperrrichtung betriebene Dioden verwendet, da diese im Betrieb keinen Strom leiten und erst beim Eintreten eines ESD-Events triggern. Nach Durchbruch der Diode kommt es zum Snapback, die Diode wird leitend und der parasitäre Strom kann somit abgeführt werden.

Die PIN-Diode hat den Vorteil, dass sie bei Einwirkungen hoher Ströme sich wie eine Reihenschaltung einer p/n Diode und eines variablen Widerstandes verhält. Die Größe des Widerstands ist dabei von der Stromrichtung und der Stromstärke abhängig. Mit zunehmender Stromstärke nimmt der Widerstand ab, was für ESD-Schutzstrukturen sehr vorteilhaft ist [39].

3.2.3 Transistor

Bipolar-Transistoren (engl. bipolar Junction transistor, kurz: BJT) oder Metall/Oxid/Halbleiter-Feldeffekttransistoren (engl. metal-oxide-semiconductor field-effect-transistors, kurz: MOSFETs) eigenen sich ebenfalls als Schutzstrukturen (siehe Abbildung 18). BJTs können große Ströme handhaben, benötigen allerdings entsprechend hohe Spannungen, was wiederum zu einer enormen Wärmeentwicklung führen kann. Im Falle eines ESD-Events gibt es zwei mögliche Modi. Ein Stromfluss kommt dann zustande, wenn es zum Lawinen-Durchbruch des p/n-Überganges kommt oder wenn über die Basis ein geringer Strom über eine externe Quelle eingespeist wird [39].

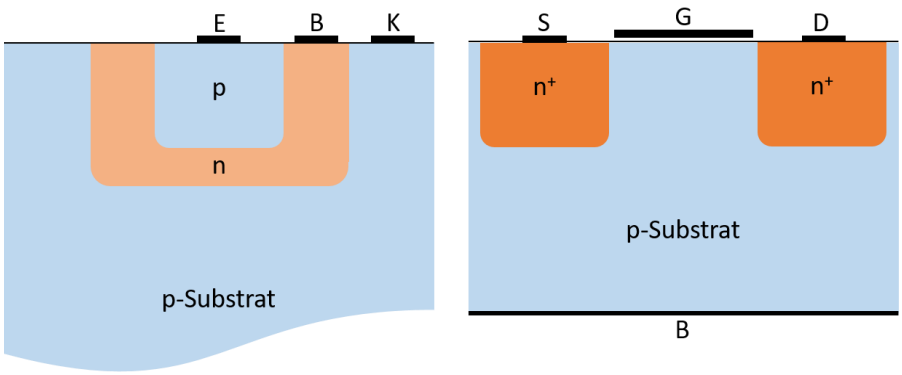

Abbildung 18 *Schematische Darstellung eines Bipolar-Transistors (links) mit den drei Anschlüssen für Emitter, Basis und Kollektor nach [37], [39]. Der MOSFET (rechts) hat die Anschlüsse Source, Gate, Drain und Bulk.*

Moderne MOSFETs besitzen ein sehr dünnes Gateoxid, was bereits bei geringen Spannungen zerstört werden kann. Die Einsatzspannung bei einem ESD-Event muss also deutlich geringer sein als bei einem BJT. Bei einem ESD-Ereignis erhöht sich die Spannung am Drain und es kommt zu einem Lawinendurchbruch zum Substrat. Der anschließend entstehende Stromfluss triggert wiederum den parasitären BJT, es kommt zum Snapback und der Strom kann ungehindert von Drain nach Source abfließen [37], [41].

3.2.4 Thyristor

Ein weiteres Bauelement ist der Thyristor, welcher auch als zwei zusammenhängende Bipolar-Transistoren angesehen werden kann (siehe Abbildung 19). Thyristoren haben die Eigenschaft, dass sie schnell zwischen hochohmig und niederohmig umschalten können, was für ESD-Schutzstrukturen sehr vorteilhaft ist [39].

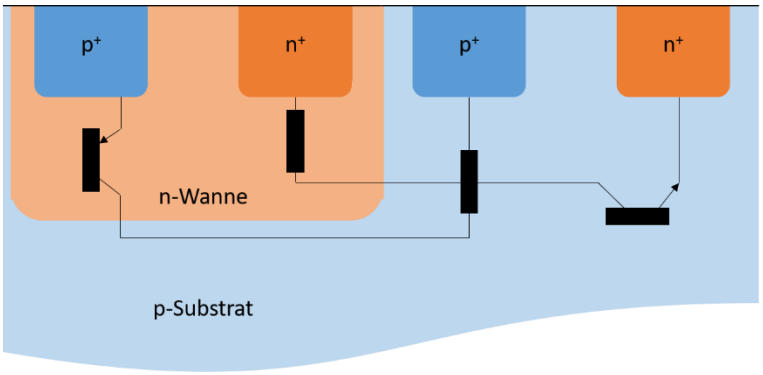

Abbildung 19 *Schematische Darstellung eines Thyristors mitsamt der parasitären BJTs nach [37].*

Unter ESD-Stress kommt es zum Lawinendurchbruch des in Sperrrichtung vorgespannten p/n-Übergang zwischen Wanne und Substrat. Analog zum Transistor führt dies zum Schalten eines parasitären BJTs [40], [41]. Dies ist insoweit problematisch, da ein einmal eingeschalteter Thyristor sich von allein nicht wieder ausschaltet. Um einen Thyristor auszuschalten gibt es mehrere Möglichkeiten. Zum einen durch eine Absenkung des Anodenstroms, sodass der kritische Haltestrom unterschritten wird oder zum anderen durch Umpolen von Anode und Kathode. Alternativ lässt sich das Gate umpolen, wodurch der Haltestrom erhöht wird und der Stromfluss durch den Thyristor zum Erliegen kommt [21].

3.3 ESD-Designfenster

Eine ESD-Schutzstruktur darf den Normalbetrieb eines ICs nicht beeinträchtigen. Deshalb gibt es für jedes Schutzelement ein so genanntes Designfenster, siehe Abbildung 20, in welchem die Randbedingungen definiert sind und somit ein wirksamer Schutz gewährleistet werden kann [43]. Die ESD-Schutzstruktur darf nicht im Arbeitsbereich des IC aktiv werden, da sonst die Versorgungsspannung oder Signale nach Masse abgeführt werden und somit kein ordnungsgemäßer Betrieb möglich ist. Erst beim Überschreiten einer für den IC kritischen Spannung darf die Schutzstruktur aktiv werden. Erfolgt die Reaktion der Schutzstruktur zu spät, kann es wiederum zu einer Schädigung des IC kommen. Es verbleibt also nur ein schmaler Spannungsbereich, in dem eine ESD-Schutzstruktur ihre Schutzfunktion ausüben kann und soll [44]. Sollte das ESD-Ereignis zu viel Strom mit sich führen kommt es irgendwann zur thermischen Zerstörung der Teststruktur, was bedeutet, dass bei einem weiteren ESD-Event keine Schutzwirkung für die IC mehr besteht.

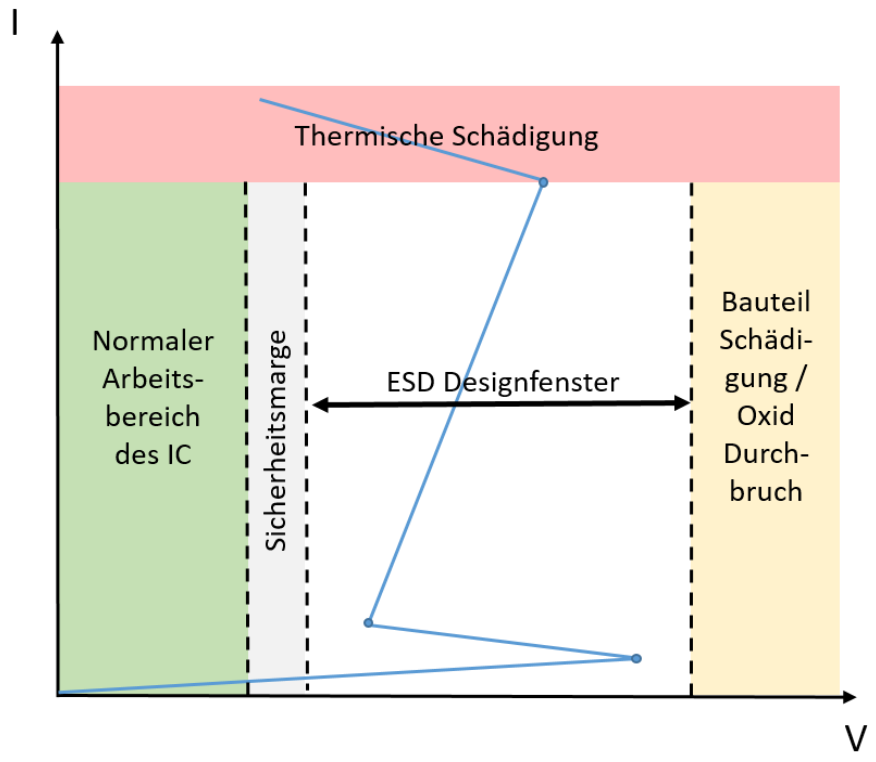

Abbildung 20 *Schematische Darstellung des ESD-Designfensters. Die Breite des ESD-Designfensters ist abhängig vom Arbeitsbereich des ICs, der Sicherheitsmarge, sowie elektrischer und thermischer Beschädigung der Schutzstruktur.*

Mit zunehmender Miniaturisierung moderner Halbleiterprozesse steigen auch die Anforderungen an die ESD-Schutzstrukturen. Zum einen sinken die Betriebsspannungen im IC und zum anderen werden die Oxiddicken immer geringer. Daraus folgt, dass das ESD-Designfenster immer schmaler wird und der Anspruch an optimierte Schutzstrukturen immer weiter steigt [45], [46].

3.4 Modellpulse für den ESD-Test

Um sicherzustellen, ob ein Bauelement eine hinreichende Schutzwirkung gegen ein ESD-Ereignis erbringt, werden bestimmte Testszenarien unter kontrollierten Bedingungen gefahren [37]. Auf Bauteilebene gibt es drei standardisierte Tests, welche den Schutz von ICs gewährleisten sollen [8], [47]. Das Human Body Model (HBM) beschreibt ein ESD-Ereignis von einem geladenen Menschen auf einen geerdeten IC. Beim Machine Model (MM) findet das ESD-Event zwischen einer geladenen Maschine (z.B. Roboterarm) und einem geerdeten IC statt. Das dritte Modell ist das Charged Device Model (CDM), bei welchem der IC selbst geladen ist. Kommt dieser mit einem geerdeten Körper in Berührung so findet eine Entladung statt. Ziel dieser Modelle ist es, reproduzierbare Tests zu schaffen, welche die häufigsten Anwendungsszenarien abbilden können und eine Vergleichbarkeit kommerzieller ESD-Schutzstrukturen zulassen [46] - [48].

3.4.1 Human Body Model

Das HBM-Modell ist das am häufigsten verwendete Entlademodell in der Mikroelektronik [37]. Es simuliert den Entladevorgang eines geladenen Menschen auf einen geerdeten IC. In Abbildung 21 ist das Ersatzschaltbild [41] eines HBM-Tests dargestellt. Die Entladung einer 100 pF Kapazität über einen 1500 Ohm Widerstand liefert den gewünschten HBM-Strompuls.

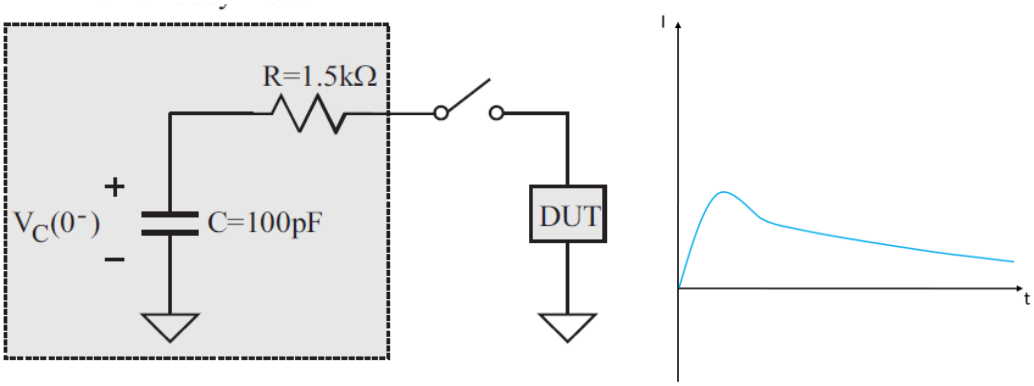

Abbildung 21 *Ersatzschaltbild (links) und Kurvenverlauf (rechts) eines HBM ESD-Events.*

Die HBM-Entladung erfolgt typischerweise innerhalb von einigen hundert Nanosekunden [48].

3.4.2 Machine Model

Das Machine Model beschreibt eine niederohmige Hochstromentladung, wie sie bei Kontakt zweier unterschiedlich geladener Maschinen auftritt [39]. Das MM simuliert diese Entladung über eine 200 pF große Kapazität. Das Ersatzschaltbild [41] ist in Abbildung 22 dargestellt und vergleichbar mit dem des HBM.

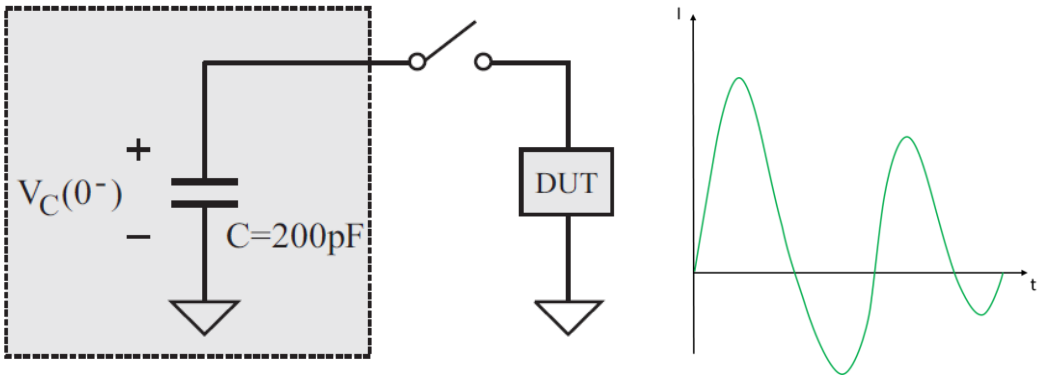

Abbildung 22 *Ersatzschaltbild (links) und Kurvenverlauf (rechts) eines MM ESD-Events.*

Die Entladung beim MM findet allerdings schneller statt, hat einen höheren Strompuls und oszilliert [39].

3.4.3 Charged Device Model

Im Falle des CDM werden statische Ladungen im IC gespeichert (z.B. im Substrat des Wafers). Sobald der IC mit einem geerdeten Gegenstand in Kontakt kommt findet eine Entladung statt. Das Ersatzschaltbild [41] ist in Abbildung 23 dargestellt. Das zu testende Bauelement (engl. Device Under Test, kurz: DUT) wird mit einer geringen Induktivität und einem geringen Widerstand modelliert.

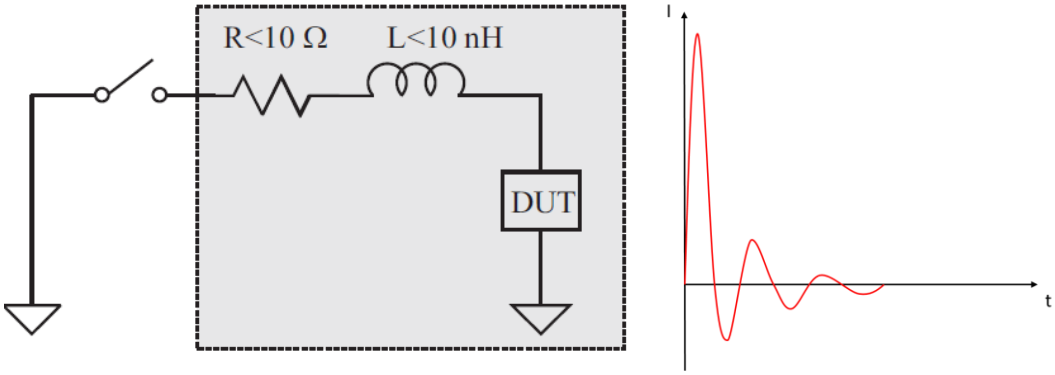

Abbildung 23 *Ersatzschaltbild (links) und Kurvenverlauf (rechts) eines CDM ESD-Events.*

Im Gegensatz zum HBM oder MM können beim CDM Ströme von über 10 A auftreten [48]. Dies führt zu Durchbrüchen im Gateoxid, welche sich signifikant von thermischen Durchbrüchen der beiden anderen ESD-Events unterscheiden. Ursache dafür ist die extrem schnelle Entladezeit von einigen hundert Pikosekunden bis einige wenige Nanosekunden. Damit ist CDM Stress die größte Herausforderung beim ESD-Schutz [41].

3.5 Transmission Line Pulse Messung

Die im vorangegangenen Abschnitt erläuterten Modelle und Testmethoden dienen ausschließlich der Qualifikation von Teststrukturen und ob diese einem bestimmten ESD-Ereignis standhalten oder nicht. Zur Optimierung von ESD-Schutzstrukturen werden mehr Informationen über das Verhalten des Bauelementes unter ESD-Stress benötigt [39]. Mit Hilfe der Transmission Line Pulse (TLP) Messung ist es möglich gewisse Leistungsmerkmale zu charakterisieren. Dabei werden sehr kurze Pulse verwendet, die ein ähnliches Verhalten wie ein ESD-Event aufweisen [49].

Das zu testende Bauelement wird bei einer TLP-Messung mit Rechteckpulsen variabler Amplitude angeregt. Der Spannungs- und Stromverlauf wird mit Hilfe eines Oszilloskops aufgezeichnet. Aus jeder dieser Kurven werden anschließend die Mittelwerte im Mittelungsfenster zwischen t_1 und t_2 gebildet und in einem Strom-Spannungs-Diagramm aufgetragen (siehe Abbildung 24). Man erhält die quasistationäre IV-Kennlinie des Bauelementes.

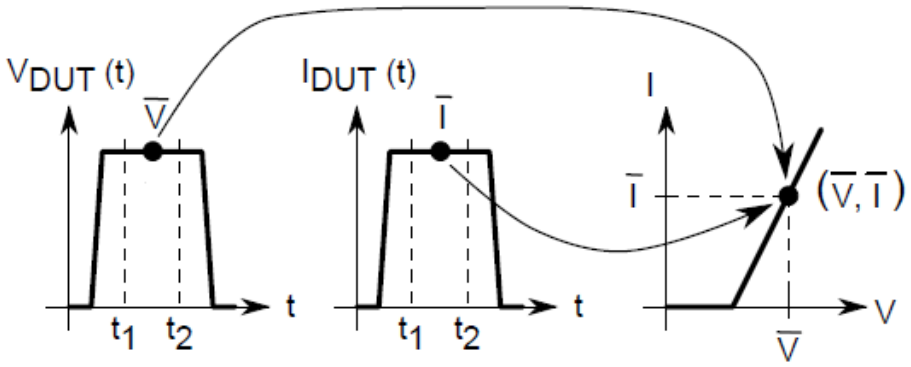

Abbildung 24 *Extraktion der TLP-Spannungen und Ströme und deren Auftragung im IV-Diagramm [50].*

Aus der Kennlinie erhält man Informationen über die Anschaltzeit, die Snapback-Spannung, den Anschaltwiderstand und die Durchbruchsspannung einer ESD-Schutzstruktur. Die IV-Kennlinie ist allerdings abhängig von der Impedanz des Messsystems, der Position des Mittelungsfensters, der Breite des TLP-Pulses und dessen Anstiegs- bzw. Abfallzeit [50].

Der prinzipielle Aufbau eines TLP-Messsystems ist in Abbildung 25 dargestellt. Im ersten Schritt wird die Ladeleitung, welche typischerweise eine Impedanz von 50 Ohm aufweist, mit Hilfe einer Hochspannungsquelle auf eine vordefinierte Spannung geladen. Wird der Schalter geschlossen kommt es zur Entladung und ein Rechteck-Puls wandert durch das Dämpfungsglied zum Bauteil. Dort wird der Puls reflektiert und wandert zurück zur Ladeleitung. Das Dämpfungsglied stellt dabei sicher, dass der reflektierte Puls nicht erneut das Bauteil erreicht bzw. dieser vernachlässigbar klein ist [49]. Mit einem Oszilloskop werden die einfallenden und reflektierten Wellenformen für Strom und Spannung gemessen. Durch Mittelung der gemessenen Größen in einem definierten Mittelungsfenster erhält man ein Strom-Spannungs-Paar. Durch Wiederholung der Prozedur mit unterschiedlichen Pulsen erhält man die quasistationäre IV-Kennlinie [27].

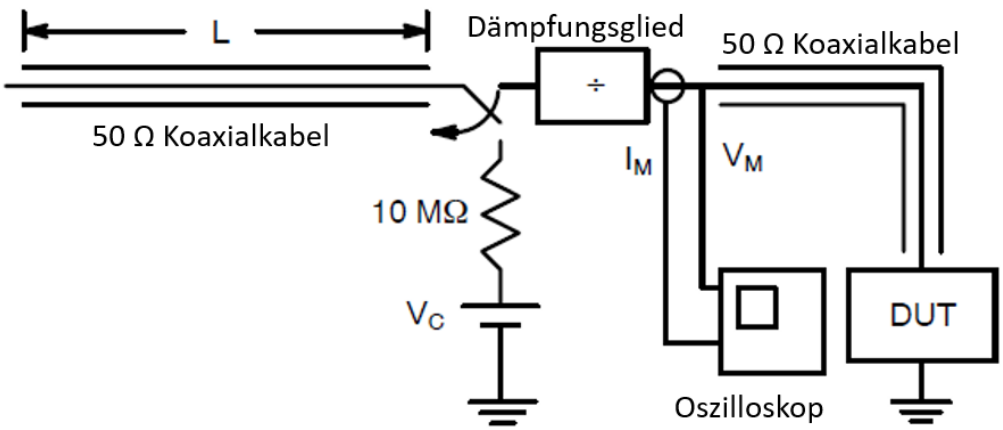

Abbildung 25 *Prinzipieller Aufbau eines TLP-Messsystems [49].*

Bei dem in Abbildung 25 gezeigten TLP-Messsystem handelt es sich um ein Time Domain Reflection (TDR) -TLP, bei welchem der einfallende und der reflektierte Puls gemessen wird. Das zu untersuchende Bauteil wird dazu auf Masse gelegt. Dabei unterscheidet man zwei Arten von TDR, je nachdem an welcher Stelle im Messsystem die Werte für Strom und Spannung abgegriffen werden und welche Pulsdauern verwendet werden. Befindet sich das Oszilloskop nahe der Pulsquelle, so werden die einfallenden und reflektierenden Pulse separat detektiert (TDR-S). Durch Addition beider Wellenformen lässt sich der resultierende Puls am Bauteil berechnen. Befindet sich das Oszilloskop in der Nähe des zu testenden Bauteils kommt es zu einem Überlappen von einfallenden und reflektierten Pulsen (TDR-O). Dadurch ist eine direktere Messung des Bauteils möglich. In Abbildung 26 sind beide Messprinzipien schematisch dargestellt [51].

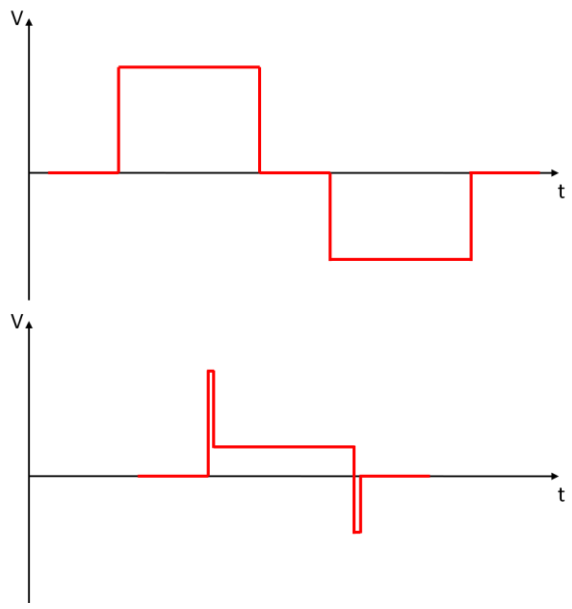

Abbildung 26 *Schematische Darstellung der Wellenformen für TDR-S(oben) und TDR-O(unten).*

Nach jeder TLP-Messung erfolgt zusätzlich eine DC-Messung, um zu überprüfen, ob das Bauteil beschädigt wurde. Dabei wird der Leckstrom bei einer Spannung unterhalb der Durchbruchspannung betrachtet. Kommt es zu einem plötzlichen Anstieg im Leckstrom ist dies ein Indiz auf einen ESD-Fehler und die TLP-Messung wird abgebrochen [49]. In Abbildung 27 sind Leckstrom und IV-Kennlinie einer Diode beispielhaft dargestellt.

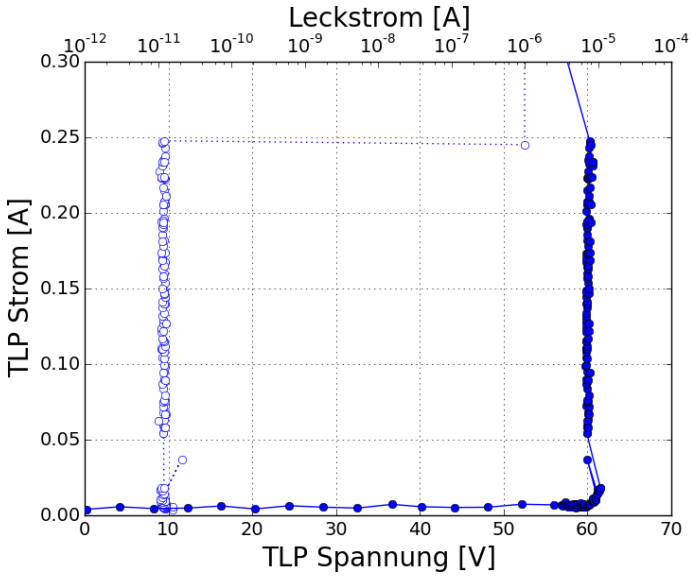

Abbildung 27 *Überlagerung der Leckstrommessung mit der statischen IV-Kennlinie zur besseren Detektion eines ESD-Fehlers.*

Zusätzlich ist eine Kalibrierung des TLP-Systems vor jeder Messung notwendig. Dies erfolgt mittels Open-Short-Messung und ermöglicht es parasitäre Widerstände zu bestimmen, welche zur Korrektur der IV-Kennlinie herangezogen werden [27].

4 Modellierung und Teststrukturen

In diesem Kapitel werden die verwendeten Software-Tools für Simulation und Kompaktmodellierung, sowie die hergestellten Teststrukturen für TLP- und Hochspannungsmessungen näher erläutert.

4.1 TCAD-Simulationen

Zur Untersuchung der physikalischen Eigenschaften verschiedener ESD-Schutzstrukturen wurden Technology Computer-Aided Design (TCAD) Simulationen mit den Bauteilsimulatoren Sentaurus Device von Synopsys [26] und Atlas von Silvaco [52] durchgeführt. TCAD bezieht sich dabei auf die Verwendung Computer gestützter Simulation von Halbleitern. Der Prozessfluss für eine Simulation mit TCAD von Synopsys ist in Abbildung 28 dargestellt.

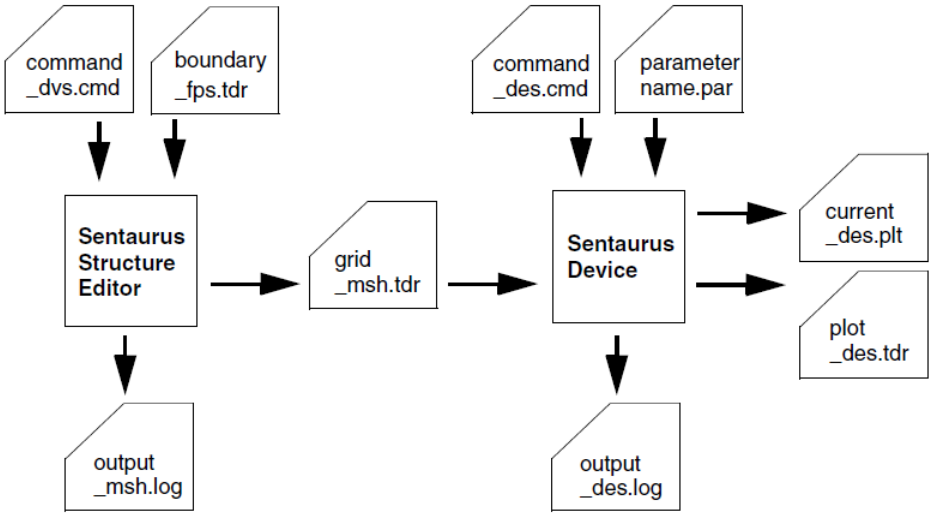

Abbildung 28 *Prozessfluss des Bauteilsimulators Sentaurus von Synopsys [26].*

Im ersten Schritt werden Skripte zur Beschreibung des Bauteils samt Geometrie, Dotierung und dessen Randbedingung geschrieben. Mit Hilfe des Struktur-Editors wird über die Struktur ein Gitter gelegt, welches das Bauteil in endlich viele Elemente unterteilt, wodurch eine Lösung mittels der Methode der finiten Elemente (engl.: Finite Element Methode, Abkürzung: FEM) möglich wird [53]. Das vernetzte Bauteil dient im zweiten Schritt als Eingabe für den Bauteilsimulator. Zusammen mit weiteren Skripten zur genauen Parametrisierung und dem Anlegen entsprechender Lasten wird eine numerische Simulation durchgeführt. Dabei werden entsprechend der Anzahl an finiten Elementen partielle Differentialgleichungen gelöst. Die Ergebnisse lassen sich dann in einem weiteren Programm visualisieren und auswerten.

Sentaurus TCAD ermöglicht Simulationen von zwei- und dreidimensionalen Bauteilen. Das Simulationsprogramm von Silvaco funktioniert analog dazu. Der Vorteil von Silvaco ist allerdings das Bereitstellen von Modellen für III-V-Halbleiter, zumindest für zweidimensionale Simulationen. Die

Simulationen der Silizium-basierten Bauelemente wurden demnach mit Synopsys, während die Simulationen der GaAs-basierten Bauelemente mit Silvaco durchgeführt wurden.

4.2 Kompaktmodellierung

Die Entwicklung von Integrierten Schaltkreisen ist sehr teuer und zeitaufwendig [54]. Um Fehlproduktionen zu vermeiden, werden Simulationen zu Hilfe genommen. Da ein IC ein sehr komplexes Layout und unzählige Bauelemente besitzt, ist es nicht möglich dies im TCAD zu simulieren. Die TCAD-Modellierung ist physikalisch sehr akkurat und hat deshalb für einzelne Bauelemente sehr lange Simulationszeiten. Um komplette ICs zu simulieren, muss ein anderer Ansatz gewählt werden. Dies kann mit Hilfe von Kompaktmodellen der einzelnen Bauelemente geschehen. Ein Kompaktmodell beschreibt mit einem kleinen Satz von Gleichungen und Parametern, wie sich das Bauelement an seinen Anschlüssen verhält. Dazu ist es jedoch manchmal erforderlich, einige innere Freiheitsgrade mit zu modellieren. Ein Kompaktmodell ist jedoch immer noch um Größenordnungen kleiner als ein TCAD-Modell.

Im Rahmen dieser Arbeit wurden Kompaktmodelle mit der Hardware-Beschreibungssprache Verilog-A entwickelt, welche zu den Industriestandards im Bereich des analogen Schaltungsentwurfs zählt. Als Simulationsumgebung wurde die Software Cadence Virtuoso [56] verwendet. In Abbildung 29 ist die grafische Oberfläche des Programms dargestellt.

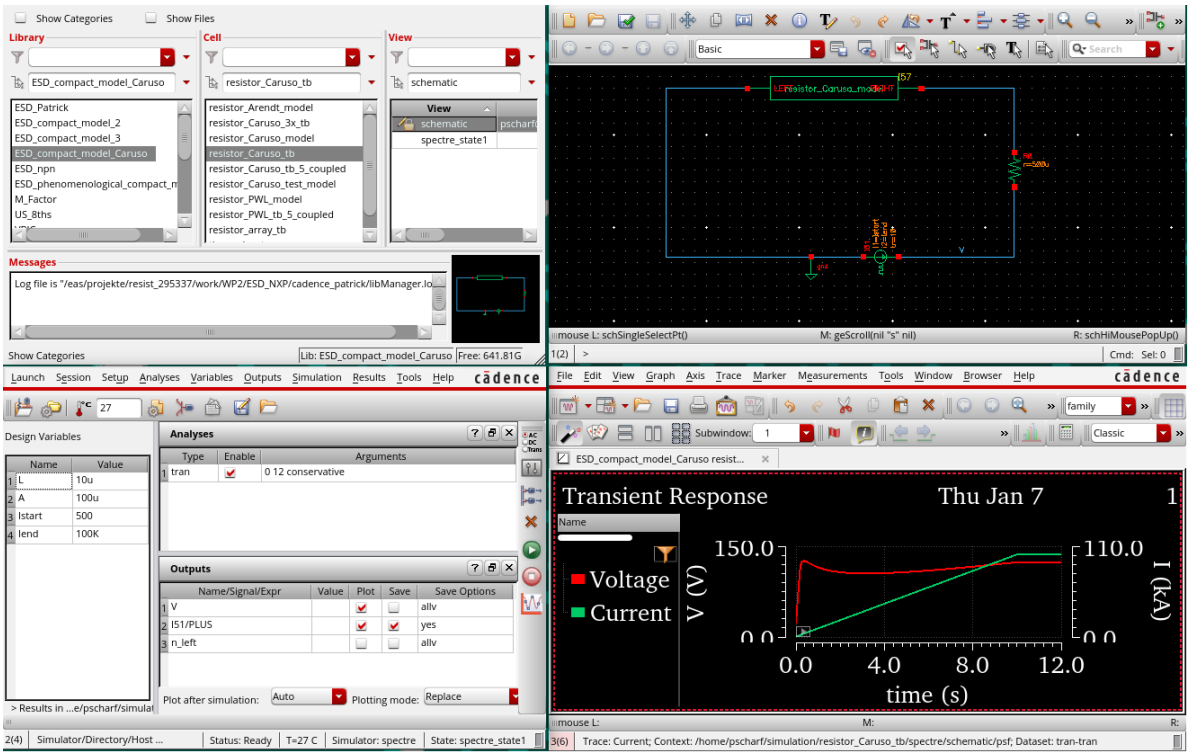

Abbildung 29 *Grafische Oberfläche des Programms Cadence Virtuoso.*

Im Library-Manager (oben links im Bild) sind alle erstellten Elemente aufgelistet. In der Schaltplan-Ansicht der Beispiel-Schaltung (oben rechts) sieht man ein Kompaktmodell, welches über einen Vorwiderstand an eine Spannungsquelle angeschlossen ist. Mit Hilfe des Simulationswerkzeugs (unten links) wird eine transiente Simulation der Schaltung entsprechend der eingestellten Parameter durchgeführt. Als Resultat erhält man die Abhängigkeiten von Strom und Spannung zu jedem Zeitpunkt der Simulationsdauer (unten rechts).

4.3 Teststrukturen

4.3.1 Silizium basierte PIN-Dioden

Zur Untersuchung der Entstehung und Bewegung eines Stromfilaments wurden zusammen mit einem Projektpartner PIN-Dioden mit verschiedenen Layouts gefertigt (siehe Abbildung 30). Dabei wurden die Einflüsse der unterschiedlichen Geometrien miteinander verglichen.

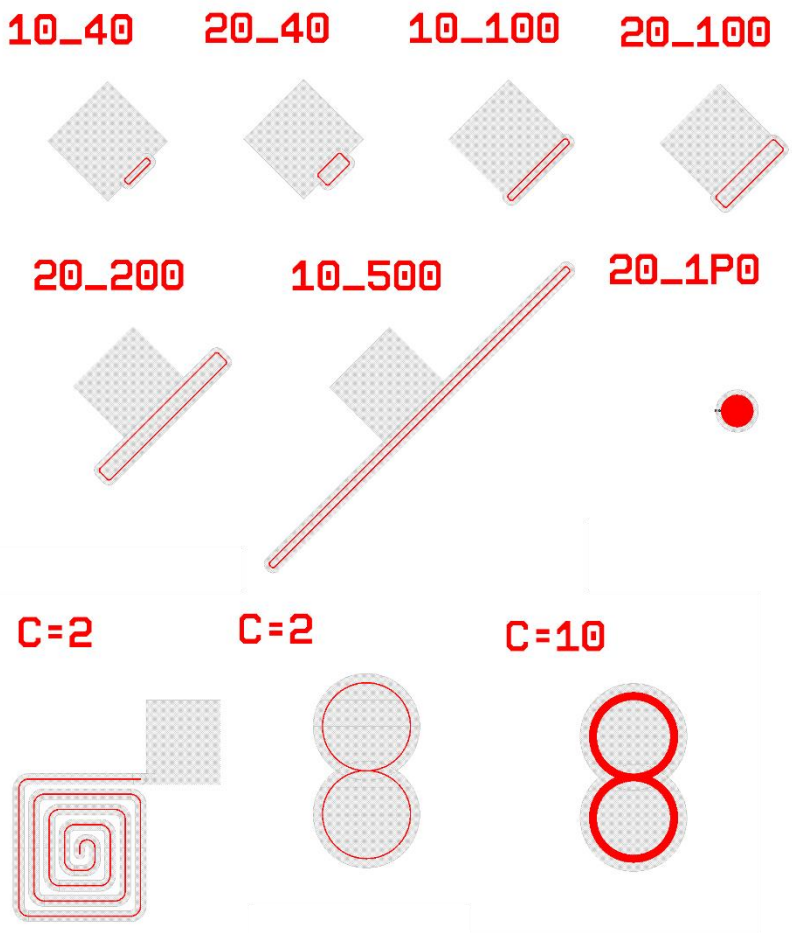

Abbildung 30 *Layout der Silizium PIN-Dioden. Dargestellt sind die Masken für die Abscheidung und Dotierung von Silizium (rot) und für die Metallisierung (grau).*

Es wurden sechs verschieden lange bzw. breite Ellipsen, eine Spirale, eine zylindrische, sowie zwei achtförmige Dioden gefertigt. Der Querschnitt und das Dotierprofil sind in Abbildung 31 dargestellt und sind für alle Bauelemente identisch.

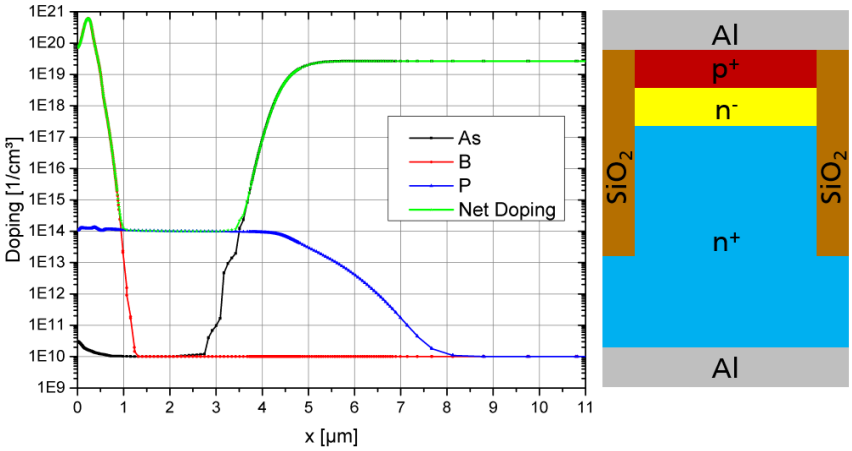

Abbildung 31 *Dotierprofil und Querschnitt der Silizium PIN-Dioden.*

4.3.2 Galliumarsenid Leistungsdioden

Bei der Herstellung der GaAs-Dioden waren mehrere Parteien involviert. Die p-dotierten Wafer wurden von Freiberg Compound Materials GmbH (FCM) gefertig. Anschließend wurden beim Projektpartner 3-5 Power Electronics GmbH (3-5 PE) die restlichen GaAs-Schichten epitaktisch aufgewachsen. Der finale Stapel besteht aus vier unterschiedlich dotierten Schichten ($p^+/p^-/n^-/n^+$) und ist in Abbildung 32 (1) dargestellt. Die weitere Prozessierung erfolgte dann an der Technischen Universität Bergakademie Freiberg (TU FG).

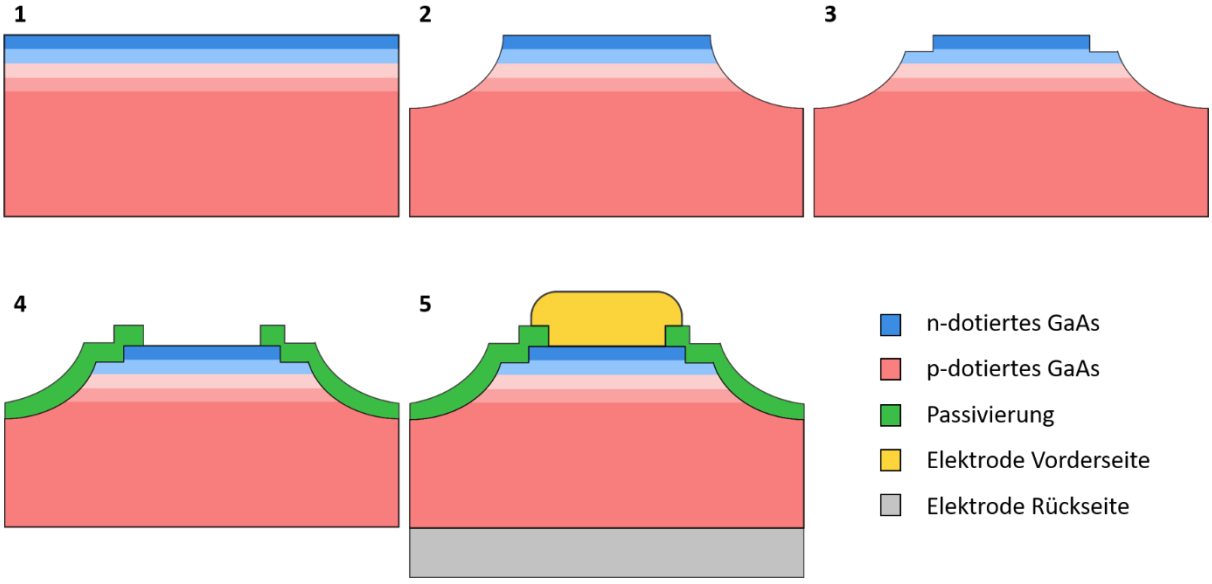

Abbildung 32 *Prozessfluss zur Herstellung der GaAs-Diode. Zu sehen ist der GaAs-Wafer samt EPI-Zone (1), ein tiefer (2) und ein flacher (3) Ätzschritt, das Abscheiden der Passivierung (4) und das Aufbringen der Elektroden auf Vorder- und Rückseite (5) nach [55].*

Im zweiten und dritten Prozessschritt wurde ein tiefer bzw. ein flacher Ätzschritt durchgeführt, um einen sauber definierten Abschluss des p/n-Überganges zu gewährleisten bzw. elektrische Felder am Rand möglichst gering zu halten. Zur Reduzierung von Leckströmen an der Oberfläche wurde im vierten Schritt eine Passivierung aufgetragen. Im letzten Prozessschritt wurden die Metallelektroden aufgebracht. Auf der Vorderseite (n^+-dotiert) wurde dazu ein Schichtstapel aus Gold-Germanium(AuGe)/Nickel(Ni)/Silber(Ag) abgeschieden und auf der Rückseite (p^+-dotiert) ein Schichtstapel aus Ni/Palladium(Pd)/Au. Die unterschiedlichen Metallstapel werden benötigt, um die Fermi-Niveaus der unterschiedlich dotierten GaAs-Schichten zu treffen und somit ohmsche Kontakte zu erzeugen. Die fertigen Dioden haben eine Abmessung von 3,25 x 3,25 mm². In Abbildung 33 ist ein Foto samt Dotierprofil einer GaAs-Leistungsdiode dargestellt.

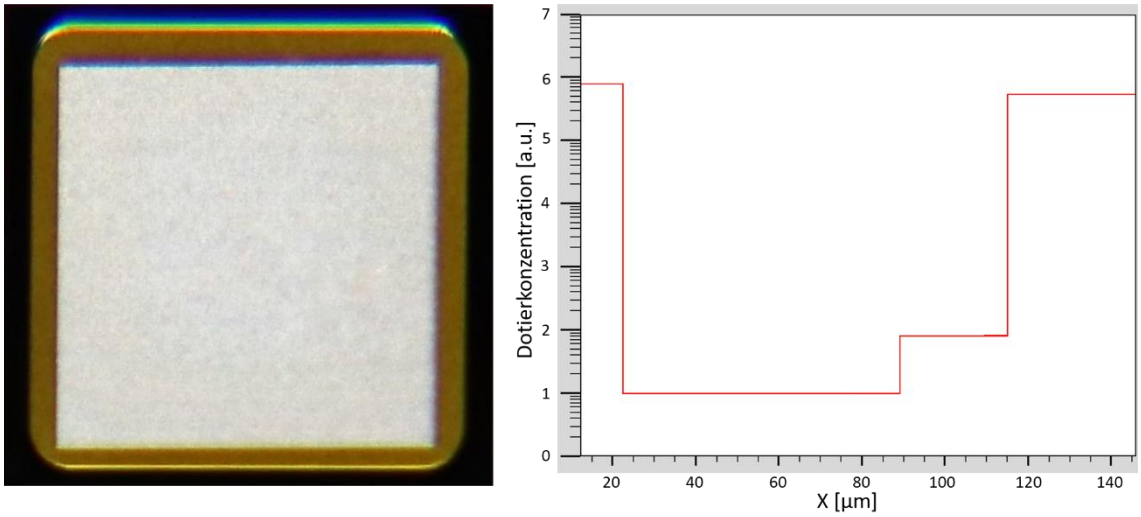

Abbildung 33 *Bild einer GaAs-Leistungsdiode (links) und zugehöriges Dotierprofil (rechts).*

Die Firma 3-5 PE führt im Anschluss noch weitere Prozessschritte durch. Die in dieser Arbeit gemessen GaAs-Dioden haben diese zusätzliche Prozessierung allerdings nicht durchlaufen, weshalb auf diese Prozessschritte nicht näher eingegangen wird.

4.4 Elektrische Charakterisierung

Die elektrischen Messungen von Wafern und Einzel-Dies erfolgten auf einem Wafer-Prober der Firma Semiprobe, der Messungen in einem Temperaturbereich von -40°C bis +300°C ermöglicht. Mit dem B1500 von Keysight und dem SCS-4200 von Keithley wurden Strom-Spannungs-Kennlinien der PIN-Dioden im niedrigen Spannungsbereich aufgenommen. Für die GaAs-Leistungsdioden sind Hochspannungs SMUs (Source-Measurement-Unit) zum Einsatz gekommen, die Spannungen bis 3kV ermöglichen. Die kompletten technischen Daten für alle verwendeten Geräte sind in Anhang 8.1 zu finden.

Die TLP-Messungen der Silizium-basierten Dioden erfolgte mit einem Messystem von HPPI (siehe Abbildung 34) zusammen mit einem Oszilloskop von Tektronix.

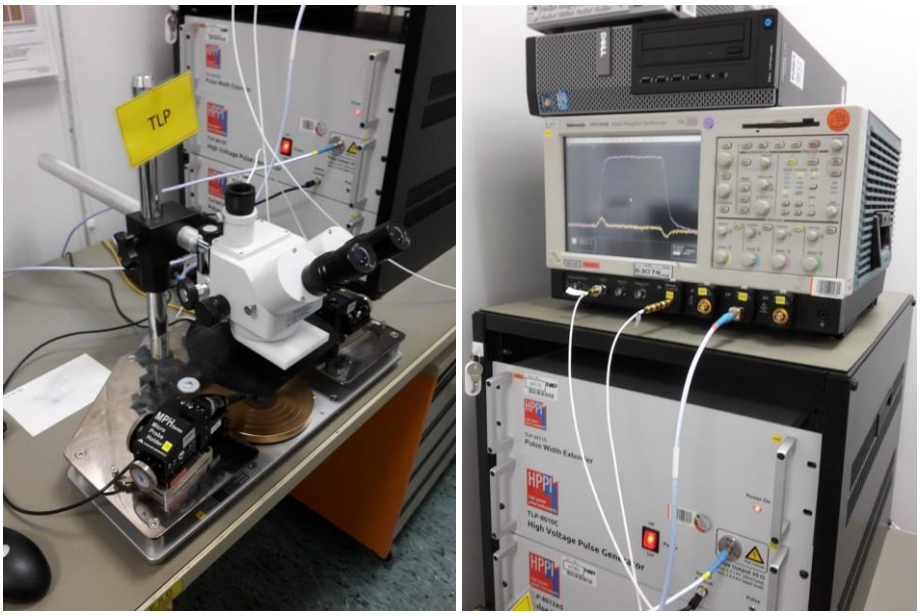

Abbildung 34 *TLP-Messsystem mit manueller Probe-Station (links), dem Pulsgenerator von HPPI (rechts unten) und dem Oszilloskop von Tektronix (rechts oben).*

Mit Hilfe der TLP-Tester Software von HPPI (siehe Abbildung 35) konnten die gemessenen Pulse genauestens analysiert und ausgewertet werden. Im oberen Teil sind die die Spannungs- und Strom-Pulse zu sehen. Je nach Wahl des Integrationsfensters wird die entsprechende IV-Kennlinie geplottet (unten rechts). Zusätzlich erfolgt eine Leckstrommessung des Bauteils (unten links), um den Zeitpunkt der Zerstörung feststellen zu können.

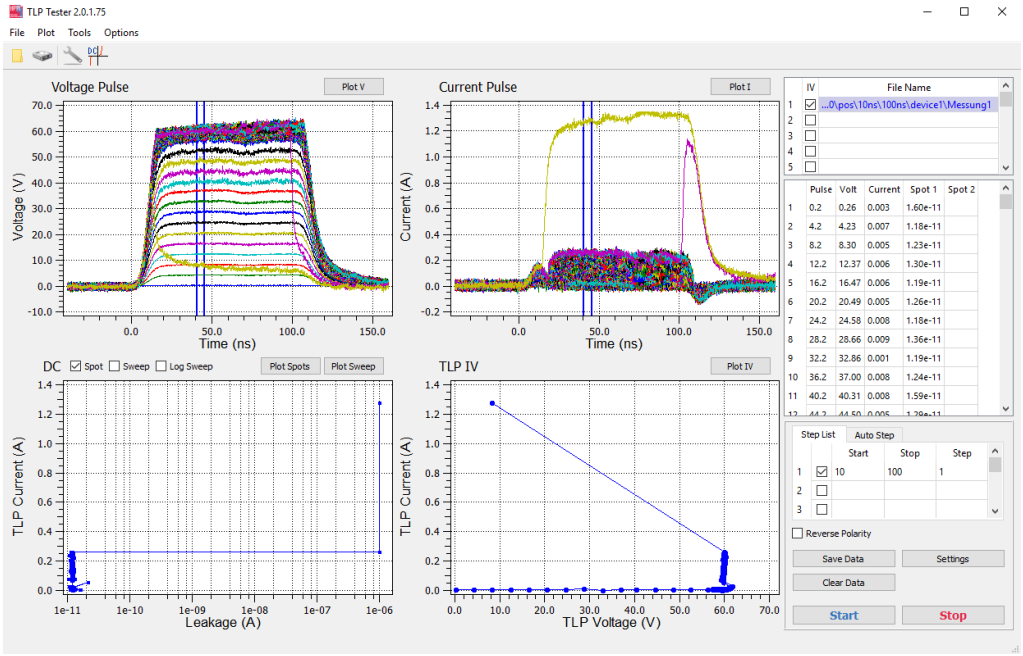

Abbildung 35 *Graphische Oberfläche der TLP-Tester Software von HPPI.*

5 Silizium-basierte PIN-Dioden als ESD-Schutzstrukturen

5.1 TCAD-Simulationen

Zur Untersuchung der grundlegenden Mechanismen in silizium-basierten PIN-Dioden unter Einfluss von ESD-Stress wurden zwei- und dreidimensionale Simulationen mit Sentaurus Device von Synopsys durchgeführt. Die Simulationsergebnisse werden im Folgenden dargelegt.

5.1.1 Simulationen in 2D

Im ersten Schritt wurde die Entstehung und Bewegung eines Strom-Filaments an einer 2D PIN-Diode untersucht. Die Länge der unterschiedlich dotierten Bereiche betrug dabei $50\ \mu\mathrm{m}$ und die Höhe jeweils 5 µm. Die p- und n- dotierten Gebiete wurden mit einer Dotierung von $1e19\ \mathrm{cm}^{-3}$ angenommen und das intrinsische Gebiet mit einer schwachen n-Dotierung von $1e14\ \mathrm{cm}^{-3}$.

Mit Sentaurus wurde eine transiente 2D-Simulation in Sperrrichtung durchgeführt. Es wurde ein ESD-Puls von $100\ \mathrm{ns}$ Länge mit einer Anstiegs- bzw. Abfallzeit von $10\ \mathrm{ns}$ gewählt. Da ein ESD-Ereignis mit einer Hochstrominjektion einhergeht, kommt es nach wenigen Nanosekunden zum Lawinen-Durchbruch der beiden Übergänge (p/i und i/n) und zur Bildung eines lokalen Strom-Filaments (siehe Abbildung 36).

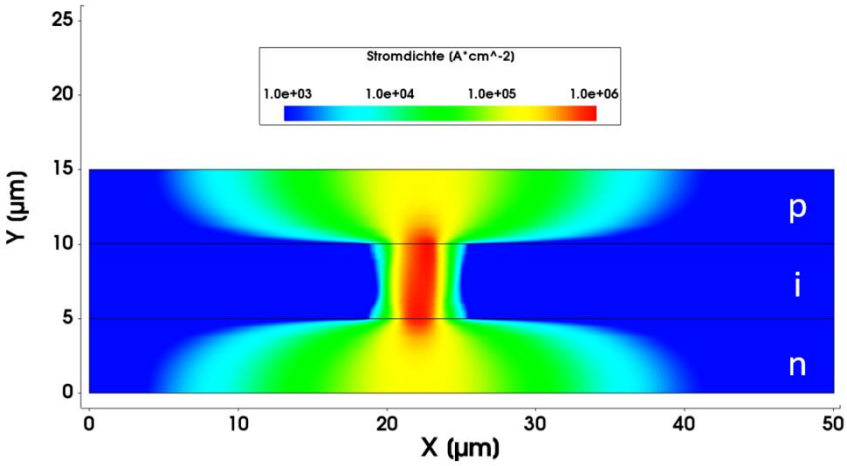

Abbildung 36 *Bildung eines Strom-Filaments einer simulierten 2D PIN-Diode.*

Auf Grund der Stoßionisation an den beiden Übergängen kommt es zur Selbsterwärmung und die PIN-Diode beginnt sich lokal am Filament aufzuheizen. Dies wiederum wirkt sich negativ auf die Stoßionisationskoeffizienten aus. Eine höhere Stromdichte in der Mitte des Filaments führt zu höheren Temperaturen im Vergleich zu den Randbereichen. Falls der Stoßionisationsgradient groß genug ist,

beginnt sich das Filament in einen kälteren Bereich zu bewegen. Mit einer geringen Zeitverzögerung aufgrund der Wärmekapazität des Materials folgt die Wärmewelle der Filamentbewegung.

In Abbildung 37 ist der Spannungs- und Temperaturverlauf der oben beschriebenen PIN-Diode dargestellt. Betrachtet man die ersten $5\ \mathrm{ns}$ der Simulation, so kann man den Snapback von $155\ \mathrm{V}$ auf $110\ \mathrm{V}$ erkennen. Auf Grund der Selbsterwärmung steigt die Temperatur in der Diode rapide an, weshalb das Stromfilament sich zu bewegen beginnt. Diese laterale Bewegung des Stromfilaments führt zu einer homogenen Erwärmung des Bauteils und ist durch einen konstanten Kurvenverlauf ($10\ \mathrm{ns}$ bis $80\ \mathrm{ns}$) gekennzeichnet. Erreicht das Filament das Ende der Diode kommt es zu einem weiteren sprunghaften Anstieg der Temperatur ($85\ \mathrm{ns}$) und das Filament ändert seine Richtung. Das Spannungsniveau ist anschließend höher, da die Diode bereits eine erhöhte Temperatur aufweist.

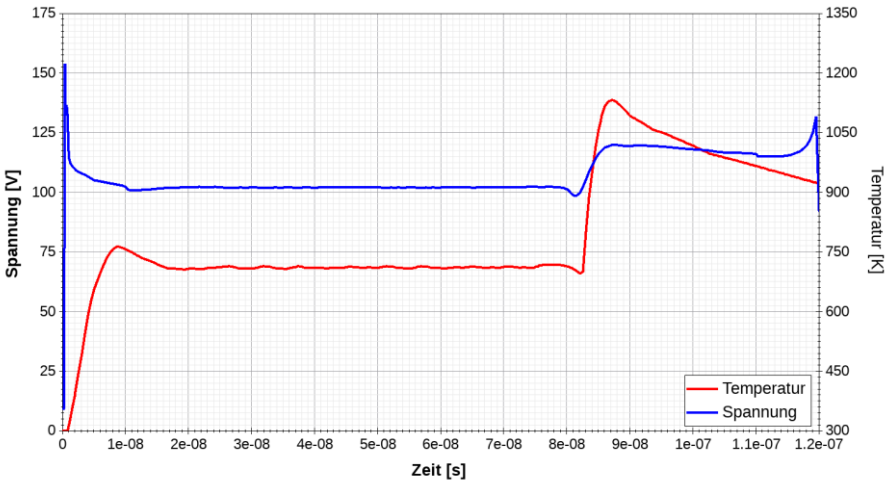

Abbildung 37 *Simulierter Spannungs- und Temperaturverlauf einer 2D PIN-Diode unter Einwirkung eines 100 ns ESD-Pulses.*

Die Bewegung des Stromfilaments ist in Abbildung 38 noch einmal im Detail dargestellt. Für vier verschiedene Zeiten wurden Stromdichteverteilung und Temperaturverteilung aus den Simulationsergebnissen extrahiert. Es zeigt sich, dass die Filamentbewegung der Wärmewelle vorauseilt, bzw. das Filament vor der Wärmewelle hergeschoben wird.

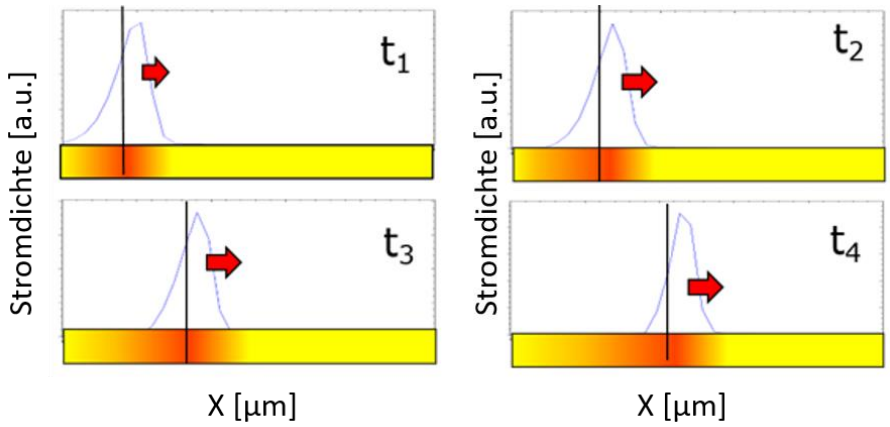

Abbildung 38 *Schematische Darstellung des zeitlichen Verlaufs der Filamentbewegung mit Stromdichteverteilung (blaue Kurve) und Temperaturverteilung (gelb-roter Balken). Die schwarze Linie markiert die maximale Temperatur.*

Zur Untersuchung der statischen Strom-Spannungs-Charakteristik wurde eine weitere 2D-Simulation durchgeführt. Da die Bewegung des Filaments für diese Betrachtung irrelevant ist bzw. sogar störend wäre, wurde die Simulation bei konstanter Temperatur durchgeführt. Dies wiederum ermöglicht es, die PIN-Diode schmaler zu machen und dadurch Simulationszeit zu sparen. Die p- und n- dotierten Gebiete wurden mit einer Dotierung von $1e21\ \mathrm{cm}^{-3}$ versehen und das intrinsische Gebiet mit einer schwachen n-Dotierung von $1e16\ \mathrm{cm}^{-3}$. In Abbildung 39 ist die zugehörige I-V-Kurve dargestellt.

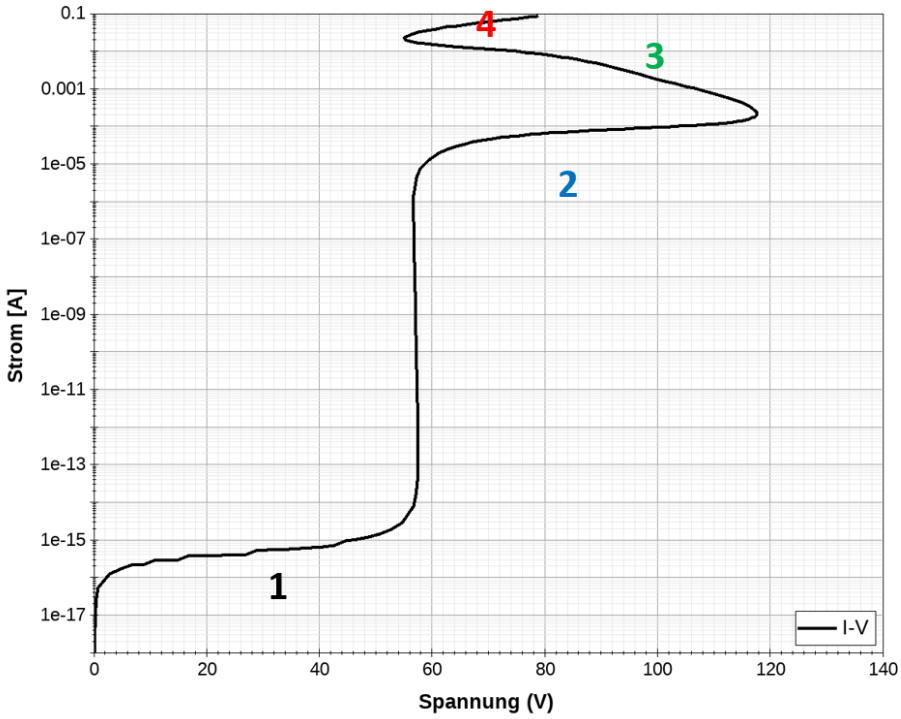

Abbildung 39 *Strom-Spannungs-Kennlinie einer simulierten 2D PIN-Diode.*

Im Gegensatz zur ersten Simulation wurde hier kein ESD-Puls angelegt, sondern die Spannung bzw. der Strom linear hochgefahren. Eine Spannung stellt sich dann entsprechend dem eingespeisten Strom ein.

Zur Simulation solcher rückläufigen Kennlinien, welche durch ihre Mehrdeutigkeiten extrem schwierig zu simulieren sind, werden die Randbedingungen entlang der Kurve dynamisch angepasst [26]. Nur so kann eine Konvergenz sichergestellt werden.

Die IV-Kennlinie in Abbildung 39 lässt sich in vier Abschnitte unterteilen. Im 1. Abschnitt bis ca. $55\ \mathrm{V}$ fließt durch die in Sperrrichtung betriebene PIN-Diode ausschließlich Leckstrom bzw. Tunnelstrom. Im 2. Abschnitt, zwischen $55\ \mathrm{V}$ und $60\ \mathrm{V}$, kommt es am p^+/n^- Übergang zum Einsetzen von Stoßionisation und der Stromfluss kann auf Grund einer erhöhten Ladungsträgerdichte im niedrig dotierten Gebiet stark ansteigen bis die Sättigungsgeschwindigkeit der Elektronen bei ca. $60\ \mathrm{V}$ erreicht wird. Um die Stromdichte weiter zu erhöhen werden zusätzliche externe Ladungsträger benötigt, was mit einem weiteren Spannungsanstieg einhergeht. Erreicht die Spannung einen kritischen Wert kommt es zum Durchbruch beider Übergänge (p^+/n^- und n^-/n^+). Das niedrig dotierte Gebiet wird mit Ladungsträgern geflutet, was eine starke Erhöhung der Leitfähigkeit zur Folge hat. Dadurch kommt es zum Stromfluss im Bauelement und gleichzeitig fällt die Spannung ab (Snapback), was man im 3. Abschnitt beobachten kann. Muss die Diode noch mehr Strom aufnehmen, so kann dies nur durch einen erneuten Anstieg der Spannung geschehen. Dies ist im 4. Abschnitt zu sehen.

Das beschriebene Verhalten der IV-Kennlinie spiegelt sich auch im Verlauf des elektrischen Feldes wider (siehe Abbildung 40). Im ersten Abschnitt bildet sich ein geringes elektrisches Feld am p^+/n^- Übergang aus und es kommt zu einem geringfügigen Leckstrom. Im zweiten Abschnitt wird die Spannung groß genug und es kommt zur Stoßionisation am p^+/n^- Übergang. Der Stromfluss steigt stark an, bis die Sättigungsgeschwindigkeit der Elektronen erreicht ist. Ab diesem Punkt steigt die Spannung erneut an. Dadurch kommt es zum Vergrößern der Raumladungszone in der PIN-Diode und das elektrische Feld steigt zum p^+/n^- Übergang hin an (blaue Kurve). Wird eine kritische Spannung erreicht, so dass die Raumladungszone die komplette niedrig dotierter Zone einschließt, kommt es zum Lawinendurchbruch der beiden Übergänge und somit zum Spannungsabfall. Dadurch findet nun an beiden Übergängen Stoßionisation statt, was ein lokal erhöhtes elektrisches Feld bedeutet (grüne Kurve). Auf Grund der lokalen Ladungsträgerinjektion an beiden Übergängen finden mehr Zusammenstöße statt, was wiederum den Stromfluss hemmt. Um diesen wiederum aufrecht zu erhalten, kommt es folglich zu einer Erhöhung des elektrischen Feldes an beiden Übergängen. Im vierten Abschnitt ist die niedrig dotierte Zone komplett mit Ladungsträgern aus den hochdotierten gebieten geflutet und ein lokales Stromfilament hat sich gebildet. Auf Grund des niedrigen Widerstandes im niedrig dotierten Gebiet verringert sich das Elektrische Feld und ist weitestgehend homogen. Nur an den beiden Übergängen gibt es jeweils ein schmales Gebiet mit einem hohen elektrischen Feld, in welchem Stoßionisation stattfindet und somit kontinuierlich neue Ladungsträger erzeugt werden, um den Stromfluss aufrechtzuerhalten (rote Kurve).

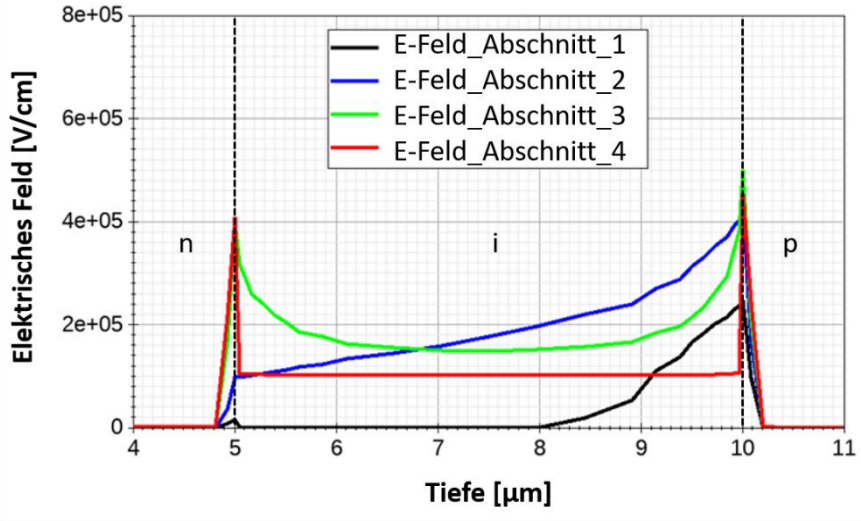

Abbildung 40 *Elektrisches Feld einer simulierten 2D PIN-Diode entsprechend der vier Abschnitte aus der IV-Kurve.*

In einer darauffolgenden Analyse wurde das Stromfilament genauer untersucht. Dazu wurden 2D-Simulationen einer PIN-Diode mit Dotierungskonzentrationen von $2e19\ \mathrm{cm}^{-3}$ für das hochdotierte p- bzw. n- Gebiete und $1e14\ \mathrm{cm}^{-3}$ für die niedrig dotierte n-Zone durchgeführt. Im ersten Schritt wurde die Weite der intrinsischen Zone auf $5\ \mu\mathrm{m}$ festgelegt und der extern angelegte Strom zwischen $10\ \mathrm{mA}$ und $100\ \mathrm{mA}$ variiert. In Abbildung 41 ist die Breite des Filaments in Abhängigkeit vom extern angelegten Strom dargestellt. Als Maß für die Filamentbreite wurde die Halbwertsbreite der Stromdichteverteilung angesetzt.

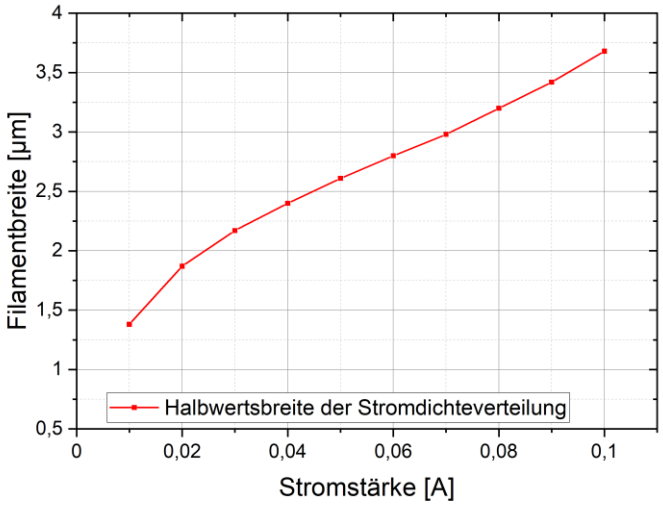

Abbildung 41 *Filamentbreite in Abhängigkeit vom extern angelegten Strom.*

Die Breite des Filaments nimmt nahezu linear mit steigender Stromstärke zu. Dieser Zusammenhang wird für spätere Betrachtungen der Lebensdauer von Interesse sein. Im zweiten Schritt wurde der extern angelegte Strom konstant belassen und dafür die Weite bzw. Höhe des niedrig dotierten Gebietes zwischen $2\ \mu\mathrm{m}$ und $9\ \mu\mathrm{m}$ variiert (siehe Abbildung 42).

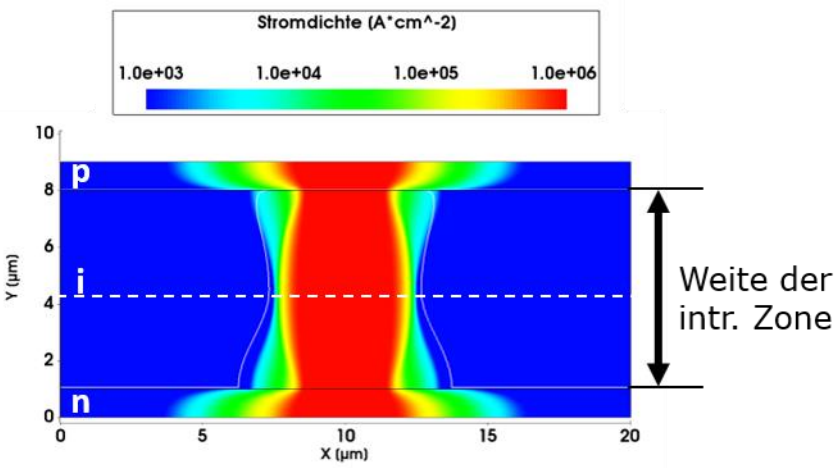

Abbildung 42 *Simulation einer 2D PIN-Diode mit variabler Weite der intrinsischen Zone samt Ausprägung eines Stromfilaments.*

Für alle Weiten des intrinsischen Gebietes wurde die Stromdichte in der Mitte des Filaments entlang der x-Achse extrahiert und in Abbildung 43 dargestellt.

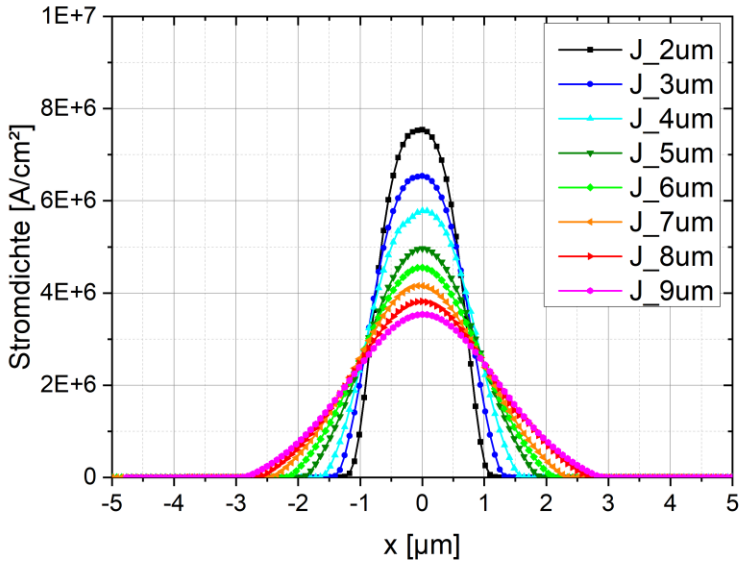

Abbildung 43 *Stromdichteverteilung entlang der x-Achse extrahiert in der Mitte des Filaments für verschiedene Weiten des intrinsischen Gebietes.*

Anhand der Stromdichteverteilung lässt sich die maximale Stromdichte des Filaments und dessen Breite bestimmen. Die Filamentbreite wurde hier ebenfalls mit Hilfe der Halbwertsbreite der Stromdichteverteilung bestimmt. In Abbildung 44 sind die maximale Stromdichte und die Breite des Stromfilaments in Abhängigkeit von der Weite der intrinsischen Zone dargestellt. Jeder Punkt in diesem Diagramm entspricht einer Simulation für eine geänderte Geometrie der PIN-Diode.

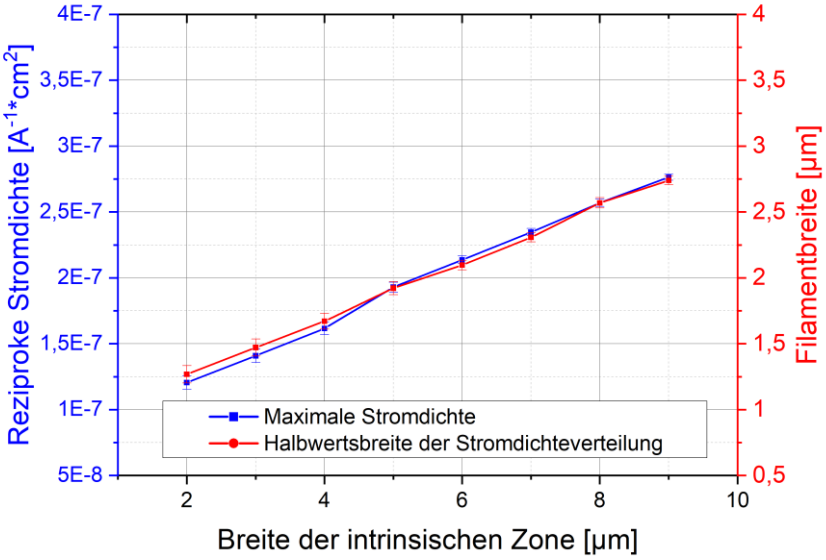

Abbildung 44 *Filamentbreite und reziproke Stromdichte in Abhängigkeit von der Weite des intrinsischen Gebietes.*

Die maximale Stromdichte wurde hierbei reziprok geplottet, um den umgekehrt proportionalen Zusammenhang zwischen Stromdichte und Filamentbreite besser aufzeigen zu können. Mit zunehmender Weite der intrinsischen Zone nimmt die Filamentbreite annähernd linear zu. Ursache dafür ist der größere Abstand der beiden Stoßionisations-Gebiete zum Mittelpunkt des Filaments. Dort hat das Filament aufgrund von lateralem Drift und Diffusion die maximale Breite. Die Form des Filaments blieb für die verschiedenen Zonen-Breiten gleich. Durch die Zunahme der Filamentbreite nimmt die Stromdichte entsprechend ab. Eine geringere Stromdichte bedeutet weniger Wärmeerzeugung, was wiederum eine längere Lebensdauer des Bauelements bedeutet.

5.1.2 Simulationen in 3D

Die Bewegung des Stromfilaments kann auch in 3D-Simulationen beobachtet werden. Hierzu wurden PIN-Dioden mit einer Dotierung von jeweils $1e19\ \mathrm{cm}^{-3}$ für die hochdotierten Gebiete und $1e15\ \mathrm{cm}^{-3}$ für die niedrig dotierte Zone verwendet. Unter Variation der Geometrieparameter wurde das Verhalten des Stromfilaments beobachtet, wodurch Aussagen über die Lebensdauer des Bauteils getroffen werden konnten.

Die Teststrukturen in Abbildung 45 (A-C) besitzen die gleiche Querschnittsfläche, damit sind die Flächen der beiden Übergänge (p^+/n^- und n^-/n^+) in allen drei PIN-Dioden identisch. Ähnlich zu den 2D-Simulationen bildet sich ein Stromfilament und beginnt sich frei im Bauelement zu bewegen. Die Lebensdauern der Strukturen sind allerdings je nach Geometrie unterschiedlich. Die Dreieckstruktur in

Abbildung 45 (B) hat die kürzeste Lebensdauer. Bei dieser Struktur läuft das Filament in eine der Ecken und erwärmt die Diode lokal so stark, bis das Silizium geschmolzen ist, was als thermisches Durchgehen bezeichnet wird.

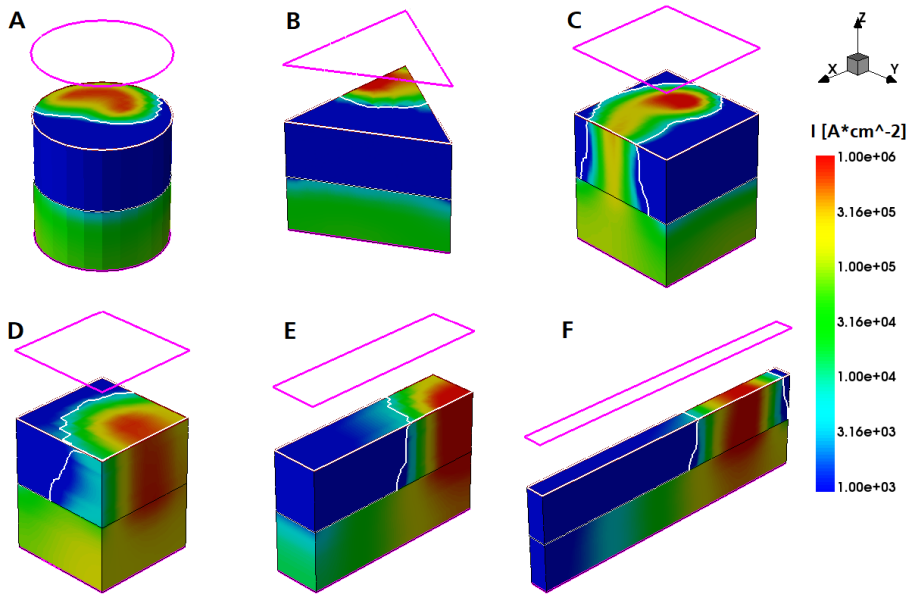

Abbildung 45 *Untersuchung des Stromfilaments in PIN-Dioden verschiedener Geometrien mit der gleichen Querschnittsfläche (A-C) und dem gleichen Volumen, aber unterschiedlicher Oberfläche (D-E). Für eine bessere Sichtbarkeit der niedrig dotierten Zone ist die obere p+ Schicht transparent.*

In einer weiteren Untersuchung wurde das Verhältnis von Volumen zu Oberfläche variiert (siehe Abbildung 45 (D-F)). Es gibt ein Optimum zwischen beiden in Abhängigkeit von der Strukturbreite und in Bezug auf die Breite des Filaments selbst. Das robusteste Bauelement für diese Simulationen ist in Abbildung 45 (E) gezeigt, da es die längste Lebensdauer aufweist (siehe Abbildung 46). In Abbildung 45 (F) ist eine sehr dünne Teststruktur zu sehen. Die Dicke der Struktur ist kleiner als der Durchmesser des Stromfilaments. Aus diesem Grund läuft das Filament nur einmal bis zur Kante und kann die Richtung nicht mehr ändern, bevor der thermische Durchbruch stattfindet und das Bauteil beschädigt wird. Die Detaillierte Bewegung des Stromfilaments ist für alle Geometrien im Anhang 8.2 dargestellt. Die gezeigten Simulationen wurden jeweils nur einmal pro Geometrie durchgeführt und stellen kein statistisches Mittel dar. Die Werte für die Lebensdauern in Abbildung 46 sollen lediglich darauf hinweisen, dass das Design und die Form von ESD-Schutzstrukturen einen deutlichen Einfluss auf die Robustheit haben kann. Zum Erhöhen der Lebensdauer muss das Design so gewählt werden, dass das Filament möglichst lange läuft und sich das Bauteil homogen erhitzt.

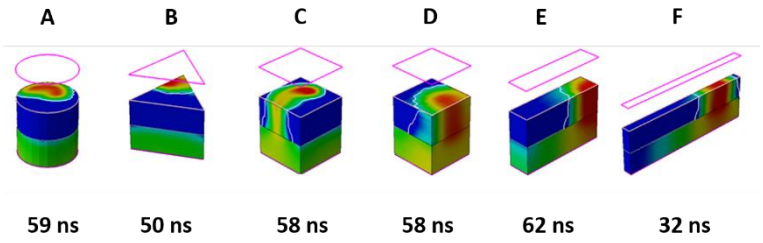

Abbildung 46 *Lebensdauer verschiedener PIN-Dioden entsprechend der gezeigten Geometrien in Abbildung 45. Miteinander vergleichbar sind ausschließlich die Dioden (A-C) und (D-F).*

Die Geschwindigkeit des Filaments liegt in diesem Fall bei ungefähr $1{,}5\ \mu\mathrm{m/ns}$ was deutlich über dem Literaturwert von ca. $1\ \mu\mathrm{m/ns}$ [57] liegt. Eine höhere Geschwindigkeit bedeutet, dass das Filament weniger Zeit hat die Diode zu erwärmen. Das spiegelt sich in einer Erhöhung der Lebensdauer wider. Um dieses Verhalten genauer zu untersuchen wurden weitere Simulationen durchgeführt. Dabei wurden mehrere Dioden mit einer Länge von $50\ \mu\mathrm{m}$ und einer Breite zwischen $0{,}5\ \mu\mathrm{m}$ und $2\ \mu\mathrm{m}$ simuliert. Die Weite des intrinsischen Gebiets betrug immer $5\ \mu\mathrm{m}$. Für zwei verschiedene extern eingeprägte Ströme sind die Filament-Geschwindigkeiten in Abhängigkeit von der Breite der PIN-Diode in Abbildung 47 dargestellt.

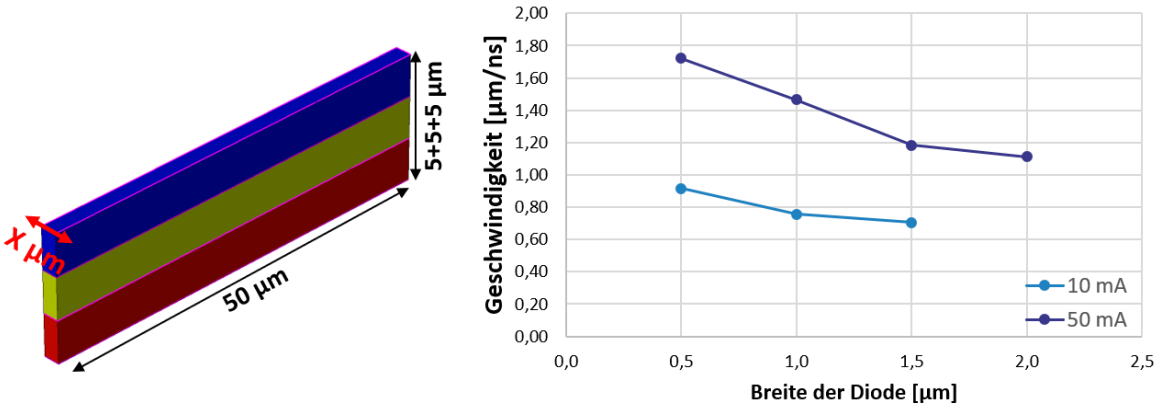

Abbildung 47 *Geometrie der 3D TCAD-Simulation (links) und die Filament-Geschwindigkeit in Abhängigkeit von der Breite der PIN-Diode für zwei verschiedene extern eingeprägte Ströme(rechts).*

Vergleicht man beide Kurven miteinander fällt auf, dass sich die Filament-Geschwindigkeiten für beide extern eingeprägten Ströme stark voneinander unterscheiden. Das liegt an der Abhängigkeit des Filament-Durchmessers von der Höhe des Stroms, der durch die PIN-Diode und damit durch das intrinsische Gebiet fließt. Umso geringer der Stromfluss, desto kleiner ist auch der Durchmesser des Stromfilaments. Für die hier untersuchten Bauteil-Geometrien bedeutet dies, dass bei einem externen Strom von $10\ \mathrm{mA}$ der Durchmesser des Filaments geringer ausfällt als die Breite der PIN-Diode. Somit kann sich das Filament auch ein wenig zur Seite bewegen und damit ist die effektive Geschwindigkeit entlang der kompletten Länge der Diode geringer als der Literaturwert. Im Fall des extern eingeprägten

Stroms in Höhe von $50\,\mathrm{mA}$ ist der Durchmesser des Stromfilaments größer als die Breite des Bauelements. Es kommt zu einer Einschnürung des Filaments und dadurch werden deutlich höhere Geschwindigkeiten von bis zu $1{,}75\ \mu\mathrm{m/ns}$ bei einer Diodenbreite von $0{,}5\ \mu\mathrm{m}$ erreicht.

5.1.3 Untersuchungen zur Lebensdauer von PIN-Dioden

Um den praktischen Vorteil mit Hinblick auf die Lebensdauer der Diode zu untersuchen, wurden weitere Simulationen mit unterschiedlicher Länge und Breite bei gleichem Verhältnis von Querschnittsfläche zu Volumen durchgeführt (siehe Abbildung 48).

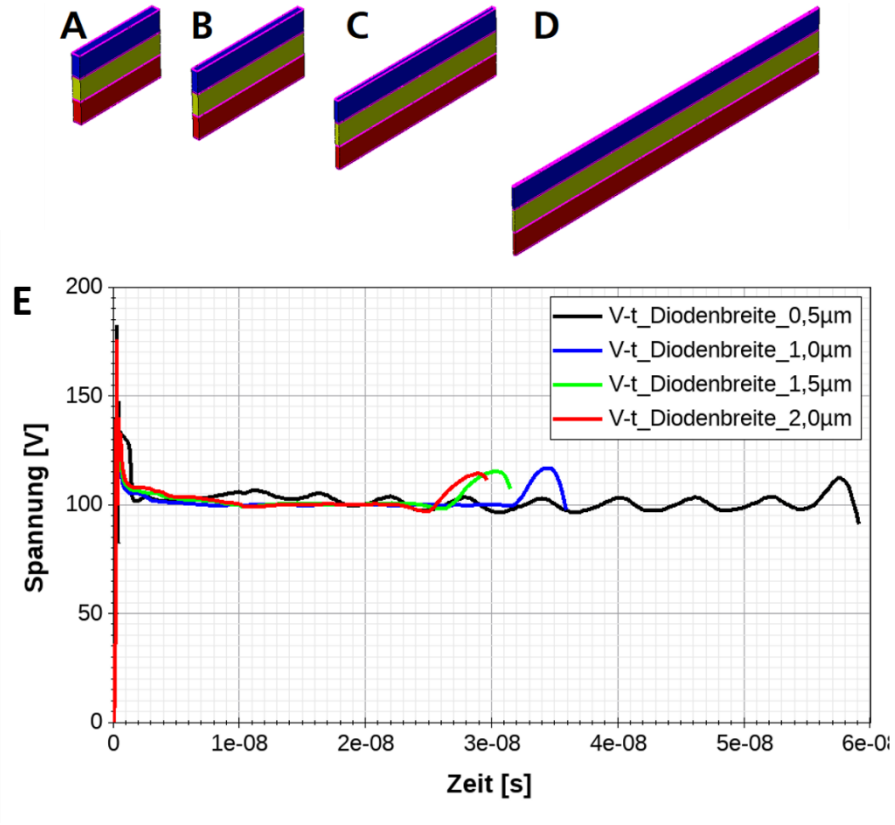

Abbildung 48 *Geometrien der verwendeten PIN-Dioden unterschiedlicher Länge und Breite. (A) 22.5 x 2.0 µm, (B) 30.0 x 1.5 µm, (C) 45.0 x 1.0 µm und (D) 90.0 x 0,5 µm. Der Spannungsverlauf über die Zeit ist in (E) dargestellt.*

Wie in Abbildung 48 (E) gezeigt erhöht sich die Lebensdauer für schmale Bauteile, da die Geschwindigkeit des Filaments höher ist und dadurch eine geringere Selbsterwärmung verursacht wird. Es ist daher empfehlenswert möglichst schmale ESD-Schutzstrukturen mit einer ausreichenden Länge zu entwerfen. Da Chipfläche allerdings sehr teuer ist, sollte ein gutes Verhältnis zwischen Dioden-Oberfläche und Chipfläche gewählt werden. Designs analog zu Kühlrippen wären vorteilhaft, um das Filament möglichst lange in Bewegung zu halten und gleichzeitig die erzeugte Wärme abzuleiten. In Abbildung 49 sind drei Entwurfsvorschläge dargestellt.

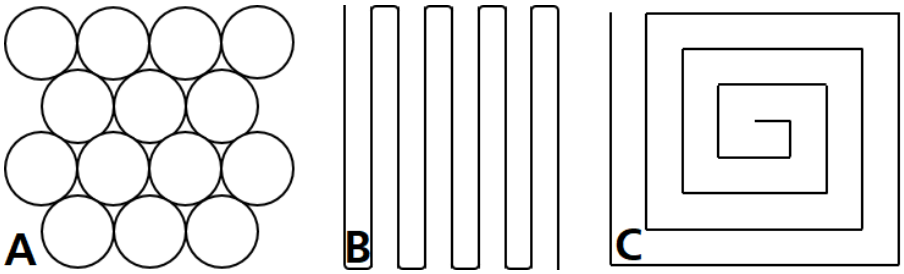

Abbildung 49 *Schematische Darstellung von drei verschiedenen Entwurfsvorschlägen für ein optimiertes ESD-Schutzverhalten. (A) Dichteste Kreispackung, (B) Klassische Kühlrippe und (C) Kühlspirale.*

5.2 TLP-Messungen

Zur Validierung der Simulationsergebnisse wurden TLP-Messungen an verschiedenen Teststrukturen durchgeführt. Bei einer TLP-Messung (siehe Kapitel 3.5) wird die Übertragungsleitung über eine Stromversorgung aufgeladen. Durch Schließen des Schalters wird diese entladen und ein Rechteckpuls fließt durch das DUT. Durch Messung der einfallenden und reflektierten Wellenform und deren Wiederholung für verschiedene Spannungspulse kann die Strom-Spannungs-Charakteristik des Bauelements aufgenommen werden.

Alle Teststrukturen aus Kapitel 4.3.1 wurden mit Hilfe von TLP-Messungen charakterisiert. Die Ergebnisse von vier ausgewählten Dioden werden im Folgenden näher erläutert (siehe Abbildung 50). Dabei handelt es sich um eine zylindrische PIN-Diode (Layout A), eine Hohldiode mit abgerundeten Ecken (Layout B) und zwei 8-förmige Dioden mit verschiedenen Dicken (Layout C und D). Eine Hohldiode ähnelt einem Hohlzylinder, bei dem der Innenbereich herausgeschnitten wird. Für die Hohldiode bedeutet dies, dass nur ein schmaler Streifen als Diode fungiert, der Innen- und Außenbereich wird mit Siliziumdioxid aufgefüllt. Ziel ist es dabei, dass Filament möglichst lange wandern zu lassen.

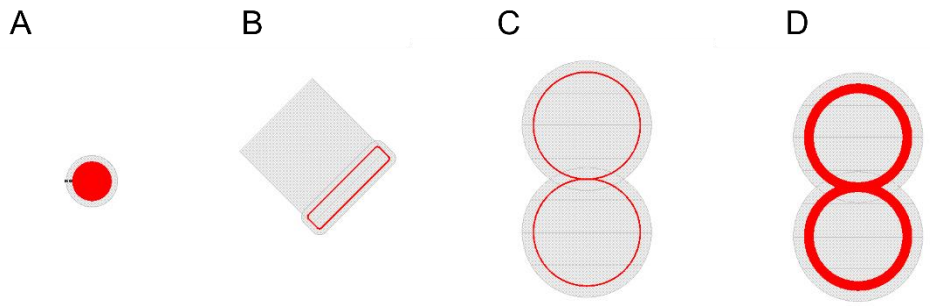

Abbildung 50 *Draufsicht auf das Layout einer zylindrischen Diode (A), einer Hohldiode mit abgerundeten Ecken (B) und zwei 8-förmigen Dioden mit einer Dicke von 2 µm (C) bzw. 10 µm (D). Dargestellt sind die Masken für die Abscheidung und Dotierung von Silizium (rot) und für die Metallisierung (grau).*

Bei der ersten Teststruktur (Layout A) handelt es sich um eine zylindrische PIN-Diode mit einem Radius von $20\ \mu m$. Die verwendeten TLP-Pulse hatten eine Dauer von $100\ ns$ und eine Anstiegs- bzw. Abfallzeit von $10\ ns$. In Abbildung 51 ist die I-V-Kennlinie als Ergebnis der TLP-Messungen dargestellt. Die PIN-Diode zeigt eine Einschaltspannung von ca. $60\ V$ in Sperrrichtung und einen Snapback von $62\ V$ auf $59\ V$. der Einschaltwiderstand nach dem Snapback ist sehr gering, was bedeutet, dass der Strom ungehindert durch das Bauelement fließen kann. Das legt das Vorhandensein eines Strom-Filaments nahe. Bei ca. $250\ mA$ tritt der zweite Durchbruch auf und es kommt zu einer thermischen Beschädigung der Teststruktur. Dies konnte durch einen rapiden Anstieg im Leckstrom nachgewiesen werden.

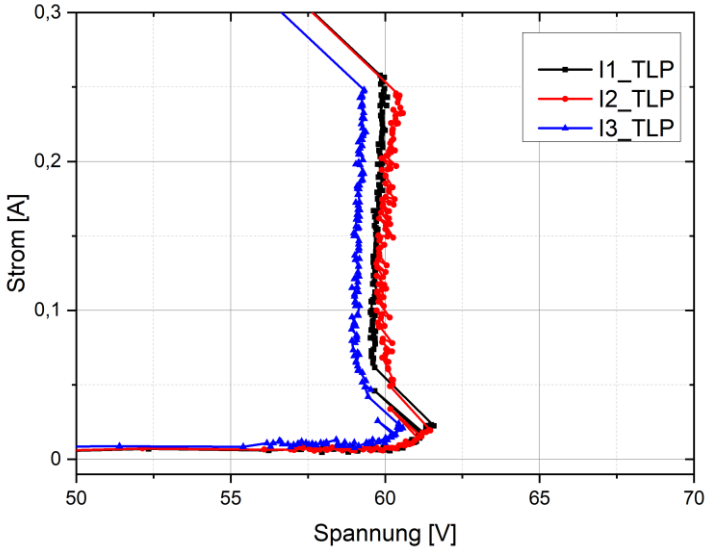

Abbildung 51 *Strom-Spannungs-Charakteristik einer zylindrischen PIN-Diode als Ergebnis der TLP-Messungen.*

Deutlich interessanter ist das Verhalten der zweiten Teststruktur. Dabei handelt es sich um die Hohldiode mit abgerundeten Ecken (Layout B) mit einer Länge von $100\ \mu m$, einer Breite von $20\ \mu m$ und einer PIN-Schichtbreite von $2\ \mu m$. Diese Teststruktur wurde extra so designt, dass ein Stromfilament sich möglichst lange bewegen kann, ohne dass das Bauteil beschädigt wird. Die IV-Kennlinie ist in Abbildung 52 gezeigt.

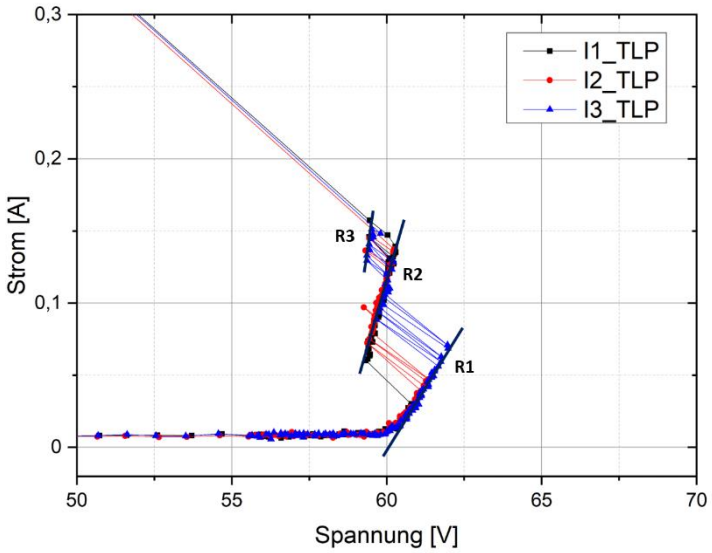

Abbildung 52 *Strom-Spannungs-Charakteristik einer Hohldiode mit abgerundeten Ecken als Ergebnis der TLP-Messungen.*

Da alle Teststrukturen ein identisches Dotierprofil aufweisen liegt auch hier die Einsatzspannung in Sperrrichtung bei ca. $60\,\mathrm{V}$. Im Gegensatz zur zylindrischen Diode zeigt die Hohldiode einen unerwarteten zweiten Spannungsabfall. Dieses Verhalten konnte bei allen Hohldioden beobachtet werden. Bei genauerem betrachten der TLP-Messung wird ersichtlich, dass es drei unterschiedliche Zweige gibt, welche sich auf unterschiedliche Einschalt-Widerstände beziehen. Während der TLP-Messung steigt die Spannung der TLP-Pulse immer weiter an, bis sich die Teststruktur bei ca. $60\,\mathrm{V}$ mit dem ersten Einschaltwiderstand anschaltet. Bei Höheren Spannungen kommt es zu einem Snapback und die Diode zeigt einen zweiten bzw. sogar dritten Einschaltwiderstand.

Bei genauerer Betrachtung der Einschaltwiderstände fällt auf, dass deren Werte annähernd ganzzahlige Vielfache voneinander sind. In Abbildung 53 sind die drei Einschaltwiderstände für das Integrationsfester von $40\,\mathrm{ns}$ bis $60\,\mathrm{ns}$ dargestellt.

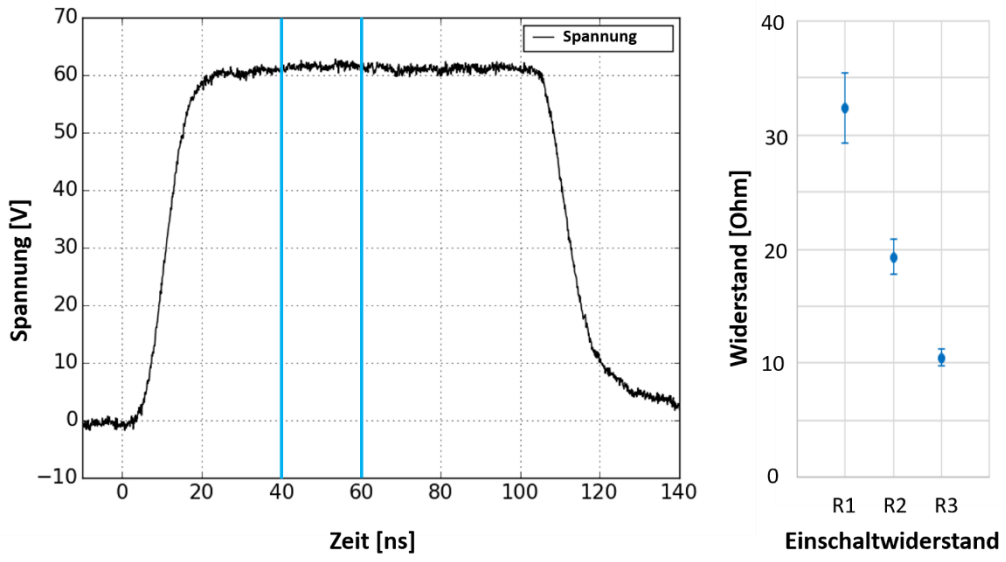

Abbildung 53 *Typischer Verlauf eines TLP-Spannungspulses mit Integrationsfenster (links) und den daraus berechneten Einschaltwiderständen für verschiedene Integrationsfenster (rechts).*

Bei der Verschiebung des Integrationsfenster zu größeren Zeiten werden die Einschaltwiderstände minimal größer. Ursache dafür ist die Selbsterwärmung der Diode. Die wahrscheinlichste Erklärung für das Entstehen mehrerer Widerstände ist die Bildung mehrerer Stromfilamente. Bei hinreichend großer Spannung könnte somit ein zweites bzw. drittes Stromfilament gebildet werden. In Abhängigkeit von der Größe der PIN-Diode können diese Filamente miteinander verschmelzen oder separat weiterlaufen.

Eine Verschiebung des Integrationsfensters führt auch zu einer Änderung im Verhalten der Strom- und Spannungsverläufe. In Abbildung 54 sind die IV-Kennlinien für verschiedene Integrationsfenster mit einer Breite von jeweils $20\ ns$ dargestellt. Zur besseren Sichtbarkeit wurden die Einschaltwiderstände nur für die ersten fünf Integrationsfenster eingezeichnet. Die Untersuchung zeigt, dass sich die Widerstände zu späteren Zeitpunkten erhöhen und teilweise miteinander verschmelzen. Eine Erhöhung des Widerstandes wird durch die Erwärmung in der Diode verursacht. Das Verschmelzen der Widerstände findet vermutlich seine Ursache im Vereinigen von zwei Filamenten in einem Strom-Filament. Aus diesem Grund wurden für die Auswertung der TLP-Messungen Integrationsfenster in der vorderen Pulshälfte gewählt. Für sehr lange Pulsdauern größer $500\ ns$ kann es ebenfalls zu mehreren Spannungsabfällen in der IV-Kennlinie kommen. Hierbei handelt es sich allerdings um einen thermischen Durchbruch.

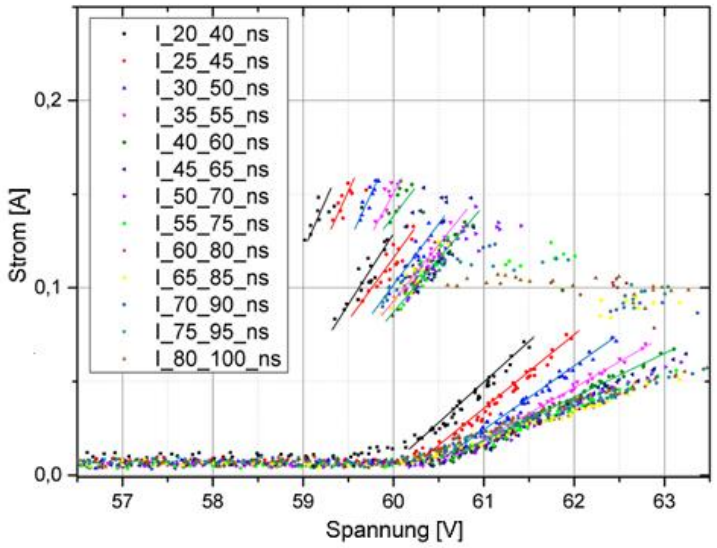

Abbildung 54 *IV-Kennlinien für verschiedene Integrationsfenster mit einer Breite von jeweils 20 ns. Die Einschaltwiderstände wurden für die ersten fünf Integrationsfenster eingezeichnet.*

Die TLP-Messungen der 8-förmigen PIN-Dioden (Layout C und D) ergänzen die bisherigen Erkenntnisse. Die Teststrukturen mit einer Dicke von $10\,\mu\mathrm{m}$ zeigen eine Einsatzspannung von ca. $61\,\mathrm{V}$ in Sperrrichtung und einem anschließenden Snapback auf $59\,\mathrm{V}$. Analog zur zylindrischen Diode (Layout B) weist der geringe Anschaltwiderstand auf die Bildung eines Stromfilaments hin. Bei den Teststrukturen mit einer Dicke von $2\,\mu\mathrm{m}$ tritt ein zusätzlicher Einschaltwiderstand auf. Dieses Phänomen wurde bereits bei den Hohldioden beobachtet und weist auf die Bildung mehrerer Filamente hin. Die IV-Kennlinie ist für beide PIN-Diode in Abbildung 55 gezeigt.

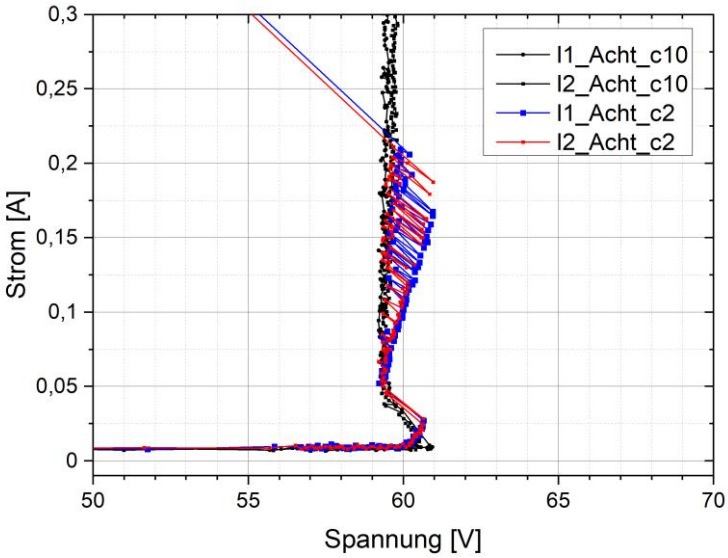

Abbildung 55 *Strom-Spannungs-Charakteristik der 8-förmigen PIN-Dioden mit einer Breite von 10 µm (schwarz) bzw. 2 µm (rot und blau).*

Auffällig ist außerdem, dass nur bei sehr schmalen Teststrukturen mehrere Einschaltwiderstände auftreten. In Kapitel 5.1.2 wurde bereits festgestellt, dass dadurch die Geschwindigkeit des Filaments deutlich zunehmen kann. Zusätzlich wird durch die geringe Breite der Diode das Filament in die Länge gezogen und damit auch der Bereich, in dem es zu Stoßionisation kommen kann. Aus diesem Grund ist der Vorteil der Kontraktion des Stroms an einem Punkt nicht mehr so stark ausgeprägt und die Bildung mehrerer Filamente ist möglich.

5.3 Vergleich von Messung und Simulation

Zur Überprüfung der Ergebnisse wurden die TLP-Messungen mit TCAD-Simulationen verglichen. Im Fall der zylindrischen Diode (Layout A) wurde eine 2D TCAD-Simulation durchgeführt. Dabei wurde ein $50\ \Omega$ Vorwiderstand verwendet, um die Bedingungen analog zum TLP-Messsystem zu gestalten. In Abbildung 56 ist ein Vergleich der Strom-Spannungs-Charakteristiken von Messung und Simulation gezeigt. Das Modell für den Lawinendurchbruch wurde in der Simulation variiert, weshalb zwei verschiedene Kurven dargestellt sind.

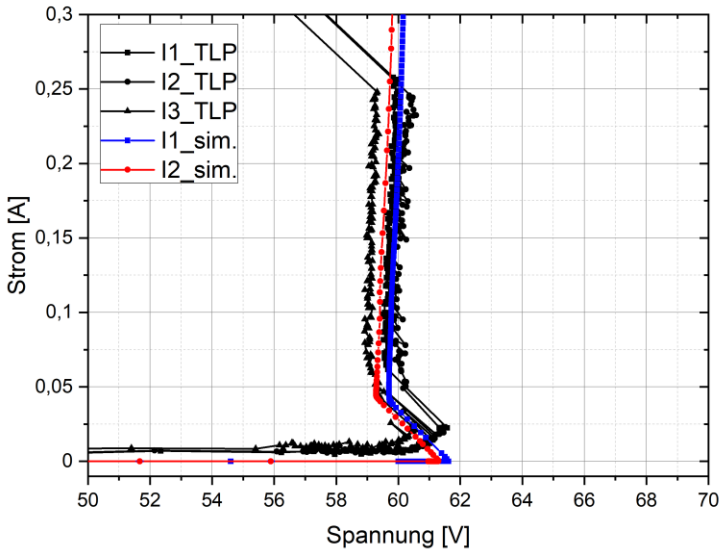

Abbildung 56 *Vergleich der Strom-Spannungs-Charakteristik von TLP-Messungen (schwarz) mit TCAD-Simulationen (farbig) für eine zylindrische PIN-Diode.*

Zusätzlich wurde in der Simulation die Dicke der EPI-Schicht angepasst, um eine bessere Übereinstimmung mit den Messergebnissen zu erhalten. Da das Dotierprofil nach der Herstellung der PIN-Dioden nicht gemessen wurde, kann die Dicke der EPI-Schicht auf Grund von Prozessschwankungen vom ursprünglich gewünschten Wert abweichen. Im Fall der zylindrischen PIN-Diode konnte so eine gute Übereinstimmung von Simulation und Messung erreicht werden. Es kommt

zur Bildung eines Stromfilaments, welches sich frei bewegen kann. Die Lebensdauer ist dadurch deutlich größer im Vergleich zu einem gepinnten Filament.

Im Fall der Hohldioden mit abgerundeten Ecken (Layout B) kann eine Übereinstimmung zwischen Simulation und Messung nur teilweise erreicht werden. Die TLP-Messungen haben drei verschiedene Einschaltwiderstände gezeigt. Diese betragen $11\ \Omega$ (R1), $19\ \Omega$ (R2) und $32\ \Omega$ (R3). In der Simulation hingegen kommt es zu einem abrupten Snapback und lediglich einem Einschaltwiderstand, welcher identisch zu R3 aus der Messung ist (siehe Abbildung 57). Die Ursache dafür könnte eine vereinfachte Modellgeometrie oder ein geringfügig anderes Dotierprofil sein.

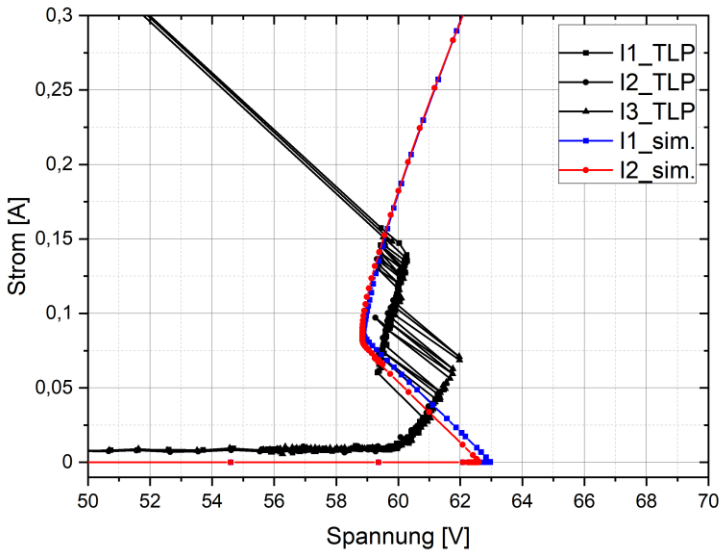

Abbildung 57 *Vergleich der Strom-Spannungs-Charakteristik von TLP-Messungen (schwarz) mit TCAD-Simulationen (farbig) von Hohldioden mit abgerundeten Ecken.*

Mit Hilfe der TCAD-Simulationen kann allerdings die Hypothese bestätigt werden, dass mehrere Stromfilamente zur gleichen Zeit entstehen können. In Abbildung 58 ist der zeitliche Verlauf der Stromfilamente während der Simulation gezeigt.

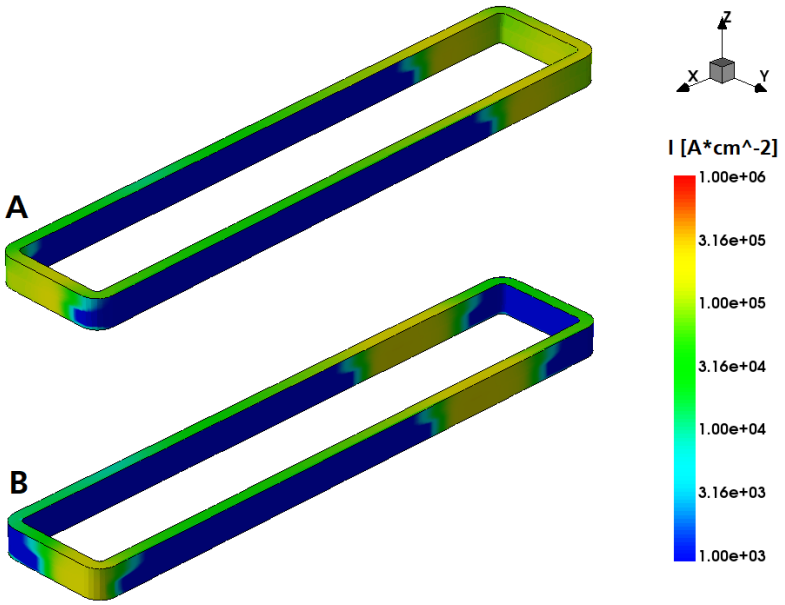

Abbildung 58 *3D TCAD-Simulation einer Hohldiode mit abgerundeten Ecken unter einem Rechteckpuls von 100 ns und 65 V mit zwei Stromfilamenten nach 11 ns und drei Stromfilamenten nach 14 ns.*

Bei den 8-förmigen PIN-Dioden (Layout C und D) hängt das Ergebnis von der Breite des PIN-Gebietes ab. Die Dioden mit einer Breite von $10\ \mu m$ (Layout D) verhalten sich analog zu den zylindrischen Dioden. Für die Bauelemente mit einer Breite von $2\ \mu m$ (Layout C) kommt es zu einer Einschnürung des Stromfilaments. Das Entstehen und die Bewegung von mehreren Filamenten kann in der TCAD-Simulation beobachtet werden (siehe Abbildung 59).

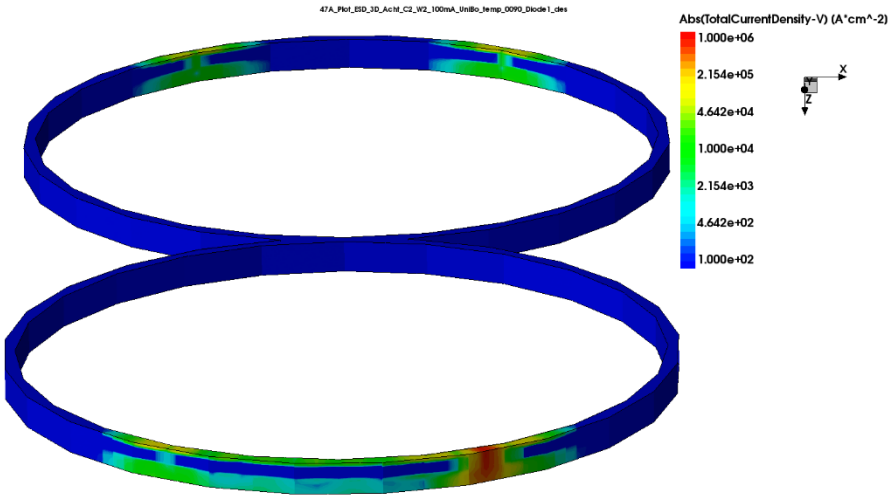

Abbildung 59 *Ausbilden mehrerer Stromfilamente in einer 3D TCAD-Simulation einer 8-fömigen PIN-Diode mit einer Breite von 2 µm.*

Abhängig von der angelegten Spannung und der Dauer des TLP-Pulses bilden sich mehrere Stromfilamente gleichzeitig und bewegen sich separat voneinander oder verschmelzen miteinander. Es liegt nahe, dass dies zu einer Fluktuation der Einschaltwiderstände führt.

5.4 Kompaktmodellierung

5.4.1 Einleitung

Eine TCAD-Simulation kann sehr gut die Physik eines Bauelements nachstellen. Dies ist jedoch vor allem bei 3D-Simulationen mit einem großen Zeitaufwand verbunden. Ein komplettes Layout auf ESD-Festigkeit zu untersuchen, ist mit TCAD daher nicht möglich. Aus diesem Grund werden vereinfachte Modelle benötigt, um das prinzipielle Verhalten eines Bauelements oder einer Schaltung möglichst detailliert abzubilden.

Ziel ist die Entwicklung eines Kompaktmodells für eine PIN-Diode mitsamt Abbildung des Snapback-Effekts sowie der Filamentbildung. Dazu wird das hochgradig nichtlineare, elektro-thermische Problem in einzelne Bestandteile aufgeteilt und schrittweise untersucht. In Abbildung 60 ist der Modellierungsansatz schematisch dargestellt. Das Bauelement wird in mehrere Einzelteile unterteilt, welche jeweils durch ein Kompaktmodell beschrieben werden. Das elektrische Netzwerk (schwarz dargestellt) und das thermische Netzwerk (rot dargestellt) wird dabei separat betrachtet.

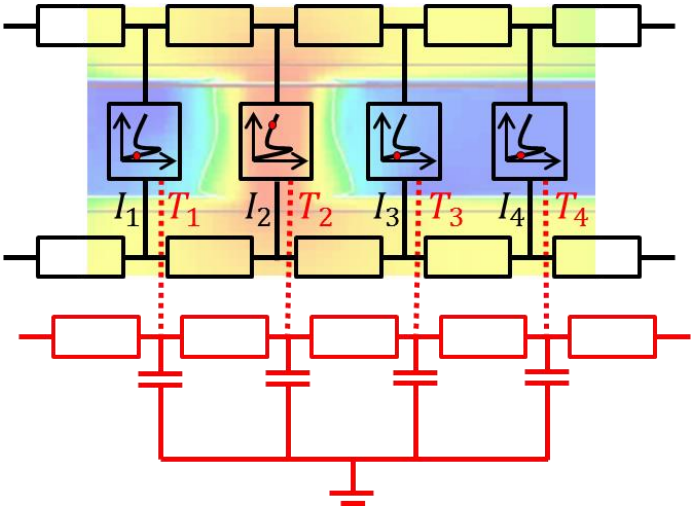

Abbildung 60 *Schematische Darstellung des Modellierungsansatzes. Das Bauelement wird dabei in mehrere Einzelteile unterteilt, welche jeweils durch ein Kompaktmodell beschrieben werden. Das elektrische Netzwerk (schwarz) wird dabei separat vom thermischen Netzwerk (rot) betrachtet. Im Hintergrund ist die Stromverteilung einer 2D TCAD-Simulation gezeigt. Der rote Punkt in den IV-Kurven der Einzelmodelle zeigt die entsprechende Stromdichte an [58].*

Da für das thermische Netzwerk ein hausinternes Tool zu Verfügung steht, liegt der Fokus der Arbeiten auf dem elektrischen Netzwerk und der Extraktion bzw. Entwicklung der zughörigen Kompaktmodelle. Schließlich soll dann beides miteinander kombiniert werden. Da das thermische Tool im Cadence Virtuoso angebunden ist wurde auch die Kompaktmodellierung mit Cadence Virtuoso durchgeführt.

Die Erkenntnisse aus den TCAD-Simulationen und den TLP-Messungen bildeten die Grundlage für die Kompaktmodellierung der PIN-Diode. Bei hinreichender Diskretisierung der PIN-Diode findet der

Transport von Ladungsträgern und somit auch der Stromfluss nur in eine Richtung statt. Deshalb wurde ein 1D-Kompaktmodell zur Modellierung der PIN-Diode entwickelt. Um das prinzipielle Verhalten der PIN-Diode unter hohen Strömen und das Snapback-Verhalten zu modellieren wurden verschiedene Ansätze gewählt. Zum einen wurde die Diskretisierung direkt im TCAD über ein elektrisches Netzwerk untersucht. Zum anderen wurden analytische Modelle entwickelt, welche die S-förmige IV-Kurve nachbilden können und somit eine quantitative Analyse ermöglichen. Darüber hinaus wurden Kompaktmodelle entwickelt, welche auch qualitativ eine Aussage über die ESD-Festigkeit ermöglichen. Die PIN-Diode wurde dazu in verschiedene Regionen aufgeteilt und separat modelliert. Dabei sind Modelle für Siliziumsubstrat, einen n^-/n^+ Übergang, einen p/n Übergang und einen Substrat/Metall Übergang entwickelt worden.

Um die Physik des Bauelements nicht zu vernachlässigen wurden zusätzlich physik-nahe Modelle entworfen. Diesbezügliche Arbeiten wurden in einem öffentlichen Forschungsprojekt durchgeführt. Die Kompaktmodelle 1 und 3 wurden zusammen mit den Kollegen Steffen Holland und Christoph Sohrmann entwickelt. Im Folgenden werden alle Ansätze im Detail erläutert.

5.4.2 Modellierung in TCAD

Um das Verhalten einer PIN-Diode zu modellieren sind die bisherigen Erkenntnisse aus den TCAD-Simulationen äußerst wichtig. Außerdem ist zu vermerken, dass der Stromfluss innerhalb des Filaments ausschließlich vertikal und somit eindimensional erfolgt. Mit Sentaurus TCAD ist es möglich mehrere Modelle über ein elektrisches Netzwerk zu koppeln und weitere elektrische Elemente wie Widerstände oder Kapazitäten hinzuzufügen. Dadurch ist es möglich das folgende, diskretisierte Modell für die Diode als einen vielversprechenden Ansatz zu wählen:

In einer ersten Simulation wurden fünf schmale Dioden nebeneinander platziert und die jeweiligen Kontakte der Ober- und Unterseite miteinander verbunden. Zu erwarten wäre, dass benachbarte Dioden, nacheinander ein- bzw. ausschalten und dadurch die Bewegung des Filaments nachempfunden werden kann. In Abbildung 61 ist die Stromdichte der Dioden zu einem Zeitpunkt der transienten Simulation beispielhaft dargestellt.

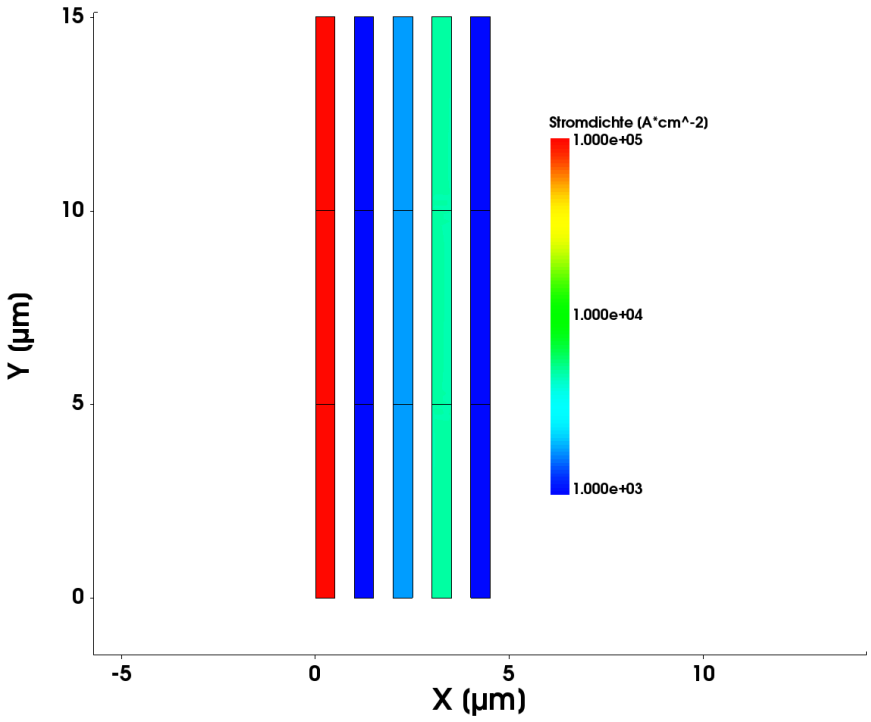

Abbildung 61 *Simulation von fünf schmalen PIN-Dioden, wobei die Kontakte der Ober- bzw. Unterseite jeweils miteinander gekoppelt sind.*

Es ist zu erkennen, dass mehrere Dioden gleichzeitig einen Stromfluss aufweisen, diese sich allerdings nicht direkt nebeneinander befinden. Das Filament springt demnach von einer zur nächsten Diode, völlig unabhängig von der räumlichen Lage. Dabei wird immer die Diode mit der geringsten Temperatur gewählt, da die Stoßionisationskoeffizienten negativ von der Temperatur beeinflusst werden.

Eine Kopplung zwischen den einzelnen Dioden erscheint somit als ein wichtiger Bestandteil für die Verhaltensmodellierung. Mit Hilfe von Widerständen oder parallelen Widerständen und Kapazitäten soll eine Kopplung erreicht werden. In Abbildung 62 ist ein Ersatzschaltbild für die Kopplungsversuche gezeigt.

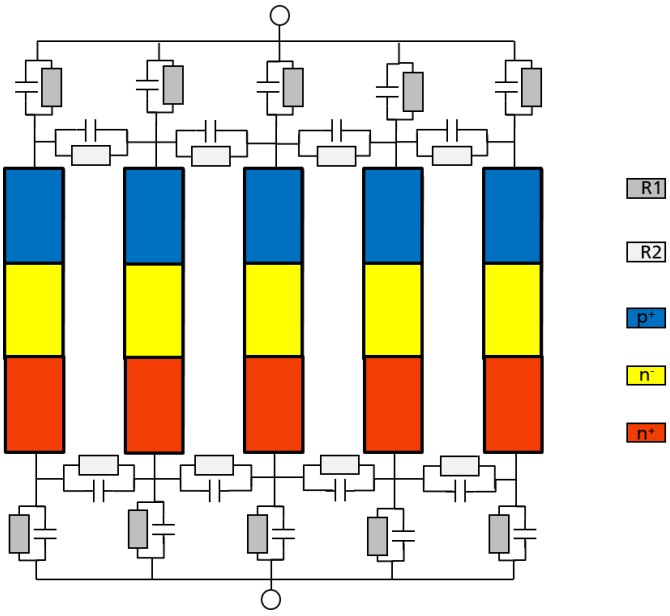

Abbildung 62 *Ersatzschaltbild einer TCAD-Simulation mit fünf Dioden, welche über R-C-Glieder miteinander gekoppelt sind.*

Es wurden Simulationen mit verschiedenen Werten für die Widerstände und Kapazitäten durchgeführt. Letztendlich konnte dadurch jedoch keine physikalisch plausible Kopplung erreicht und das Springen des Filaments nicht unterbunden werden.

Da der Kopplungsmechanismus in Sentaurus keine komplexeren Kopplungen ermöglicht, musste eine Alternative zur Modellierung mit Sentaurus gefunden werden. Im Sinne einer höheren Abstraktion wurde daraufhin die Kompaktmodellierung auf SPICE-Ebene näher untersucht. Die getätigten Simulationsarbeiten bildeten damit die Grundlage für die Entwicklung eines Kompaktmodells, worauf im folgenden Abschnitt näher eingegangen wird.

5.4.3 Analytische Modelle

5.4.3.1 Stückweise lineares Modell

Im ersten Schritt wurde die S-förmige IV-Kurve der PIN-Diode mit einer stückweise linearen Funktion modelliert. Die IV-Kurve kann prinzipiell in drei Bereiche unterteilt werden. Vor dem Snapback, von Snapback bis zur Haltespannung und ab Erreichen der Haltespannung. Jeder der drei Bereiche wird dann mit einer eigenen Funktion beschrieben:

$$V(I) = V_{\text{trig}} \cdot \frac{|I|/A}{J_{\text{trig}}} \; ; \; f\ddot{u}r \; \frac{|I|}{A} \leq J_{\text{trig}} \tag{20}$$

$$V(I) = \text{sgn}(I) \cdot V_{\text{trig}} \cdot \left(1 - \frac{|I|/A - J_{\text{trig}}}{J_{\text{on}} - J_{\text{trig}}}\right) \; ; \; f\ddot{u}r \; J_{\text{trig}} < \frac{|I|}{A} < J_{\text{on}} \tag{21}$$

$$V(I) = V_{\text{on}}\ ;\ f\text{ür}\ \frac{|I|}{A} \geq J_{\text{on}} \tag{22}$$

V_{trig} und J_{trig} sind die Spannung bzw. die Stromdichte beim Snapback, A ist die Diodenfläche, V_{on} und J_{on} sind die Spannung bzw. Stromdichte am Haltepunkt. Der Simulationscode für das Modell ist in Anhang 8.3.1 zu finden. In Abbildung 63 ist die JV-Kennlinie für einen Parametersatz beispielhaft dargestellt. Die Diodenfläche beträgt $1\ \text{cm}^2$, die Snapback-Spannung $100\ \text{V}$, die Snapback-Stromdichte $20\ \text{A/cm}^2$, die Haltespannung $0\ \text{V}$ und die Halte-Stromdichte $80\ \text{A/cm}^2$.

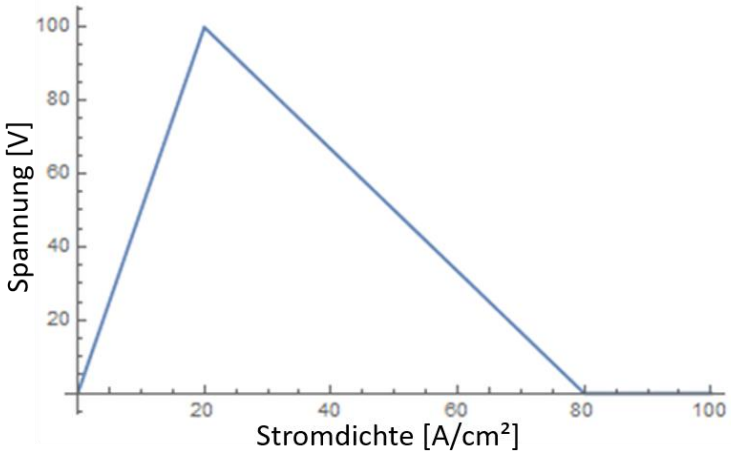

Abbildung 63 *JV-Kennlinie des stückweise linearen Modells einer PIN-Diode für A = 1 cm², J_{trig} = 20 A/cm², V_{trig} = 100 V, J_{on} = 80 A/cm² und V_{on} = 0 V.*

Mit Hilfe dieses Modells ist es möglich die rückläufige IV-Kennlinie aus Messung oder Simulation mit einfachen Mitteln zu beschreiben.

5.4.3.2 Quadratisches Modell

Möchte man die abrupten Übergänge innerhalb der stückweise linearen Funktion vermeiden, kann ein quadratischer Modell-Ansatz Abhilfe schaffen. Mit der folgenden Funktion kann eine glattere IV-Kennlinie beschrieben werden:

$$V(I) = 2\ \cdot V_{\text{trig}} \cdot \frac{|I|/A}{J_{\text{trig}}} \cdot \frac{1}{1 + \left(\frac{|I|/A}{J_{\text{trig}}}\right)^2} \tag{23}$$

Außerdem sind nur noch drei der fünf Parameter notwendig. Der Simulationscode für das Modell ist in Anhang 8.3.2 zu finden. In Abbildung 64 ist die JV-Kennlinie für eine Diodenfläche von $1\ \text{cm}^2$, eine Snapback-Spannung von $100\ \text{V}$ und eine Snapback-Stromdichte von $20\ \text{A/cm}^2$ dargestellt.

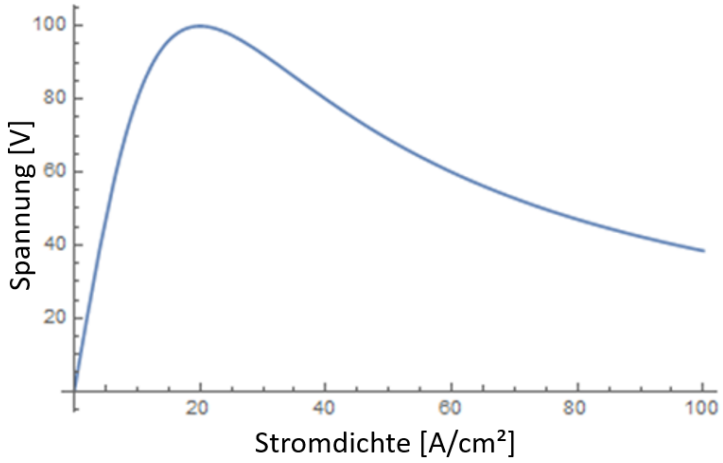

Abbildung 64 *JV-Kennlinie des quadratischen Modells einer PIN-Diode für A= 1 cm², J_{trig} = 20 A/cm² und V_{trig} = 100 V.*

Beide Modelle sind sehr simpel und können den quantitativen Verlauf der rückläufigen IV-Kennlinie einer PIN-Diode beschreiben.

5.4.3.3 Unipolares Modell

Bei der Analyse eines Layouts mit verschiedenen Dioden werden die Parameter der Modelle den entsprechenden Dioden angepasst. Dadurch ist es möglich eine Aussage zu treffen, welche Diode schaltet und welche nicht. Somit kann ein eventuell kritischer Pfad im Layout schnell gefunden werden. Dies setzt allerdings voraus, dass man für jede Diode vorher eine Simulation oder Messung durchführt und die Parameter für das Modell extrahiert.

Um diesen Aufwand zu umgehen, wurde versucht, die PIN-Diode nicht als Kennlinie, sondern als Diode mit verschieden dotierten Siliziumgebieten zu modellieren. Das gewünschte Stück Silizium im linearen Regime kann dabei in eines oder mehrere RC-Glieder unterteilt werden. Für hinreichend kleine RC-Glieder gilt die quasistationäre Näherung der Maxwell-Gleichungen [60], welche eine hinreichend gute Modellierung ermöglichen sollte. Das RC-Glied besteht aus der Parallelschaltung eines Widerstands und einer Kapazität, wie in Abbildung 65 dargestellt.

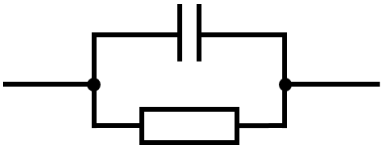

Abbildung 65 *Schematische Darstellung einer Parallelschaltung eines Widerstandes und einer Kapazität.*

Unter Berücksichtigung der Material- und Geometrieparameter können dann der entsprechende Widerstand bzw. die entsprechende Kapazität berechnet werden.

$$\rho_R = \frac{1}{q(\mu_n n + \mu_p p)} \tag{24}$$

$$R = \frac{\rho}{d} \tag{25}$$

$$C = \varepsilon_0 \, \varepsilon_r \, \frac{A}{d} \tag{26}$$

ρ ist der spezifische Widerstand, d ist die Strukturbreite, ε_0 und ε_r sind die Permittivität des Vakuums und von Silizium. Das RC-Glied spiegelt die entsprechende Dotierung wider, welche von den Majoritätsladungsträgern dominiert wird. Ein solches Modell kann auch als unipolares Modell betrachtet werden. Eine Erzeugung von zusätzlichen Ladungsträgern durch Stoßionisation oder das Fluten des intrinsischen Gebietes einer PIN-Diode mit Ladungsträgern nach dem Lawinendurchbruch können damit nicht abgebildet werden. Das unipolare Modell kann nur lineare Abhängigkeiten abbilden und ist deshalb ausschließlich für niedrige elektrische Felder geeignet. Das Anwendungsfeld von RC-Netzen ist dennoch sehr vielfältig, z.B. im Bereich der Substratkopplung [61].

5.4.3.4 Bipolares Modell

Um auch die Minoritätsladungsträger zu modellieren, kann eine zusätzliche Stromquelle verwendet werden. Das Ersatzschaltbild für das Bipolar-Modell (RCI-Modell) ist in Abbildung 66 gezeigt.

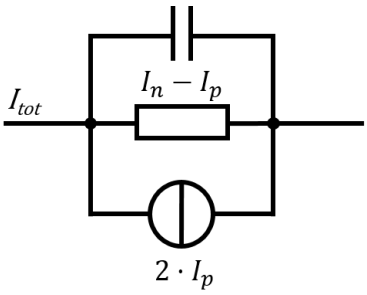

Abbildung 66 *Ersatzschaltbild des Bipolar-Modells bestehend aus der Parallelschaltung von einem Widerstand, einer Kapazität und einer Stromquelle.*

Die Stromquelle wird dabei so modelliert, dass sie bei einem bestimmten Schwellwert (I_{trig}) den gesamten Strom trägt und kein Strom mehr über das RC-Glied fließt.

$$I_{tot} = I_n + I_p \tag{27}$$

$$2 \cdot I_p = 0\,; \;\; \text{für } I_{tot} \leq I_{trig} \tag{28}$$

$$2 \cdot I_p = I_{tot}\,; \;\; \text{für } I_{tot} > I_{trig} \tag{29}$$

Das vollständige Modell ist in Anhang 8.3.3 zu finden. Für die SPICE-Simulation in Cadence Virtuoso wird das Bipolar-Modell mit einer Spannungsquelle verbunden. Als Widerstand wurden $100\,\Omega$ verwendet und die Kapazität betrug bei einer Kantenlänge von je $1\ \mathrm{cm}$ circa $1\ \mathrm{pF}$. Die Spannung wird von $0\ \mathrm{V}$ bis $1{,}6\ \mathrm{V}$ durchgefahren und der Strom stellt sich entsprechend ein (siehe Abbildung 67).

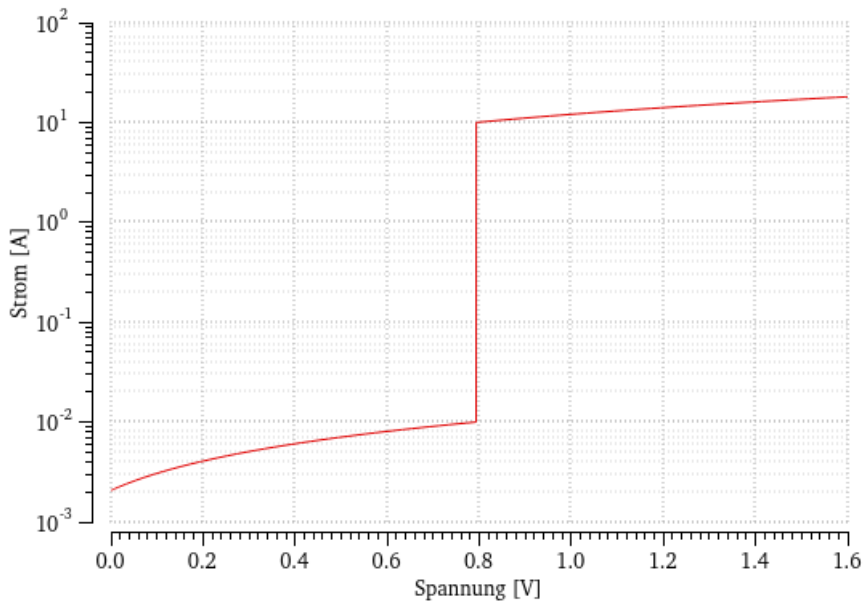

Abbildung 67 *IV-Kennlinie eines simulierten Bipolar-Modells. Beim Schwellwert von I_{trig} = 0,01A schaltet das Bauelement in den leitenden Zustand.*

Wie in Abbildung 67 zu sehen, fließt unterhalb des gewählten Schwellenwertes von $I_{\mathrm{trig}} = 0{,}01\ \mathrm{A}$ nur ein sehr geringer Strom über das RC-Glied. Mit Erreichen von I_{trig} übernimmt die Stromquelle den kompletten Stromfluss und es kommt zu einem sprunghaften Anstieg. Allerdings kann mit diesem Modell kein Snapback-Verhalten modelliert werden. Es zeigte sich, dass es mit nur einer Stromquelle nicht möglich ist, den Ladungstransport von Elektronen und Löchern zu modellieren. Außerdem kann die Mehrdeutigkeit der rückläufigen Kennlinie nicht abgebildet werden, da die Stromquelle bei einem Spannungswert zwei verschiedene Stromwerte erzeugen müsste, was jedoch nicht möglich ist.

Der nächste Ansatz wäre, den Ladungstransport von Elektronen und Löchern separat zu modellieren, sowie das elektrische Feld und die Stoßionisation mit zu berücksichtigen. Dadurch wäre es möglich, mit einem Kompaktmodell eine exakte rückläufige Kennlinie oder ein Stromfilament zu simulieren. Um dies zu realisieren werden physik-basierte Kompaktmodelle benötigt die weitgehend auf analytische Näherungen verzichten.

5.4.4 Physik-basierte Modelle

5.4.4.1 Kompaktmodell 1

Basierend auf analytischen Modellen aus der Literatur wurden mehrere physik-basierte Kompaktmodelle entwickelt. Die ersten beiden Modelle basieren auf den Arbeiten von Caruso [29]. Dieser untersuchte ein n-dotiertes Substrat mit einem Metallkontakt an der einen Seite und einem hoch n-dotierten Gebiet auf der anderen Seite (siehe Abbildung 68).

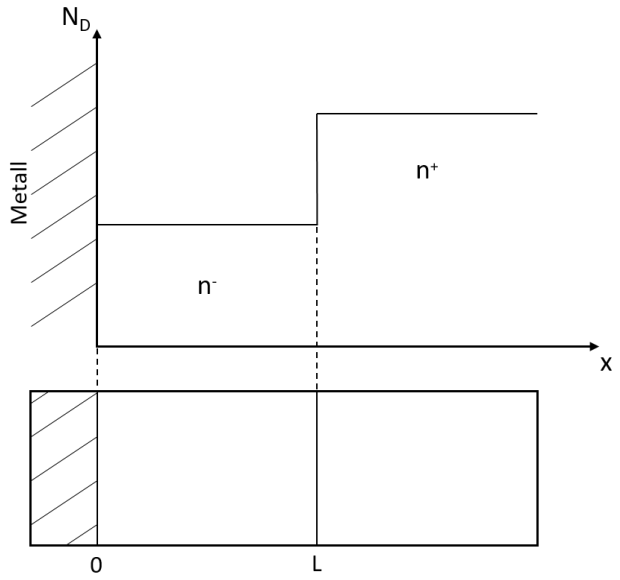

Abbildung 68 *Schematische Darstellung des Dotierprofils und der Strukturgeometrie nach [29].*

Caruso beschreibt ein analytisches Modell, in welchem die Stoßionisation in einem separaten Bereich am Übergang zwischen niedrig- und hochdotiertem n-Gebiet modelliert wird. Abhängig vom elektrischen Feld verändert sich die Breite dieser Zone, was entscheidend für eine korrekte Modellierung der Stoßionisation ist. Zusammen mit den Erkenntnissen aus den eigenen analytischen Modellen in Kapitel 5.4.3 und der separaten Stoßionisationszone nach Caruso wurde ein neues Modell aufgebaut. Das elektrische Feld, sowie der Ladungstransport von Elektronen- und Löchern wird auf separaten Bahnen modelliert. In Abbildung 69 ist das Ersatzschaltbild des Modells und das zugehörige elektrische Feld dargestellt.

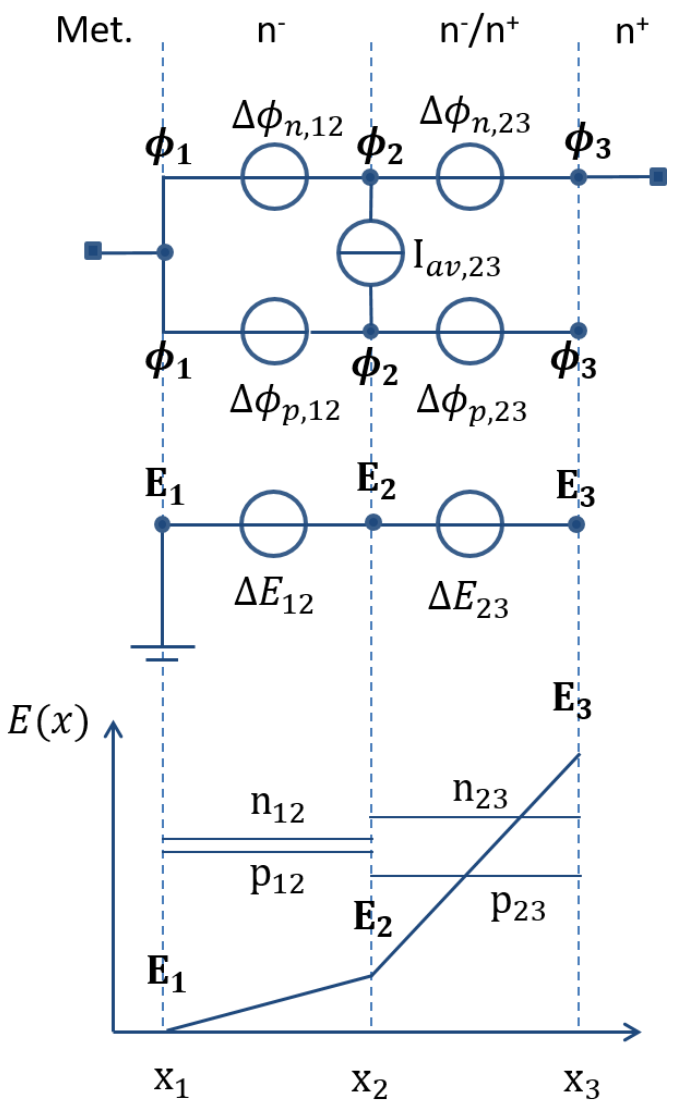

Abbildung 69 *Modell 1 nach Caruso. Ersatzschaltbild mit drei separaten Bahnen zur Modellierung des Ladungstransportes von Elektronen und Löchern und dem elektrischen Feld (oben). Schematische Darstellung des elektrischen Feldes und der Dotierung (unten).*

In diesem Modell kommen ausschließlich Spannungs- und Stromquellen zum Einsatz. Der Ladungstransport von Elektronen und Löchern stellt sich entsprechend der Potentialdifferenz auf den jeweiligen Bahnen ein:

$$\Delta\phi_{n,12} = \Delta\phi_{p,12} = \frac{E_1 + E_2}{2}\Delta x_{12} \tag{30}$$

$$\Delta\phi_{n,23} = \Delta\phi_{p,23} = \frac{E_2 + E_3}{2}\Delta x_{23} \tag{31}$$

Dabei beschreibt $\Delta\phi$ eine Potentialdifferenz für Elektronen bzw. Löcher zwischen zwei Knotenpunkten auf der entsprechenden Bahn unter Verwendung der jeweiligen elektrischen Felder E und der Breite der entsprechenden Zone Δx. Δx_{12} ist das niedrig n-dotierte Gebiet ohne Stoßionisation, Δx_{23}mit Stoßionisation. Die Generierung zusätzlicher Ladungsträger erfolgt aus dem hoch-n-dotierten Gebiet

und wird deshalb von Elektronen dominiert. Der zusätzliche Stromfluss durch Stoßionisation wird im Gebiet Δx_{23} wie folgend modelliert:

$$I_{av,23} = \Delta x_{23} \cdot \alpha_{\infty} \cdot e^{-\frac{2b}{E_2+E_3}} \cdot I_{tot} \tag{32}$$

wobei α_{∞} und b Stoßionisationskoeffizienten für Elektronen sind und I_{tot} der Gesamtstrom. Die Differenz des elektrischen Feldes zwischen den jeweiligen Knotenpunkten lässt sich folgendermaßen beschreiben:

$$\Delta E_{12} = -\frac{\Delta x_{12}}{\varepsilon_0 \cdot \varepsilon_r \cdot v_{sat} \cdot A}(I_{n,12} - I_{p,12}) \tag{33}$$

$$\Delta E_{23} = -\frac{\Delta x_{23}}{\varepsilon_0 \cdot \varepsilon_r \cdot v_{sat} \cdot A}(I_{n,23} - I_{p,23}) \tag{34}$$

Mit der Sättigungsgeschwindigkeit v_{sat}, der Querschnittsfläche A und den Elektronen- bzw. Löcherströmen I_n und I_p auf der jeweiligen Bahn.

Die Breite der Stoßionisationszone ist abhängig vom elektrischen Feld an der n^-/n^+ Grenzfläche und den somit erzeugten zusätzlichen Ladungsträgern. Bei steigendem elektrischem Feld wird die Zone, in welcher Stoßionisation stattfindet, schmaler. Der Übergang vom niedrig-n-dotierten Gebiet ohne Stoßionisation zum Gebiet mit Stoßionisation wird durch den Punkt x_2 festgelegt. Dieser Punkt ist abhängig von der Gesamtlänge L der niedrig dotierten Zone und wird über folgende Funktion bestimmt:

$$\mathrm{x}_2 = \min\left(\mathrm{L}, \sqrt{\frac{\varepsilon_0 \cdot \varepsilon_r \cdot v_{sat} \cdot b \cdot A}{2 \cdot \alpha_{\infty} \cdot I_{tot}} e^{\frac{b}{E_2}}}\right) \tag{35}$$

$$\Delta \mathrm{x}_{12} = \mathrm{x}_2 - \mathrm{x}_1 \tag{36}$$

$$\Delta \mathrm{x}_{23} = x_3 - \mathrm{x}_2 \tag{37}$$

Die Herleitung von Gleichung (35) ist im Anhang 8.4.1 zu finden. Die Randbedingungen wurden so gewählt das keine Ladungsträgerinjektion aus dem Metall in das n^--Gebiet stattfinden kann und das dort kein elektrisches Feld vorhanden ist. Zusätzlich findet kein Löchertransport in das n^+-Gebiet statt. Das vollständige Modell ist in Anhang 8.3.4 zu finden.

Ganz ohne analytische Näherungen kommt das Modell nicht aus. Vor allem der hochgradig nichtlineare Prozess der Ladungserzeugung durch Stoßionisation führt zu starken Konvergenzproblemen in der Simulation. Deshalb wurde hier die Näherung in Gleichung (32) verwendet, sowie die Breite der Stoßionisationszone mit Hilfe von Gleichung (35) approximiert. In Abbildung 70 ist die Breite der n-dotierten Zone ohne Stoßionisation $\Delta \mathrm{x}_{12}$ in Abhängigkeit von der Stromdichte bildlich dargestellt.

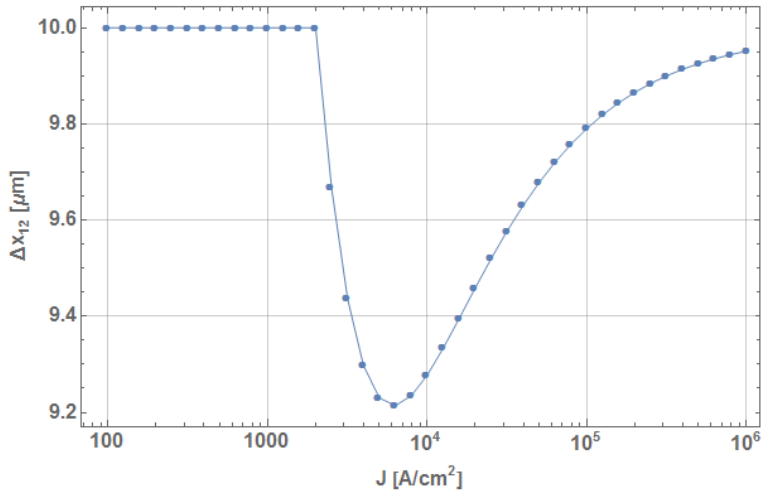

Abbildung 70 *Breite der niedrig-n-dotierten Zone ohne Stoßionisation in Abhängigkeit von der Stromdichte. Die Gesamtbreite L beträgt in diesem Beispiel 10 µm.*

Das Modell wurde im Cadence Virtuoso erstellt und mit Hilfe einer Testbench, bestehend aus einer Stromquelle, einem Massekontakt und dem Modell selbst, simuliert. Es handelt sich dabei um eine transiente Simulation, bei der der Strom linear hochgefahren wurde. In Abbildung 71 sind Spannung über der Zeit sowie Spannung gegen Stromdichte dargestellt. Modell 1 zeigt gute Konvergenz und physikalisch sinnvolles Verhalten.

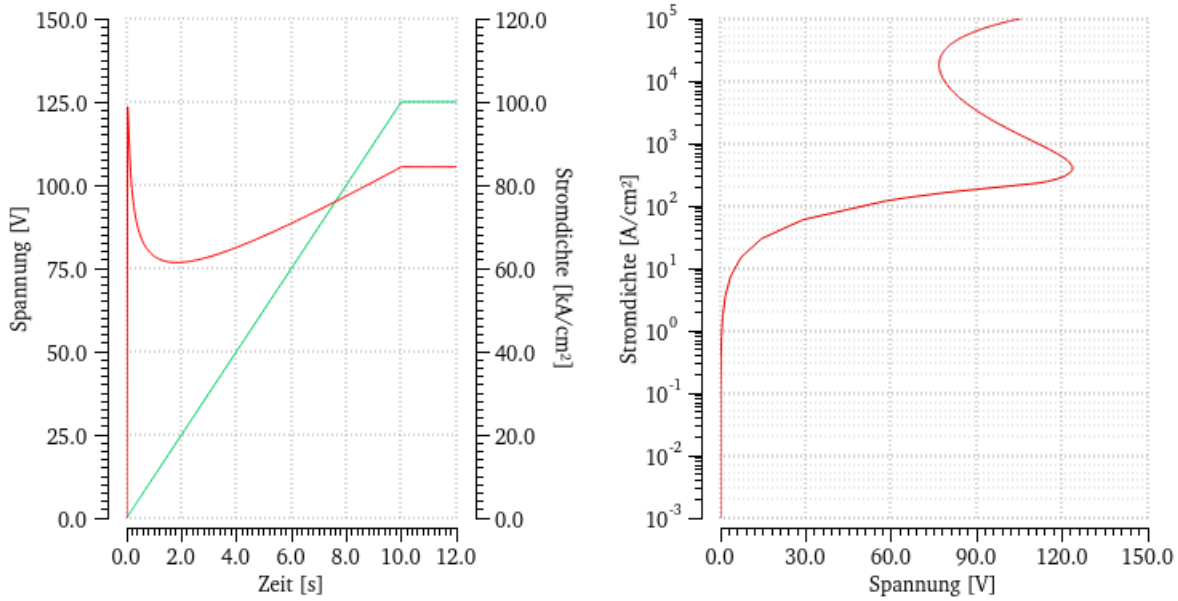

Abbildung 71 *Stromdichte- und Spannungskennlinie für eine transiente Simulation von Modell 1.*

5.4.4.2 Kompaktmodell 2

Zur vollständigen Modellierung einer PIN-Diode muss das Modell 1 noch um einen p/n-Übergang erweitert werden. Anhand von TCAD-Simulationen kann gezeigt werden, dass die Annahme mit der variablen Breite der Stoßionisationszone für den n^-/n^+ Übergang auch für den p/n Übergang gilt. Das

elektrische Feld und die Ladungsträgerdichten der TCAD-Simulationen, sowie das angepasste Ersatzschaltbild für ein Kompaktmodell einer PIN-Diode sind in Abbildung 72 dargestellt.

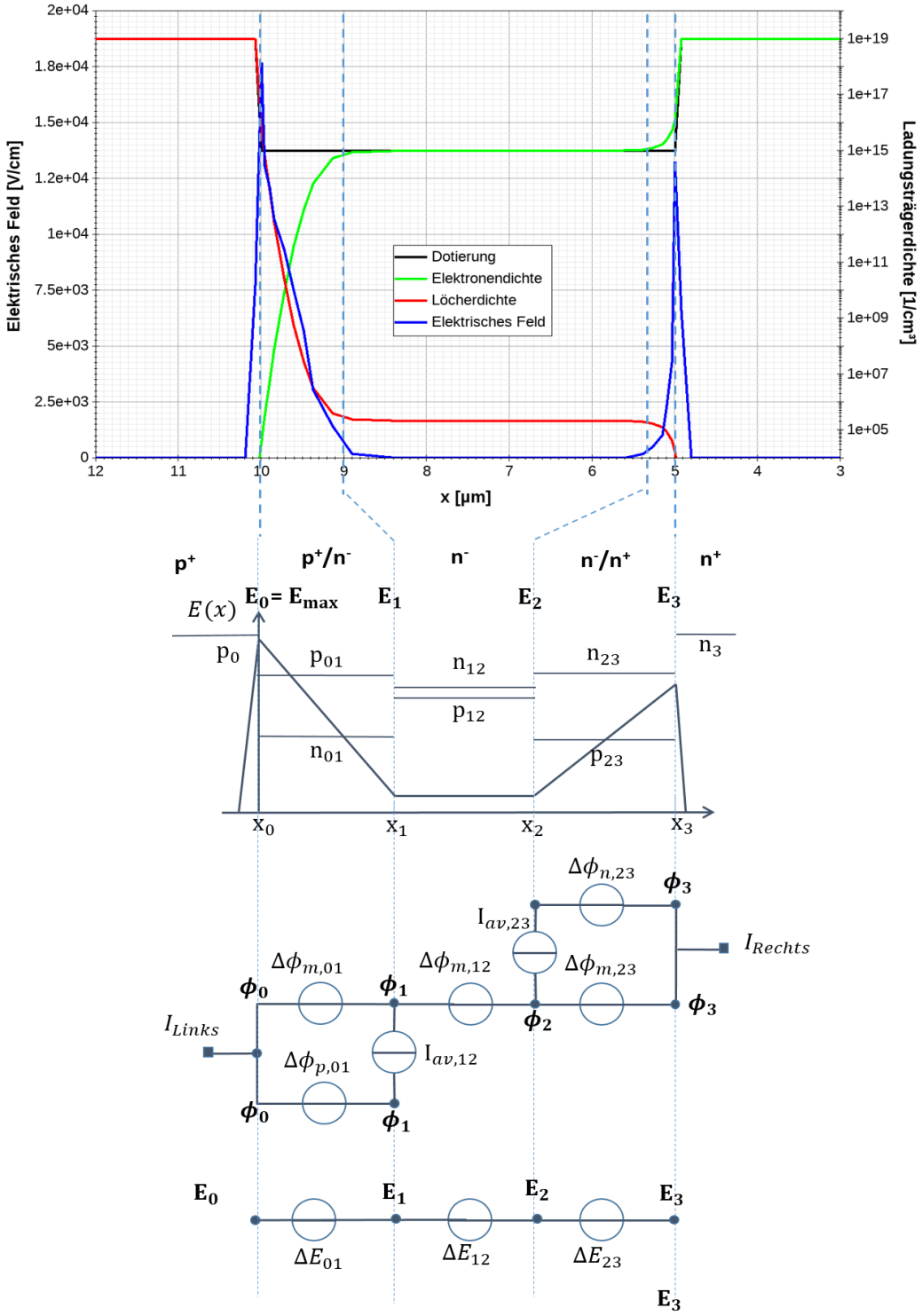

Abbildung 72 *Verteilung des elektrischen Feldes und der Ladungsträgerdichten einer in TCAD simulierten PIN-Diode (oben). Schematische Darstellung des elektrischen Feldes und der Dotierkonzentrationen (Mitte) und das Ersatzschaltbild von Modell 2 für eine PIN-Diode (Unten).*

Der Unterschied zum Modell 1 kennzeichnet sich dadurch aus, dass zum einen ein p/n Übergang hinzugefügt wurde und zum anderen im n^--Gebiet nur noch eine Bahn zum Modellieren von Elektronen

und Löchern verwendet wird. Vor dem Snapback findet der Ladungstransport ausschließlich durch Majoritätsladungsträger statt und nach dem Snapback zu gleichen Teilen von Elektronen und Löchern, weshalb diese Vereinfachung vorgenommen werden konnte. Die Formeln zur Beschreibung des Modells 2 sind für das n^- und n^+ -Gebiet analog zum Modell 1. Hinzu kommt der p/n Übergang, welcher in der Literatur sehr detailliert beschrieben ist [4]. Daraus leiten sich für den Ladungstransport der Elektronen und Löcher folgende Gleichungen ab:

$$\Delta\phi_{m,01} = -V_t \cdot log\left(\frac{I_{m,01}}{I_{tot}} + 1\right) \tag{38}$$

$$\Delta\phi_{p,01} = -V_t \cdot log\left(\frac{I_{p,01}}{I_{tot}} + 1\right) \tag{39}$$

$$V_t = \frac{k_B \cdot T}{q} \tag{40}$$

V_t ist die Temperaturspannung, k_B die Bolzmannkonstante und T die Temperatur. Das elektrische Feld am p/n Übergang ist auf Grund der Dotierunterschiede größer als das am n^-/n^+ Übergang und durch folgende Gleichung [4] gegeben:

$$\Delta E_{max} = N_D \cdot \sqrt{\frac{2q}{\varepsilon_0 \cdot \varepsilon_r} \cdot \left(\frac{N_A + N_D}{N_A \cdot N_D}\right) \cdot \left(V_{bi} + \Delta\phi_{p,01}\right)} \tag{41}$$

$$V_{bi} = V_t \cdot ln\left(\frac{N_D \cdot N_A}{n_i^2}\right) \tag{42}$$

V_{bi} ist die Diffusionsspannung. Die Differenz des elektrischen Feldes in der Stoßionisationszone am p/n Übergang beträgt:

$$\Delta E_{01} = -\frac{\Delta x_{01}}{\varepsilon_0 \cdot \varepsilon_r \cdot v_{sat} \cdot A}(I_{m,01} - I_{p,01}) \tag{43}$$

Die Breite der Stoßionisationszone Δx_{01} und der Stoßionisationsstrom $\Delta I_{av,01}$ am p/n Übergang ergeben sich aus den folgenden Gleichungen:

$$\Delta I_{av,01} = \Delta x_{01} \cdot \alpha_\infty \cdot e^{-\frac{2b}{E_0+E_1}} \cdot I_{tot} \tag{44}$$

$$\Delta x_{01} = x_1 - x_0 \tag{45}$$

$$\mathrm{x}_1 = \sqrt{\frac{2 \cdot \varepsilon_0 \cdot \varepsilon_r \cdot (V_{Bi} - \phi_0)}{q \cdot N_D}} \tag{46}$$

wobei Δx_{01} der Breite der Raumladungszone im n^- -Gebiet entspricht.

Als Randbedingung wurde angenommen, dass im p-Gebiet kein Transport von Elektronen und im n^+-Gebiet kein Transport von Löchern stattfindet. Das vollständige Modell ist in Anhang 8.3.5 zu finden. Die Spice Simulation wurde analog zum Modell 1 aufgesetzt. Die Kennlinien sind in Abbildung 73 dargestellt.

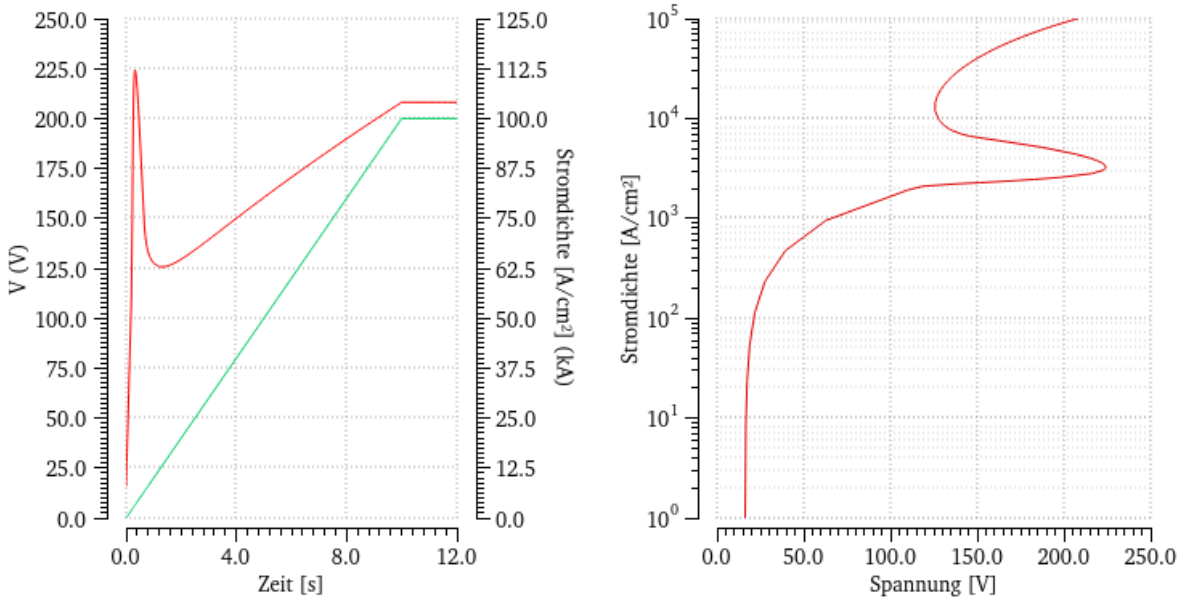

Abbildung 73 *Stromdichte- und Spannungskennlinie für eine transiente Simulation von Modell 2.*

Das Modell 2 gibt die typische S-förmige Kennlinie einer PIN-Diode in Sperrrichtung gut wieder. Allerdings können nicht alle Parameterkombinationen frei gewählt werden, da die Simulation sonst nicht konvergiert. Außerdem ist das Modell nur für langsame Pulse gültig, da kein Zeitverhalten modelliert wird. Weil ein ESD-Ereignis sich im Bereich von wenigen Nanosekunden abspielt ist es unerlässlich diese Dynamik mit zu modellieren. Zusätzliche Kapazitäten sollen dabei Abhilfe schaffen.

5.4.4.3 Kompaktmodell 3

Zur Modellierung eines zeitabhängigen Verhaltens genügt es den Unterschied zum thermischen Gleichgewicht zu modellieren. Beim Ladungstransport von Elektronen und Löchern werden nur die zusätzlich erzeugten Ladungsträger, die Überschuss-Ladungsträger, modelliert. Eine Änderung des elektrischen Feldes führt zu einer Änderung im Verschiebungsstrom. Dieser wird auf einer dritten Bahn mit Hilfe von Kapazitäten modelliert und liefert somit die gewünschte Dynamik für das Modell. Basierend auf den Arbeiten aus der Literatur [29], [62]-[64] wurde ein neues Modell erstellt, welches auf gesteuerte Verhaltensquellen und Kapazitäten setzt. Verhaltensquellen bieten den Vorteil, dass man Strom, Spannung, Widerstand und Kapazität in einer Quelle modellieren kann. In Abbildung 74 ist das Ersatzschaltbild von Modell 3 dargestellt.

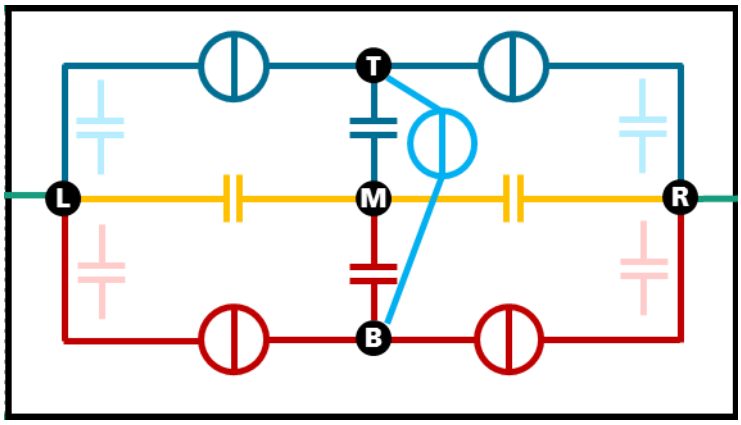

Abbildung 74 *Ersatzschaltbild von Modell 3. Modelliert Elektronen-, Löcher- und Verschiebungsstrom auf separaten Bahnen.*

Das Modell modelliert den Stromfluss von Elektronen (rot) und Löchern (blau), sowie den Verschiebungsstrom (gelb) auf unterschiedlichen Bahnen. Aus der Transport-, der Kontinuitäts- und der Poisson-Gleichung folgt für die jeweiligen Knotenpunkte und Bahnen:

Tabelle 2 *Gleichungen für Modell 3 die in den jeweiligen Knotenpunkten und Bahnen gelöst werden*

Knoten	Formel	
T	$-\nabla J_p^T = q \cdot \dot{U}_{TM} = q \cdot \dot{p}_e$	(47)
M	$J_d^{LM} - J_d^{MR} + J_p^{TM} - J_n^{MB} = 0$	(48)
	$\varepsilon_0 \cdot \varepsilon_r \cdot \nabla \mathcal{E}_M = q(n_e - p_e)$	(49)
B	$\nabla J_n^B = q\, \dot{U}_{MB} = q \cdot \dot{n}_e$	(50)
L → M	$J_d^{LM} = \varepsilon_0 \cdot \varepsilon_r \cdot \dot{U}_{LM} = \varepsilon_0 \cdot \varepsilon_r \cdot \dot{\mathcal{E}}_{LM}$	(51)
M → R	$J_d^{MR} = \varepsilon_0 \cdot \varepsilon_r \cdot \dot{U}_{MR} = \varepsilon_0 \cdot \varepsilon_r \cdot \dot{\mathcal{E}}_{MR}$	(52)
T → B	$\nabla J_d^T = -\nabla J_d^B = \alpha_n \lvert J_n^B \rvert + \alpha_p \lvert J_p^T \rvert$	(53)

Der vollständige Satz an Modellgleichungen ist in Anhang 8.3.6 zu finden. Die Spice Simulation wurde analog zu den vorherigen Modellen aufgesetzt und die IV-Kennlinie ist in Abbildung 75 dargestellt.

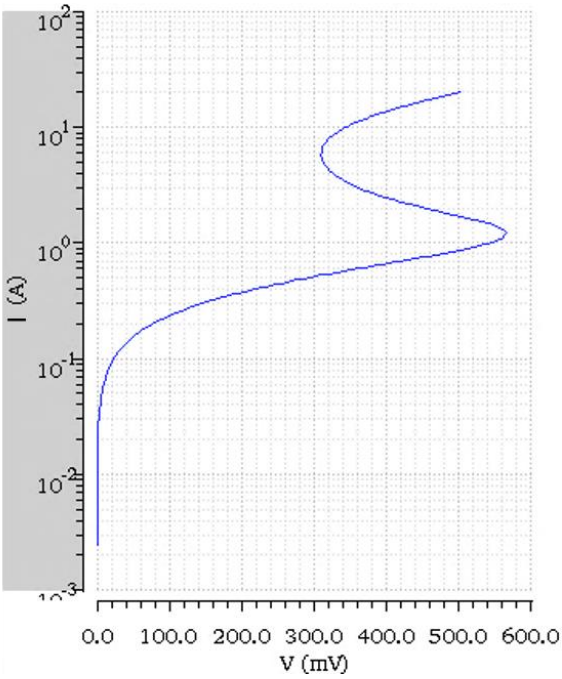

Abbildung 75 *Simulierte IV-Kennlinie mit Modell 3 zeigt das typische Snapback verhalten in Sperrrichtung.*

Bei der Simulation von Modell 3 zeigt die IV-Kennlinie das gewünschte S-förmige Verhalten, allerdings nur bei Verwendung der korrekten Parametrisierung. Die Verwendung von Verhaltensquellen innerhalb einer Netzliste hat sich eher als nachteilig herausgestellt, da der Aufwand für das Anlegen, Editieren und Anpassen der einzelnen Elemente sehr unübersichtlich wird.

5.4.4.4 Kompaktmodell 4

Im Hinblick auf die Analyse eines kompletten Layouts auf ESD-Festigkeit ist wiederum der Ansatz aus Modell 2 auch ungeeignet, da dort die komplette Diode in nur einem Modell abgebildet wird. Besser wäre es, für jedes Gebiet ein eigenes Modell zu haben und somit Layout-spezifisch die verschiedenen 1D-Modelle miteinander zu koppeln. Basierend auf Modell 3 wurde ein neues Modell entwickelt, was Substrat, n^-/n^+- und p/n- Übergang separat modelliert und die Physik noch besser widerspiegelt. Für Substrat ist das Ersatzschaltbild in Abbildung 76 dargestellt.

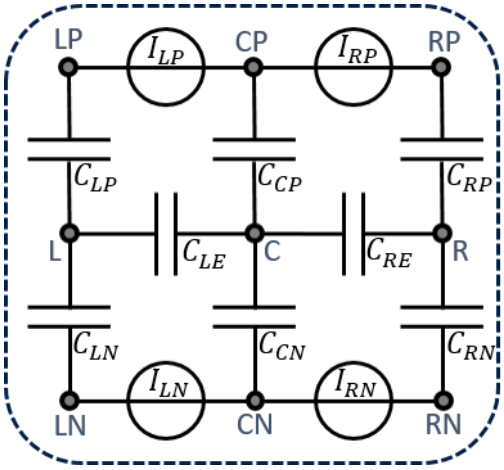

Abbildung 76 *Ersatzschaltbild Modell 4 für Siliziumsubstrat.*

Wie in den vorherigen Modellen wird auch hier der Stromfluss aus Elektronen- und Löchern auf separaten Bahnen modelliert:

$$I_{LP} = A \cdot q \cdot ([p_0 + p_L] \cdot \mu_L \cdot E_L - D \cdot \nabla p_L) \tag{54}$$

$$I_{RP} = A \cdot q \cdot ([p_0 + p_R] \cdot \mu_R \cdot E_R - D \cdot \nabla p_R) \tag{55}$$

$$I_{LN} = A \cdot q \cdot ([n_0 + n_L] \cdot \mu_L \cdot E_L + D \cdot \nabla n_L) \tag{56}$$

$$I_{RN} = A \cdot q \cdot ([n_0 + n_R] \cdot \mu_R \cdot E_R + D \cdot \nabla n_R) \tag{57}$$

Mit den Dotierkonzentrationen p_0 und n_0, den Überschussladungsträgern $p_{L,R}$ und $n_{L,R}$, den Ladungsträgermobilitäten $\mu_{L,R}$, den elektrischen Feldern $E_{L,R}$ und dem Diffusionskoeffizienten D. Das elektrische Feld wird über die mittlere Bahn modelliert:

$$E_L = \frac{2 \cdot V(L,C)}{W} \tag{58}$$

$$E_R = \frac{2 \cdot V(C,R)}{W} \tag{59}$$

mit der Weite W des Siliziumsubstrates. Die Überschussladungsträger werden entsprechend der Spannungen auf den jeweiligen Bahnen modelliert:

$$n_L = \frac{n_0 \cdot \big(V(L,LN) + V(C,CN)\big)}{2\,V_t} \tag{60}$$

$$n_R = \frac{n_0 \cdot \big(V(C,CN) + V(R,RN)\big)}{2\,V_t} \tag{61}$$

$$p_L = \frac{p_0 \cdot \big(V(LP,L) + V(CP,C)\big)}{2\,V_t} \tag{62}$$

$$p_R = \frac{p_0 \cdot \big(V(CP,C) + V(RP,R)\big)}{2\,V_t} \tag{63}$$

Um einen glatten Übergang von niedrigen zu hohen elektrischen Feldern zu ermöglichen, wurden die Mobilitäten feldabhängig nach Caughey und Thomas [65] im Modell implementiert:

$$\mu_L = \mu_0 \left[1 + \left(\frac{\mu_0 \cdot E_L}{v_{sat}}\right)^{\beta}\right]^{-\frac{1}{\beta}} \tag{64}$$

$$\mu_R = \mu_0 \left[1 + \left(\frac{\mu_0 \cdot E_R}{v_{sat}}\right)^{\beta}\right]^{-\frac{1}{\beta}} \tag{65}$$

mit $\beta = 1$ für Löcher und $\beta = 2$ für Elektronen. Die Kapazitäten wurden anteilig am Gesamtvolumen des Siliziumsubstrates bestimmt:

$$C_{LP} = C_{RP} = \frac{q \cdot p_0 \cdot A \cdot W}{4 \cdot V_T} \tag{66}$$

$$C_{CP} = \frac{q\, p_0 A\, W}{2V_T} \tag{67}$$

$$C_{LN} = C_{RN} = \frac{q \cdot n_0 \cdot A \cdot W}{4 \cdot V_T} \tag{68}$$

$$C_{CN} = \frac{q \cdot n_0 \cdot A \cdot W}{2 \cdot V_T} \tag{69}$$

$$C_{LE} = C_{RE} = \frac{2 \cdot \varepsilon_0 \cdot \varepsilon_r \cdot A}{W} \tag{70}$$

Für den Diffusionsterm werden außerdem die Gradienten der Ladungsträgerkonzentrationen benötigt:

$$\nabla p_L = \frac{2\left(V(CP,C) - V(LP,L)\right)}{W} \tag{71}$$

$$\nabla n_L = \frac{2\left(V(C,CN) - V(L,LN)\right)}{W} \tag{72}$$

$$\nabla p_R = \frac{2\left(V(RP,R) - V(CP,C)\right)}{W} \tag{73}$$

$$\nabla n_R = \frac{2\left(V(R,RN) - V(C,CN)\right)}{W} \tag{74}$$

Als Inputparameter werden für das Modell also lediglich die Geometriedaten (A, W), die Dotierungen (n_0, p_0), die Diffusionskoeffizienten (D_n, D_p), die Mobilität μ_0 und die Sättigungsgeschwindigkeit v_{Sat} benötigt.

Zur Simulation einer PIN-Diode müssen nun noch die Gebiete für den p/n- und den n^-/n^+- Übergang hinzugefügt werden. Das Gesamtmodell ist in Abbildung 77 zu sehen.

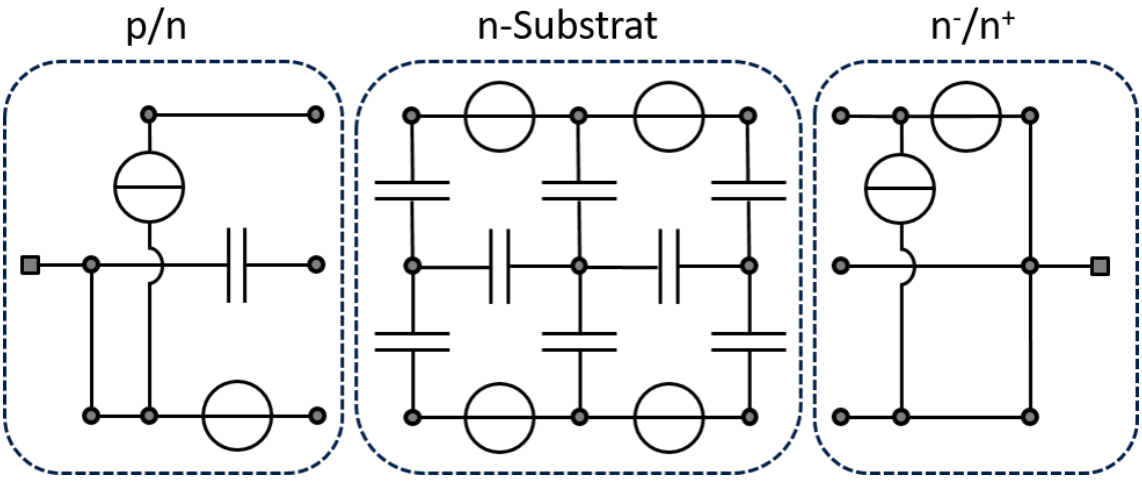

Abbildung 77 *Gesamtmodell einer PIN-Diode bestehend aus den drei Einzelmodellen für einen p/n-Übergang, dem Siliziumsubstrat(n^--dotiert) und dem n^-/n^+-Übergang.*

Für den n^-/n^+ Übergang wird lediglich eine Spannungsquelle benötigt, die den Löcherstrom im n^+-Gebiet unterbindet und eine Stromquelle zur Erzeugung zusätzlicher Elektronen durch Stoßionisation. Mithilfe des Multiplikationskoeffizienten M (siehe Kapitel 2.4) lässt sich der Stoßionisationsstrom folgendermaßen beschreiben:

$$I_{Stoß} = \left(1 - \frac{1}{M}\right) \cdot I_{tot} \tag{75}$$

Mit den Gleichungen (14) und (15) lässt sich der Multiplikationskoeffizient beschreiben. Im Fall eines Lawinendurchbruchs geht M gegen unendlich und das Integral über den Ionisationskoeffizienten geht gegen 1. Das Integral über den Ionisationskoeffizienten wurde im Modell nicht verwendet. Stattdessen wurde auf Basis von TCAD-Simulationen eine analytische Funktion gefunden, welche die Physik gut beschreibt:

$$M = 1 + \frac{2}{1 + \exp\left[\left(\frac{\mathrm{b}}{I_{tot}/A}\right)^{1.5}\right]} \tag{76}$$

mit $b = 10^8$ für Elektronen. Analog dazu wurde für den p/n-Übergang ebenfalls eine analytische Funktion gewählt, allerdings unter Berücksichtigung der Breite der Verarmungszone:

$$M = \exp\left[\left(\frac{3{,}5 \cdot I_{tot}}{x_d}\right)^{10}\right] - 1 \tag{77}$$

$$x_d = \sqrt{\frac{2 \cdot \varepsilon_0 \cdot \varepsilon_r}{q} \cdot \left(\frac{N_A + N_D}{N_A \cdot N_D}\right) \cdot (V_{bi} - V)} \tag{78}$$

Zur Modellierung des p/n-Übergangs wird außerdem eine Kapazität und eine Spannungsquelle benötigt:

$$C_{PN} = \frac{\varepsilon_0 \cdot \varepsilon_r \cdot A}{W \cdot \sqrt{1 - \frac{V}{V_{bi}}}} \tag{79}$$

Die Spannungsquelle ist analog zum Substratmodell mittels Gleichungen (54) - (57) definiert.

Das gesamte Modell wurde in der Testschaltung mit Stromquelle und Massekontakt simuliert. Der Simulationscode für das Modell ist in Anhang 8.3.7 zu finden. Die gegenläufigen Stromquellen für die Stoßionisation im p/n- und im n^-/n^+-Gebiet führen allerdings zu erheblichen Konvergenzproblemen und zu nicht reproduzierbaren Ergebnissen. Zum Vergleich mit Modell 1 wurde der p/n-Übergang in der nachfolgenden Simulation weggelassen und somit konnte eine rückläufige Kennlinie simuliert werden. Vorteil von Modell 4 ist es, dass es die Zeitabhängigkeit auf Grund der verwendeten Kapazitäten gut nachbilden kann. In Abbildung 78 ist ein Vergleich für eine transiente Simulation für $10\ \mathrm{s}$ und $10\ \mathrm{ns}$ gezeigt. Für sehr schnelle Pulse wie im Falle eines ESD-Ereignisses kommt es zu einem transienten Überschwingen, weshalb die Snapback-Spannung dort höher ist.

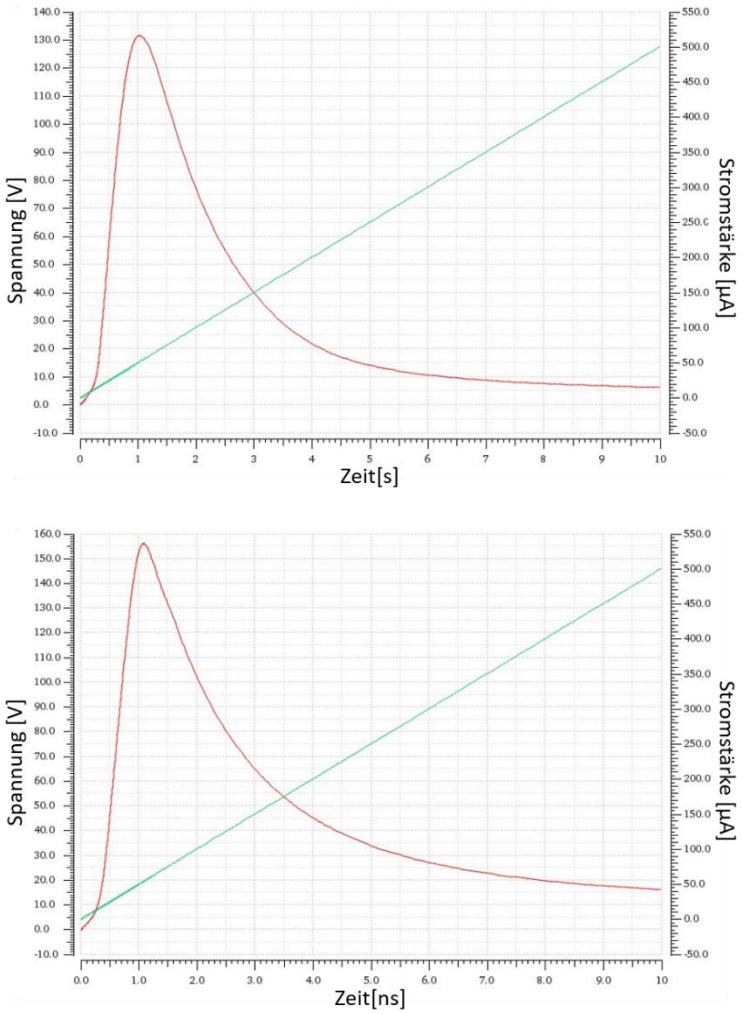

Abbildung 78 *Simulierte IV-Kennlinie eines n-Substrates mit n^-/n^+-Übergang nach Modell 4. Einstellen unterschiedlicher Snapback-Spannungen entsprechend der Anstiegszeiten.*

Die physikalischen Modelle sind in der Lage die rückläufige S-förmige Kennlinie nachzubilden. Umso mehr Physik in das Modell hineingesteckt wird, desto schlechter wird allerdings auch die Konvergenz. Für einzelne Bauelemente ist die Verwendung prinzipiell möglich, für ein komplettes Layout hingegen ungeeignet. Zumal bei einer sehr großen Anzahl an Elementen die Simulationszeit für physik-basierte Modelle zu groß wird, um einen echten Vorteil gegenüber einer Bauteilsimulation wie TCAD zu erhalten.

5.4.5 Kopplung von 1D-Modellen

Das Layout einer komplexen Diode lässt sich mit einem einzigen 1D-Modell nicht beschreiben. Ebenso wenig lässt sich die Bewegung des Stromfilaments mit nur einem 1D-Modell beschreiben, da die innere Kopplung zwischen den 1D-Elementen fehlt. Um das physikalische Verhalten des Filaments nachzubilden ist ein Ladungsträger-Austausch zwischen den 1D-Elementen notwendig. Dazu müssen mehrere 1D-Modelle zu einem 2D- oder auch 3D-Netzwerk zusammengeschaltet werden. Da die

physik-basierten Modelle schon als Einzelmodell nur schwer bis gar nicht konvergieren, wurde für die Kopplung mehrerer Modelle das analytische RCI Modell gewählt. In einer 2D-Testschaltung wurden $5\ x\ 5$ Elemente horizontal bzw. vertikal miteinander verbunden und simuliert (siehe Abbildung 79).

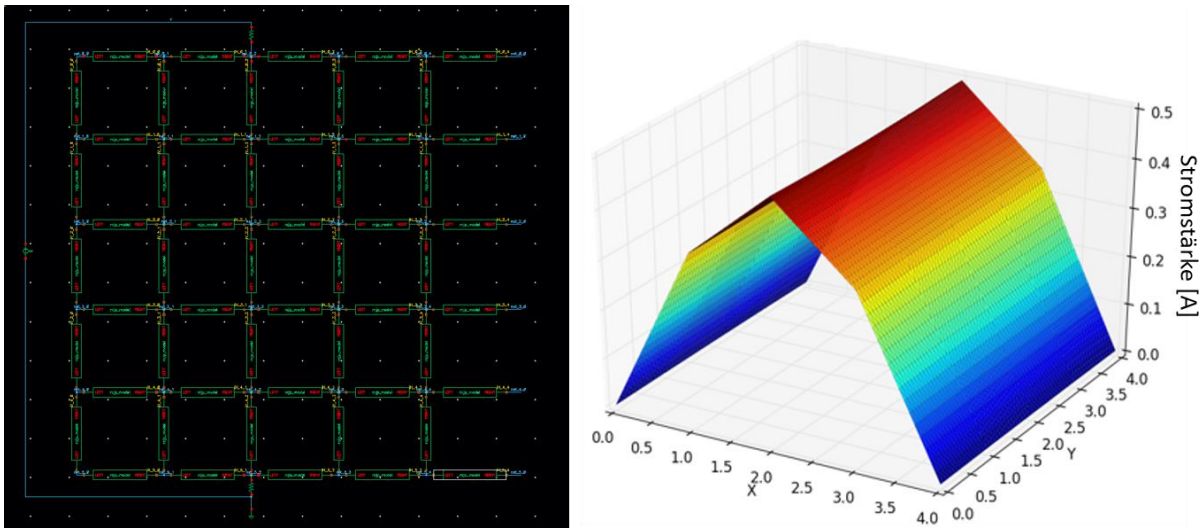

Abbildung 79 *Array aus 5 x 5 RCI Modellen (links) und 3D Plot zeigt Stromfilament in der Mitte des Arrays (rechts).*

Das Modell zeigt eine gute Konvergenz und weist einen überwiegend vertikalen Stromfluss entsprechend eines Strom-Filaments auf. Allerdings ist in dieser Testschaltung nicht berücksichtigt, dass bei einem realen Stromfilament der vertikale Stromfluss innerhalb des Filaments deutlich größer ist als der laterale Stromfluss. Der laterale Strom fließt zwischen dem Bereich mit hoher Stromdichte innerhalb des Filaments und dem Bereich mit geringer Stromdichte außerhalb des Filaments. Die laterale Kopplung kann mit folgender Näherung beschrieben werden:

$$I_{lat} = \sigma \cdot A \cdot \frac{U}{\Delta x} = \frac{\mu}{v_{sat}} \cdot J_{tot} \cdot \frac{A}{\Delta x} \cdot U \tag{80}$$

$$I_{lat} = \frac{\mu}{v_{sat}} \cdot \frac{1}{\Delta x} \cdot (I_0 - I_1) \cdot U \tag{81}$$

$$R_{lat} = \frac{v_{sat} \cdot \Delta x}{\mu} \cdot \frac{1}{(I_0 - I_1)} \tag{82}$$

Simuliert wurde nun ein Array von $10\ x\ 10$ Elementen mit dem RCI-Modell in der vertikalen Richtung und dem Widerstand nach Gleichung (82) in die laterale Richtung (siehe Abbildung 80).

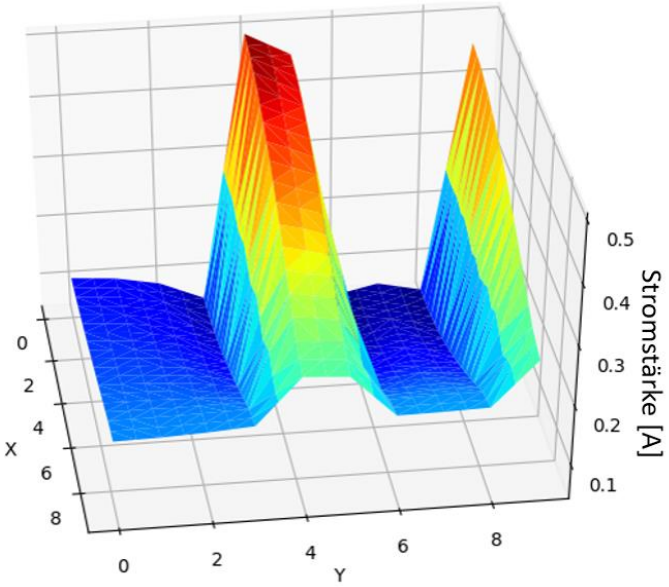

Abbildung 80 *3D Plot eines Arrays aus 10 x 10 Elementen mit dem RCI-Modell (vertikal) und einem Kopplungswiderstand (lateral).*

Auch bei dieser Simulation zieht sich der Strom zu einem Filament zusammen. Die Breite des Filaments variiert allerdings je nach eingeprägter Stromstärke. Durch die Kopplung mit dem lateralen Widerstand ist die Form des Stromfilaments modellierbar. Allerdings wurden auch mehrere Filamente beobachtet, was bei diesen Strukturen nicht realistisch ist.

5.5 Zusammenfassung

Für silizium-basierte PIN-Dioden wurden Untersuchungen mittels TCAD-Simulationen und TLP-Messungen durchgeführt. Mit Hilfe der TCAD-Simulationen konnten grundlegende Mechanismen und physikalische Phänomene, wie die Bildung und Bewegung eines Stromfilaments analysiert werden. Der Einfluss unterschiedlicher Geometrien auf die Breite und Geschwindigkeit des Stromfilaments und der damit einhergehenden Lebensdauer konnte nachgewiesen werden. Auf Basis dieser Erkenntnisse wurden Vorschläge für ein optimiertes Design von ESD-Schutzstrukturen gemacht.

Zur Evaluierung der Simulationen wurden spezielle Teststrukturen hergestellt, welche eine möglichst lange Bewegungsdauer des Filaments ermöglichen sollten. Anhand von TLP-Messungen wurde das Verhalten unter ESD-Einwirkung auf die Teststrukturen untersucht. In dieser Arbeit wurden vier Teststrukturen im Detail betrachtet. Zum besseren Verständnis sind die Layouts in Abbildung 81 erneut dargestellt. Die zylindrische Diode (Layout A) und die 8-förmige Diode mit einer Dicke von 10 µm (Layout D) zeigten ein zu erwartendes Verhalten. Wohingegen die Hohldiode mit abgerundeten Ecken (Layout B) und die 8-förmige Diode mit einer Dicke von 2 µm (Layout C) zusätzliche

Spannungseinbrüche und somit mehrere Einschaltwiderstände aufweisen. Dieses Verhalten legte die Vermutung nahe, dass mehrere Stromfilamente gleichzeitig existieren müssen. Diese Hypothese ließ sich mit TCAD-Simulationen der Teststrukturen bestätigen.

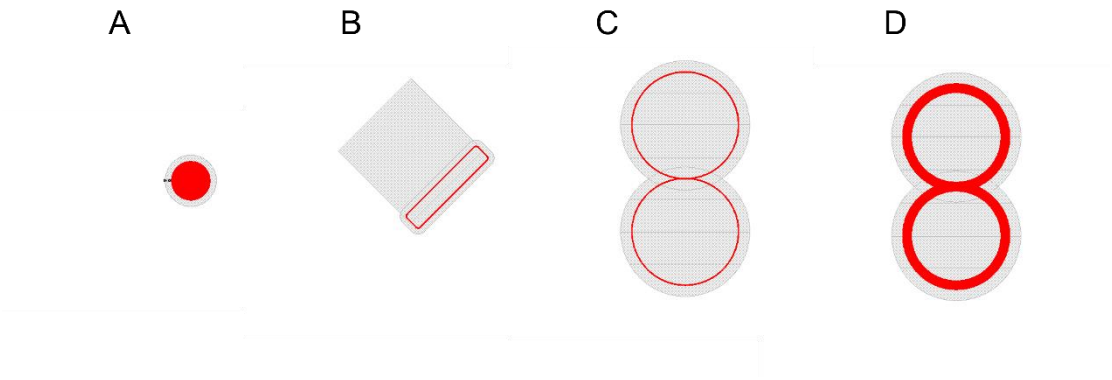

Abbildung 81 *Draufsicht auf das Layout einer zylindrischen Diode (A), einer Hohldiode mit abgerundeten Ecken (B) und zwei 8-förmigen Dioden mit einer Dicke von 2 µm (C) bzw. 10 µm (D). Dargestellt sind die Masken für die Abscheidung und Dotierung von Silizium (rot) und für die Metallisierung (grau).*

Zur schnellen Analyse eines Layouts auf ESD-Festigkeit stößt TCAD an seine Grenzen. Aus diesem Grund wurden verschiedene 1D-Kompaktmodelle entwickelt. Dazu wurde das hochgradig nichtlineare, elektrothermische Problem in einzelne Bestandteile aufgeteilt und schrittweise untersucht. Mit Hilfe von analytischen Modellen konnte die S-förmige IV-Kennlinie nachgebildet werden, wodurch eine quantitative Analyse ermöglicht wurde. Darüber hinaus wurden physik-nahe Kompaktmodelle entwickelt, welche auch qualitativ eine Aussage über die ESD-Festigkeit ermöglichen. Die PIN-Diode wurde dazu in verschiedene Regionen aufgeteilt und separat modelliert. Dabei sind Modelle für Siliziumsubstrat, einen n^-/n^+ Übergang, einen p/n Übergang und einen Substrat/Metall Übergang entstanden. Diese Kompaktmodelle sind in der Lage die rückläufige IV-Kennlinie physikalisch exakt nachzubilden. Allerdings führt die zunehmende Komplexität der Kompaktmodelle zu Konvergenzproblemen.

Die Bewegung des Stromfilaments zu beschreiben ist mit einem 1D-Modell nicht möglich. Aus diesem Grund wurden mehrere 1D-Modelle zu einem 2D-Netzwerk zusammengeschaltet. Unter Berücksichtigung, dass der laterale und der vertikale Stromfluss in einer realen PIN-Diode nicht identisch sind, konnte eine Optimierung des 2D-Netzwerkes vorgenommen werden. Somit war es möglich die Bewegung des Filaments auch in 2D nachzubilden.

6 GaAs PIN-Leistungsdiode

Neben den silizium-basierten PIN-Dioden wurden auch GaAs-Dioden [66] untersucht, welche vom Projektpartner 3-5 PE zur Verfügung gestellt wurden. Die GaAs-Dioden werden nicht als ESD-Schutz eingesetzt, sondern in der Leistungselektronik z.B. in DC-DC-Wandlern. GaAs ist als Halbleitermaterial seit mehreren Jahrzehnten im Einsatz und vor allem im Bereich der optischen Bauelemente oder in der Hochfrequenztechnik weit verbreitet [67]. Im Bereich der Leistungselektronik war dieses Halbleitermaterial bisher nicht vertreten. Der Projektpartner ist somit das erste Unternehmen, was im industriellen Maßstab GaAs-Dioden für Anwendungen in der Leistungselektronik fertigen kann[68]. Um Spannungen von größer $1\ \mathrm{kV}$ zu ermöglichen, wird die GaAs PIN-Diode stetig weiterentwickelt und die Qualität wird mit Hilfe von Hochspannungsmessungen und Simulationen überprüft. Ausschlaggebend für die Qualität einer GaAs-Diode in Sperrrichtung sind sehr geringe Leckströme im Nanoampere-Bereich und hohe Durchbruchspannungen.

Im Rahmen dieser Arbeit wurden Untersuchungen an den $900\ \mathrm{V}$ Dioden des Projektpartners durchgeführt.

6.1 TCAD-Simulationen

Zur Simulation der GaAs PIN-Dioden wurde der Bauteilsimulator Atlas von Silvaco genutzt, da bei Sentaurus Device von Synopsys nur unzureichend Modelle für III-V-Halbleiter vorhanden sind. Ein Vergleich zwischen Silvaco und Synopsys ist in Kapitel 6.3 gezeigt. Das verwendete Dotierprofil ist in Kapitel 4.3.2 beschrieben. Die IV-Kennlinien für eine 2D Simulation in Vorwärtsrichtung mit unterschiedlichen Temperaturen ist in Abbildung 82 dargestellt.

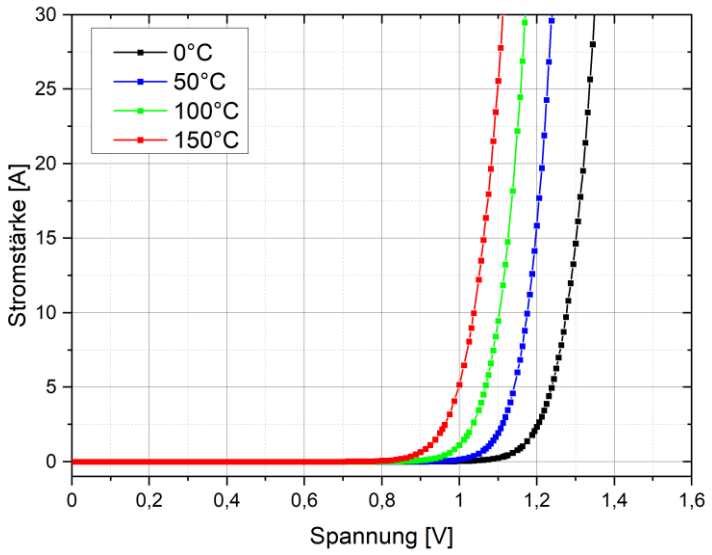

Abbildung 82 *Simulierte IV-Kennlinien einer 900V GaAs PIN-Diode in Vorwärtsrichtung für verschiedene Temperaturen.*

Auf Grund der größeren Elektronenmobilität von GaAs im Vergleich zu Silizium ist auch der Anstieg der Stromstärke mit zunehmender Spannung deutlich höher. Mit steigender Temperatur beginnt die Stromstärke bereits bei geringerer Spannung anzusteigen. Dies ist ein typisches Verhalten aller Halbleiterdioden, da die Eigenleitung mit zunehmender Temperatur ansteigt. Zusätzlich erhöht sich in Sperrrichtung der Leckstrom (siehe Abbildung 83).

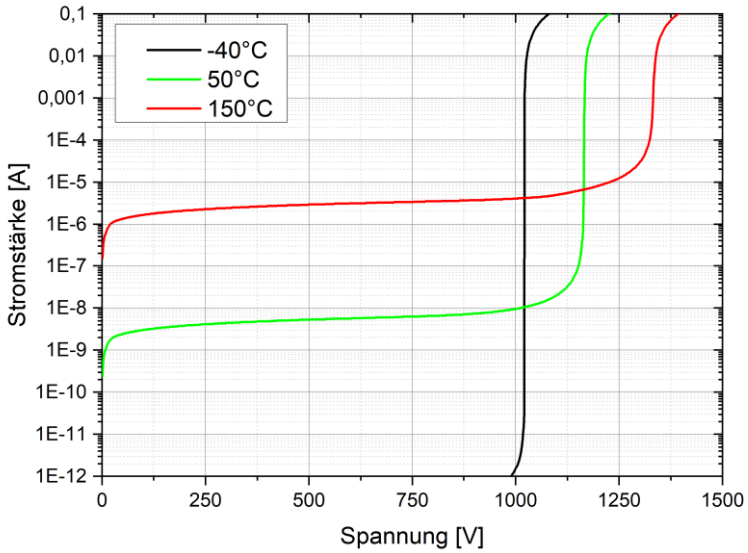

Abbildung 83 *Simulierte IV-Kennlinien einer 900V GaAs PIN-Diode in Sperrrichtung für verschiedene Temperaturen.*

Die Durchbruchspannung nimmt mit steigender Temperatur zu, unter der Annahme, dass keine Selbsterwärmung stattfindet.

6.2 Elektrische Charakterisierung

Die GaAs PIN-Dioden wurden in Vorwärts- und Sperrrichtung temperaturabhängig vermessen. In Abbildung 84 sind die IV-Kennlinien in Vorwärtsrichtung bis 1 V dargestellt.

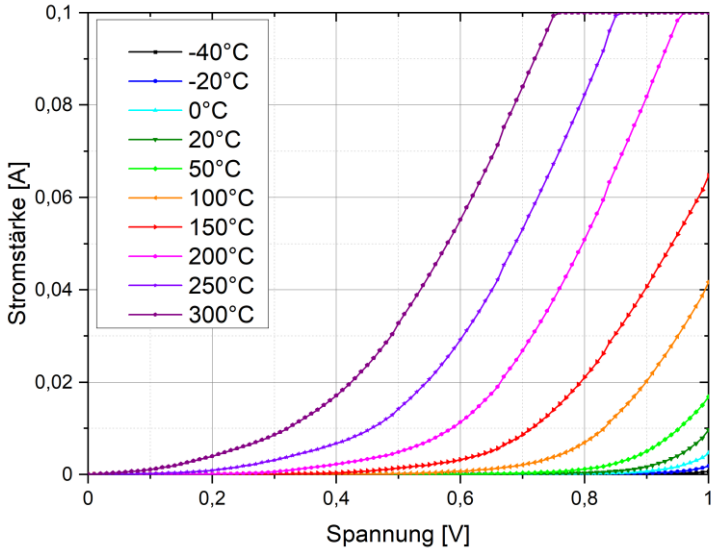

Abbildung 84 *Gemessene IV-Kennlinien einer 900V GaAs PIN-Diode in Vorwärtsrichtung für verschiedene Temperaturen.*

Da Gleichspannung zum Messen verwendet wurde kann Selbsterwärmung nicht ausgeschlossen werden. Weniger Einfluss hat dies auf die Messungen in Sperrrichtung, da je nach Temperatur nur ein sehr geringer Leckstrom durch die Diode fließt (siehe Abbildung 85).

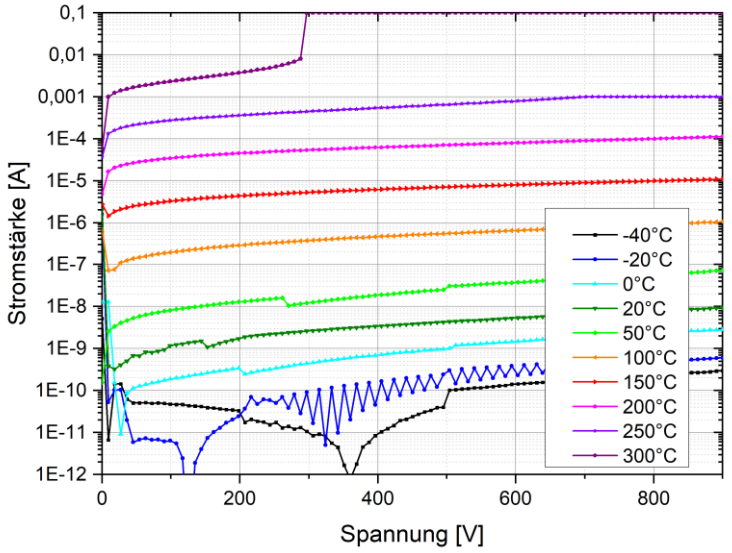

Abbildung 85 *Gemessene IV-Kennlinien einer 900V GaAs PIN-Diode in Sperrrichtung für verschiedene Temperaturen.*

Der Graph zeigt eine klare Temperaturabhängigkeit des Sperrstroms von der Temperatur. Das Oszillieren der Messwerte bei -20 °C stammt mit hoher Wahrscheinlichkeit von Umschaltvorgängen des Messgeräts. Im nächsten Schritt wurden mehrere Dioden bis zum Durchbruch betrieben und die Temperaturabhängigkeit untersucht, siehe Abbildung 86.

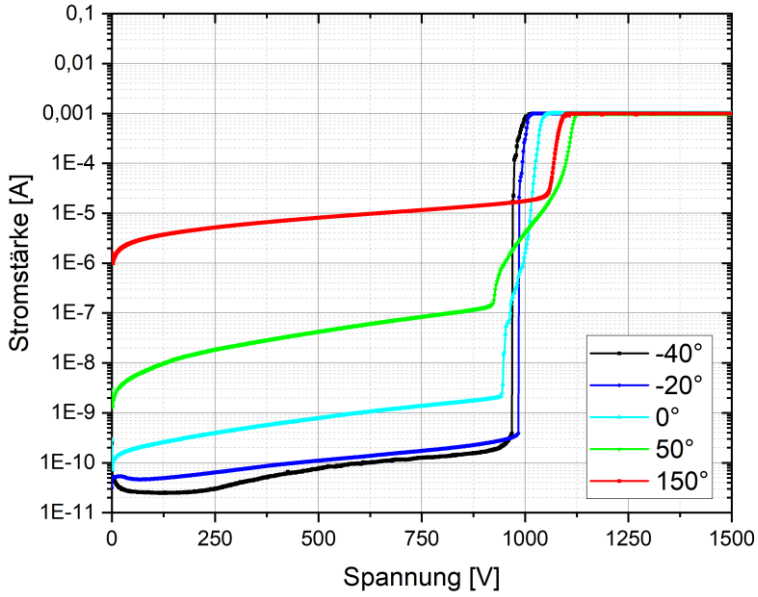

Abbildung 86 *Mittelwerte der IV-Kennlinien für Durchbruchsmessungen bei verschiedenen Temperaturen.*

Eine Erhöhung der Durchbruchspannung mit zunehmender Temperatur, wie in der Simulation zu erkennen, kann in den Messungen nicht bestätigt werden. Ursache dafür ist mit hoher Wahrscheinlichkeit die Passivierung, da die thermische Zerstörung immer am Rand der Dioden beobachtet werden konnte. Dadurch kommt es nicht zu einem Lawinendruchbruch am p/n- Übergang, sondern bereits vorher zu einem Durchbruch des Isolators bzw. ein Durchbruch entlang der Isolator-Halbleiter Grenzfläche (siehe Abbildung 87).

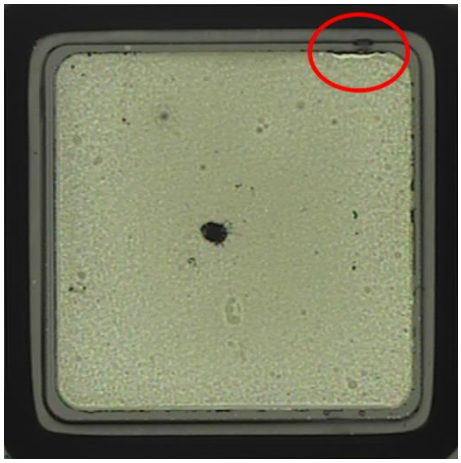

Abbildung 87 *Draufsicht auf eine GaAs-Diode, welche in Sperrrichtung bis 1500 V betrieben wurde. Der Durchbruch fand in oberen linken Ecke zwischen Isolator und Halbleiter statt.*

6.3 Vergleich von Messung und Simulation

Da die eigene Messtechnik nur Messungen mit Gleichspannung und Stromstärken bis $1\,\mathrm{A}$ zulässt wurden für den Vergleich in Vorwärtsrichtung zwischen Messung und Simulation Messdaten vom Projektpartner verwendet. Um eine thermische Zerstörung der Dioden zu vermeiden wurden in Vorwärtsrichtung gepulste Messungen durchgeführt. Die temperaturabhängigen IV-Kurven sind in Abbildung 88 gezeigt.

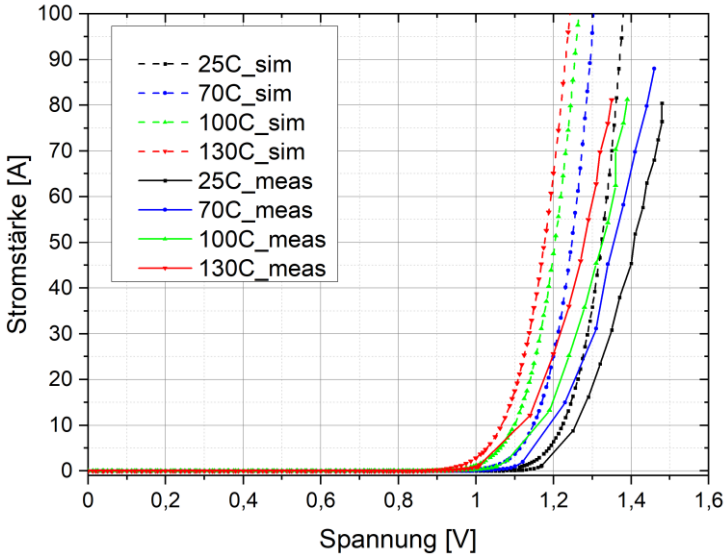

Abbildung 88 *Vergleich zwischen gemessenen und simulierten IV-Kennlinien einer 900V GaAs PIN-Diode in Vorwärtsrichtung für verschiedene Temperaturen.*

Die Temperaturabhängigkeit ist sowohl in den Messungen als auch in den Simulationen zu beobachten. Allerdings ist zwischen beiden ein geringer Offset vorhanden, welcher verschiedene Ursachen haben kann. Die Simulation verwendet ein idealisiertes Dotierprofil und kein nach der Herstellung der Dioden gemessenes. Außerdem wurden für die Simulationen Standard-Modelle verwendet, welche an die jeweilige Technologie angepasst werden müssen.

Ähnlich verhält es sich mit den IV-Kennlinien in Sperrrichtung (siehe Abbildung 89). Dort kommt zusätzlich das Problem der Passivierung zum Tragen. Ein wirklicher Vergleich zwischen Messung und Simulation ist also nur für die geringen Temperaturen von $-40\,°\mathrm{C}$ und $-20\,°\mathrm{C}$ möglich, da dort der Durchbruch am p/n-Übergang stattfindet und nicht die Passivierung zerstört wird wie bei höheren Temperaturen.

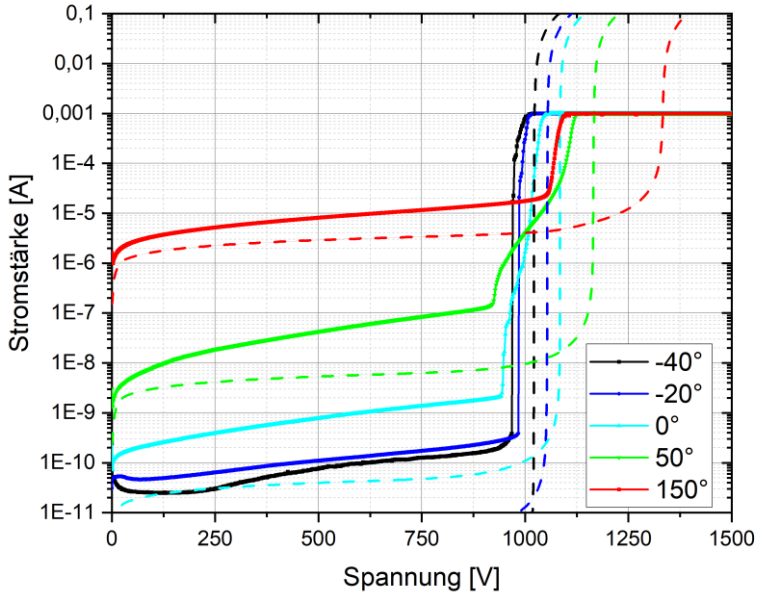

Abbildung 89 *Vergleich zwischen gemessenen (durchgezogene Linie) und simulierten (gestrichelte Linie) IV-Kennlinien einer 900V GaAs PIN-Diode in Sperrrichtung für verschiedene Temperaturen.*

Auch hier können die Ursachen für die Abweichungen technologiebedingt sein oder aber die Modelle für GaAs sind unzureichend beschrieben. Die Modelle für den Lawinendruchbruch sind nur in bestimmten Temperaturbereichen gültig oder wurden für diesen kalibriert. Dies wird sehr deutlich, wenn man dieselbe Diodenstruktur mit TCAD von Synopsys simuliert. Dieses Tool ist nicht für Verbindungshalbleiter optimiert und die Modelle sind unzureichend implementiert. Teilweise greift das Simulationsprogramm auf Silizium-Modelle zurück. Ein Vergleich zwischen Messung und Simulation mit Silvaco, sowie Synopsys für $0\ °C$ ist in Abbildung 90 dargestellt.

Durch Anpassen der Modellparameter ist es möglich die Simulationskurven entsprechend an die Messungen anzupassen. Allerdings sind diese Anpassungen teilweise so gravierend, dass die zugrundeliegende Physik vernachlässigt wird. Um einen weiten Temperaturbereich für Anwendungen in der Automobilindustrie von typischerweise $-40\ °\mathrm{C}$ bis $+150\ °\mathrm{C}$ abdecken zu können, müssen entsprechende Modelle entwickelt bzw. weiterentwickelt werden. Im Folgenden wird ein analytisches Modell beschrieben, welches für die GaAs-Technologie des Projektpartners eine zuverlässige Simulation des Durchbruchverhaltens ermöglichen soll.

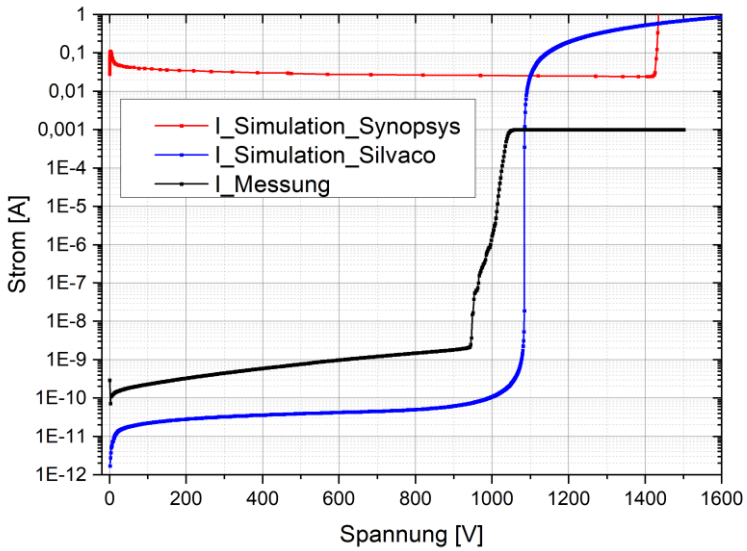

Abbildung 90 *Vergleich zwischen Messung (schwarz) und Simulation mit Silvaco (blau) bzw. Synopsys (rot) einer GaAs-Diode in Sperrrichtung bei 0 °C.*

6.4 Modellierung

Basierend auf den Simulationen und Messungen der GaAs-Dioden wurde ein analytisches Modell entwickelt, welches das Verhalten in Sperrrichtung abbilden kann. Entscheidend ist dabei die Temperaturabhängigkeit des Sättigungsstroms und der Durchbruchsspannung selbst. Mit Hilfe des Multiplikationskoeffizienten (siehe Kapitel 2.4) lässt sich der Gesamtstrom folgendermaßen beschreiben:

$$I = I_S \cdot M \tag{83}$$

Der Sättigungsstrom I_S ist sehr stark von der Temperatur abhängig, weshalb die Arrhenius-Gleichung [69] als Fitfunktion gewählt wurde:

$$I_S = Ae^{-\frac{E_A}{k_B T}} \tag{84}$$

Der Vorfaktor A und die Aktivierungsenergie E_A sind Fitparameter. Der Multiplikationskoeffizient wurde mit folgender Näherung aus [70] modelliert:

$$M = \frac{1}{1 - \left|\frac{V}{V_{BD}}\right|^n} \tag{85}$$

Der Fitparameter n liegt zwischen 2 und 6. Aus den TCAD-Simulationen ist ersichtlich das die Durchbruchspannung nahezu linear mit steigender Temperatur zunimmt:

$$V_{BD} = m \cdot T + b \tag{86}$$

Steigung m und Achsenschnittpunkt b der linearen Funktion werden mittels Fit bestimmt. Da nur wenige Messdaten einen scharfen Durchbruch aufweisen, wurden im ersten Schritt die Simulationsdaten herangezogen. In Abbildung 91 ist ein Fit der Gleichung (86) sowie die jeweiligen Durchbruchspannungen für die entsprechenden Temperaturen dargestellt.

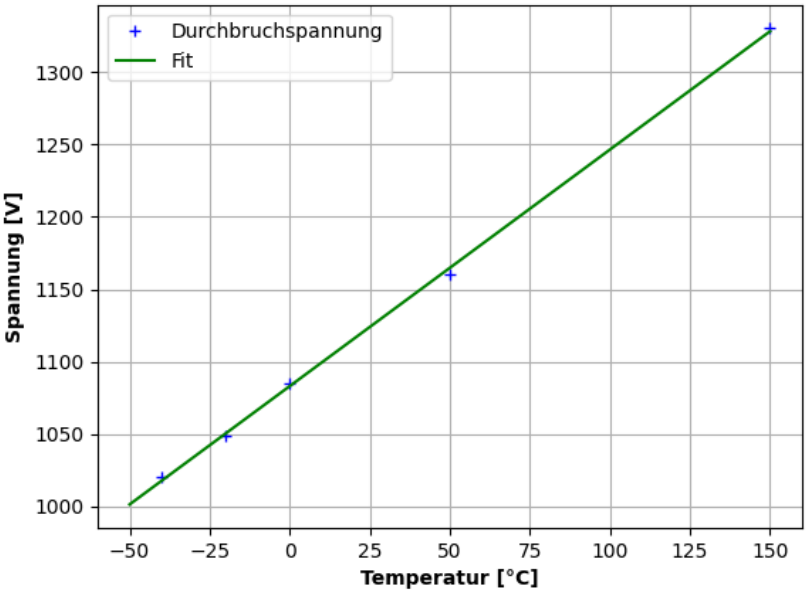

Abbildung 91 *Auftragung der Durchbruchsspannungen aus den TCAD-Simulationen für die einzelnen Temperaturen (blaue Markierungen) und der linearen Fitfunktion (grün).*

Unter Verwendung von Gleichung (84) wurde die Temperaturabhängigkeit des Sättigungsstroms gefittet. Dazu wurde der natürliche Logarithmus gebildet und anschließend $\ln(I_S)$ gegenüber $1000/T$ aufgetragen. Mit Hilfe eines linaren Fits kann dann A und E_A ermittelt werden, siehe Abbildung 92.

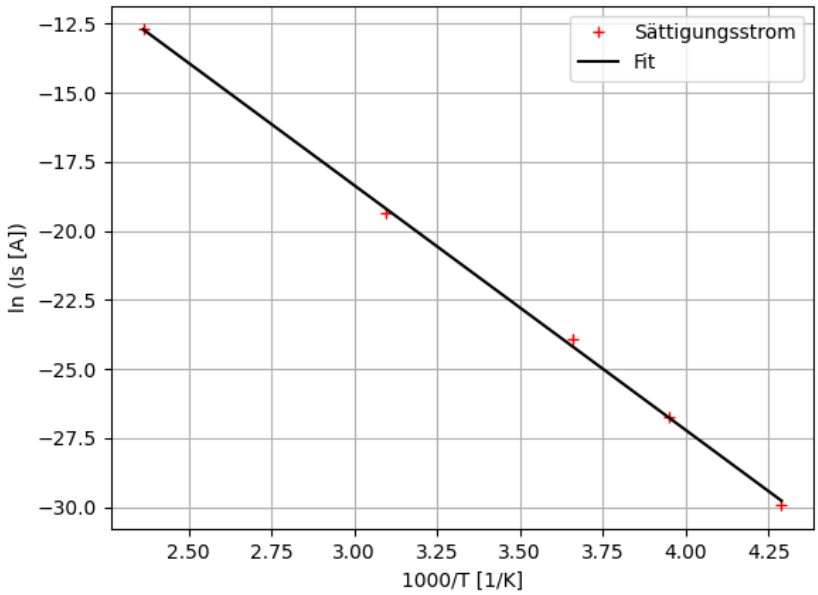

Abbildung 92 *Arrhenius-Plot des temperaturabhängigen Sättigungsstroms mit den Werten aus den TCAD-Simulationen (rote Markierungen) und der entsprechenden Fitfunktionen (schwarz).*

Zusätzlich wurde ein Fit für den Koeffizienten n in Gleichung (85) zur Berechnung des Multiplikationskoeffizienten vorgenommen. Der vollständige Satz an Parametern ist in Anhang 8.3.8 zu finden. Ein Vergleich zwischen TCAD-Simulation und analytischem Modell ist in Abbildung 93 dargestellt.

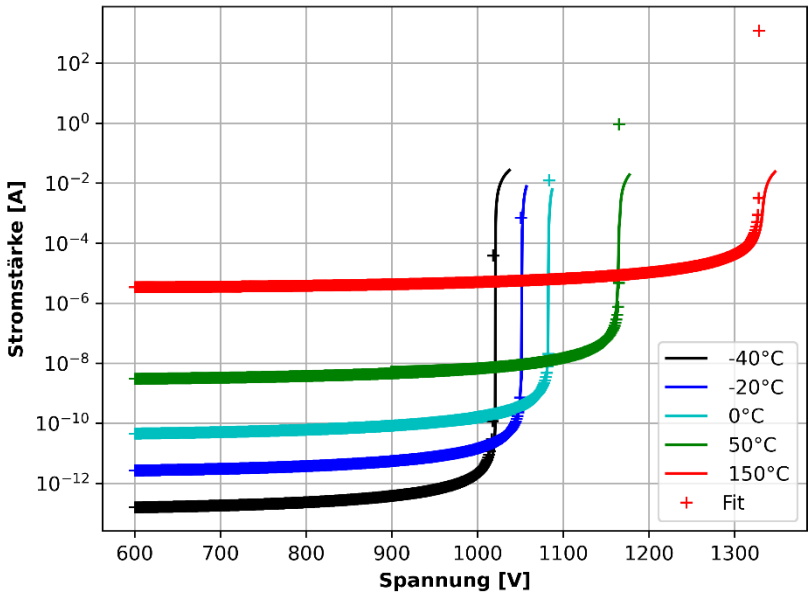

Abbildung 93 *Vergleich zwischen simulierten (durchgezogene Linie) und analytisch gefitteten (Symbole) IV-Kennlinien einer GaAs-Diode in Sperrrichtung für unterschiedliche Temperaturen.*

Zwischen Simulation und analytischem Modell kann eine gute Übereinstimmung erzielt werden. Die Approximation des Multiplikationskoeffizienten in Gleichung (85) ist jedoch nur bis zum Durchbruchspunkt definiert. Eine Betrachtung jenseits dieses Punktes ist mit diesem Modell nicht möglich. Für eine erste Näherung ist dies jedoch ausreichend, da reale Dioden ab diesem Punkt ohnehin einer thermischen Zerstörung ausgesetzt sind.

Mit dem analytischen Modell ist es ebenso möglich die Messungen nachzubilden. Dafür musste allerdings eine erneute Parametrisierung vorgenommen werden. Da das Auflösungsvermögen des Messgeräts limitiert ist, konnte der Sättigungsstrom nicht temperaturabhängig aufgelöst werden. Außerdem liegen die Durchbruchsspannungen der Messungen geringfügig tiefer als in den Simulationen. In Abbildung 94 ist für die Messungen bei $-40\ °\mathrm{C}$ und $-20\ °\mathrm{C}$ ein Vergleich mit dem analytischen Modell gezeigt.

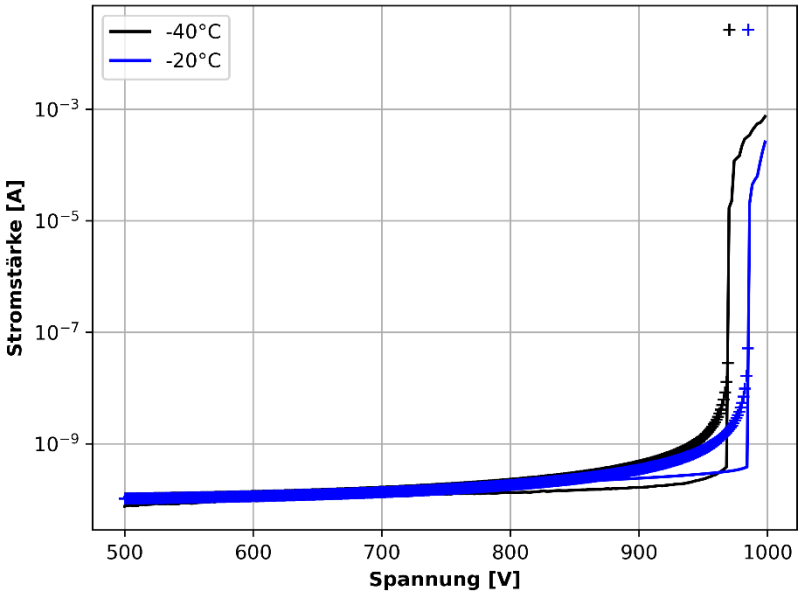

Abbildung 94 *Vergleich zwischen gemessenen (durchgezogene Linie) und analytisch gefitteten (Symbole) IV-Kennlinien einer GaAs-Diode in Sperrrichtung für unterschiedliche Temperaturen.*

Modell und Messung sind in guter Übereinstimmung, der steile Anstieg am Durchbruchspunkt ist mit dem analytischen Modell allerdings deutlich glatter als in der Messung. Das analytische Modell ermöglicht eine schnelle Simulation der IV-Kennlinie einer GaAs-Diode in Sperrrichtung samt Temperaturabhängigkeit im Sättigungsstrom und in der Durchbruchspannung.

6.5 Zusammenfassung

Für Anwendungen in der Leistungselektronik soll die GaAs PIN-Diode weiterentwickelt werden. Dazu muss sichergestellt sein, dass die Dioden in Sperrrichtung sehr geringe Leckströme im Nanoampere-Bereich und hohe Durchbruchspannungen aufweisen. Um dies zu optimieren, wurden in dieser Arbeit TCAD-Simulationen und Hochspannungsmessungen durchgeführt. Auf Seiten der Simulation wurden die Bauteilsimulatoren von Synopsys und Silvaco verwendet. Da die Modelle für Verbindungshalbleiter bei Synopsys unzureichend hinterlegt waren, mussten Modellanpassungen vorgenommen werden.

Die Hochspannungsmessungen erfolgten in Vorwärts- und Sperrrichtung im Temperaturbereich von $-40\ °\mathrm{C}$ bis $+300\ °\mathrm{C}$. Der Leckstrom nahm dabei wie erwartet mit steigender Temperatur zu. Zusätzlich erhöhte sich auch die Durchbruchspannung, je höher die Temperatur war. Ein Vergleich zwischen Messung und Simulation zeigte eine gute Übereinstimmung. Jedoch wurden nur für Temperaturen unter $0\ °\mathrm{C}$ scharfe Durchbrüche beobachtet. Oberhalb dieser Temperatur kam es mit hoher Wahrscheinlichkeit zu einer thermischen Zerstörung der Passivierung.

Um aufwändige Messungen und Simulationen zu vermeiden wurde ein analytisches Modell entwickelt, das eine temperaturabhängige Darstellung der IV-Kennlinie in Sperrrichtung unter Berücksichtigung des korrekten Sättigungsstroms und der Durchbruchsspannung ermöglicht.

7 Zusammenfassung

Im ersten Teil der Arbeit wurden Untersuchungen an Silizium-basierten PIN-Dioden zur Anwendung als ESD-Schutzstrukturen vorgenommen. Mit Hilfe von 2D und 3D TCAD-Simulationen wurden die grundlegenden Mechanismen einer PIN-Diode in Sperrrichtung untersucht. Besonderes Augenmerk lag dabei auf der Entstehung bzw. Bewegung eines Stromfilaments und auf der rückläufigen IV-Kennlinie. Durch Variation der Weite der intrinsischen Zone wurde eine lineare Abhängigkeit zur Breite des Stromfilaments ermittelt. Der Einfluss der Geometrie einer PIN-Diode auf die Lebensdauer wurde ebenfalls untersucht. Als besonders ungünstig erwiesen sich Strukturen mit schmalen Enden oder spitzzulaufenden Ecken, da dort das Filament lokal gepinnt wird und es somit schneller zur thermischen Zerstörung des Bauteils kommt. Weiterführende Untersuchungen zeigten, dass für sehr schmale Strukturen, bei denen die Breite der Diode schmaler ist als der Durchmesser des Stromfilaments selbst, die Geschwindigkeit des Filaments zunimmt. Bei dieser Einschnürung des Filaments sind Geschwindigkeiten von bis zu $1{,}75\ \mu\mathrm{m/ns}$ simuliert worden. Mit Hinblick auf die Lebensdauer der Diode wirkt sich eine erhöhte Geschwindigkeit positiv aus, da somit eine geringere Selbsterwärmung verursacht wird. Ein Design-Vorschlag zur Optimierung von ESD-Schutzstrukturen wurde entsprechend dargestellt.

Vereinfachte Teststrukturen zur Untersuchung der Filamentbewegung wurden mit Hilfe eines Projektpartners realisiert und mittels TLP-Messungen charakterisiert. Dabei ist bei einigen Diodenstrukturen ein zusätzlicher Spannungsabfall aufgetreten, welcher einen zusätzlichen Einschalt-Widerstand besitzt. Dieses Verhalten trat nur bei den schmalen PIN-Diode auf und indiziert das Vorhandensein mehrerer Stromfilamente. Anhand von TCAD-Simulationen konnte bestätigt werden, dass abhängig von der angelegten Spannung und der Dauer des TLP-Pulses mehrere Filamente gleichzeitig entstehen und sich unabhängig voneinander bewegen oder miteinander verschmelzen können.

Zur Analyse eines kompletten Layouts auf ESD-Festigkeit ist ein Bauteilsimulator wie TCAD auf Grund der langen Simulationszeiten ungeeignet. Aus diesem Grund wurden verschiedene Kompaktmodelle entwickelt, um das hoch nicht-lineare Problem möglichst exakt nachzubilden. Auf der einen Seite wurden analytische Kompaktmodelle vorgestellt, welche die Rückläufige IV-Kennlinie einer in Sperrrichtung betrieben PIN-Diode nachbilden können. Auf der anderen Seite wurden mehrere physikalische Modellansätze gezeigt, welche mit Hilfe von Strom- und Spannungsquellen den Ladungstransport von Elektronen und Löchern nachbilden können. Die PIN-Diode wurde dazu in ihre Einzelbestandteile bestehend aus Siliziumsubstrat, n^-/n^+ - Übergang und p/n - Übergang unterteilt und separat modelliert. Die Kompaktmodelle ermöglichen es, die rückläufigen IV-Kennlinien physikalisch

sinnvoll zu simulieren. Die steigende Komplexität der Modelle führt jedoch auch zu Konvergenzproblemen, was zu nicht reproduzierbaren Ergebnissen führte. Zur Kopplung mehrerer 1D-Modelle musste auf die analytischen Modelle zurückgegriffen werden. Damit war es möglich ein Stromfilament mittels Simulation eines Arrays aus analytischen 1D-Kompaktmodellen darzustellen.

Im zweiten Teil der Arbeit wurden PIN-Dioden auf Basis von GaAs untersucht. Diese Dioden befinden sich aktuell noch in der Entwicklung und sollen zukünftig in der Leistungselektronik zur Anwendung kommen. Zur Qualifizierung und Weiterentwicklung des Prozesses wurden temperaturabhängige Messungen und Simulationen durchgeführt. Dabei wurde sowohl Vorwärts- als auch Sperrrichtung betrachtet. Ein besonderer Fokus lag auf dem Durchbruchsverhalten in Sperrrichtung. Da die Simulationsmodelle das Verhalten der Messungen nur ungenügend widerspiegeln konnten wurde ein analytisches Modell entwickelt. Das Modell ermöglicht eine temperaturabhängige Darstellung der IV-Kennlinie in Sperrrichtung unter Berücksichtigung des korrekten Sättigungsstroms und in gewissen Grenzen auch der Durchbruchsspannung.

Perspektivisch wäre eine Weiterentwicklung des analytischen Modells für GaAs-basierte Leistungsdioden um weitere Einflussgrößen wie Geometrie und Dotierung anzustreben. Dies würde eine noch präzisere Analyse der Kenngrößen und somit eine Optimierung auf kundenspezifische Anforderungen ermöglichen. Im Bereich der silizium-basierten PIN-Dioden ließen sich die gewonnen Erkenntnisse durch weitere Untersuchungen ergänzen. Ein potenzieller Ansatz wäre, die Kompaktmodelle in vereinfachte analytische Modelle zu überführen. Diese würden nur einen Teil der Physik abbilden, dadurch jedoch eine größere Zuverlässigkeit und Stabilität der Simulation ermöglichen.

Abbildungsverzeichnis

Abbildung 1 Bandstrukturdiagramm eines direkten Halbleiters (links) und eines indirekten Halbleiters (rechts) [16]. 15
Abbildung 2 Abhängigkeit von Leistung und Schaltfrequenz für die Halbleitermaterialien Si, GaAs, SiC und GaN und entsprechenden Anwendungsgebieten [21]. 17
Abbildung 3 Schematische Darstellung einer PIN-Diode bestehend aus einem hoch p-dotierten, einem intrinsischen und einem hoch n-dotierten Gebiet (oben). Das entsprechende Banddiagramm (Mitte) und das elektrische Feld (unten) einer idealen PIN-Diode sind ebenfalls dargestellt. 18
Abbildung 4 Querschnitt (oben) und Dotierprofil (unten) einer PIN-Diode, welche mit dem Epitaxie-Verfahren (A) oder dem Diffusions-Verfahren (B) hergestellt wurde [15]. 19
Abbildung 5 IV-Kennlinie in Vorwärts- und Rückwärtsrichtung einer realen PIN-Diode. 20
Abbildung 6 Kräfte auf die Ladungsträger einer PIN-Diode, welche in Durchlassrichtung betrieben wird. 20
Abbildung 7 Bewegung der freien Ladungsträger im elektrischen Feld einer in Sperrrichtung betriebenen PIN-Diode. 21
Abbildung 8 Schematische Darstellung eines direkten Tunnelvorgangs im Banddiagramm einer in Sperrrichtung betriebenen PIN-Diode. 23
Abbildung 9 Schematische Darstellung des Stoßionisationsprozesses in einer in Sperrrichtung betriebenen PIN-Diode. Das freie Elektron wird durch das elektrische Feld beschleunigt und erzeugt beim Zusammenstoß ein Elektron-Loch-Paar. 23
Abbildung 10 Intrinsische Ladungsträgerkonzentration von Silizium und Galliumarsenid als Funktion der reziproken Temperatur [4]. 26
Abbildung 11 Stromfilament einer PIN-Diode in einer 2D TCAD-Simulation. 27
Abbildung 12 Bewegung eines Stromfilaments entlang der y-Achse über die Zeit. 27
Abbildung 13 Schädigung eines Gateoxids (A) und einer Metallisierung (B) nach ESD-Stress [39]. 29
Abbildung 14 Schematische Darstellung eines ESD-Schutzkonzeptes am Ein-/Ausgangspad mit primärem und sekundärem ESD-Schutz nach [37]. Der ESD-Puls wird nach Masse abgeleitet bevor er den IC erreichen kann. 31
Abbildung 15 Strom-Spannungs-Kennlinie mit Snapback. 31
Abbildung 16 Schematischer Aufbau eines Poly-Widerstandes (links) und eines n-dotierten Wannen-Widerstandes (rechts) [41]. 32

Abbildung 17 Schematische Darstellung einer n+ Diode (A), einer Zener-Diode (B), einer PIN-Diode (C) und einer Polysilizium Diode (D) nach [37], [39]. 33
Abbildung 18 Schematische Darstellung eines Bipolar-Transistors (links) mit den drei Anschlüssen für Emitter, Basis und Kollektor nach [37], [39]. Der MOSFET (rechts) hat die Anschlüsse Source, Gate, Drain und Bulk. 34
Abbildung 19 Schematische Darstellung eines Thyristors mitsamt der parasitären BJTs nach [37]. 35
Abbildung 20 Schematische Darstellung des ESD-Designfensters. Die Breite des ESD-Designfensters ist abhängig vom Arbeitsbereich des ICs, der Sicherheitsmarge, sowie elektrischer und thermischer Beschädigung der Schutzstruktur. 36
Abbildung 21 Ersatzschaltbild (links) und Kurvenverlauf (rechts) eines HBM ESD-Events. 37
Abbildung 22 Ersatzschaltbild (links) und Kurvenverlauf (rechts) eines MM ESD-Events. 37
Abbildung 23 Ersatzschaltbild (links) und Kurvenverlauf (rechts) eines CDM ESD-Events. 38
Abbildung 24 Extraktion der TLP-Spannungen und Ströme und deren Auftragung im IV-Diagramm [50]. 39
Abbildung 25 Prinzipieller Aufbau eines TLP-Messsystems [49]. 39
Abbildung 26 Schematische Darstellung der Wellenformen für TDR-S(oben) und TDR-O(unten). 40
Abbildung 27 Überlagerung der Leckstrommessung mit der statischen IV-Kennlinie zur besseren Detektion eines ESD-Fehlers. 41
Abbildung 28 Prozessfluss des Bauteilsimulators Sentaurus von Synopsys [26]. 43
Abbildung 29 Grafische Oberfläche des Programms Cadence Virtuoso. 44
Abbildung 30 Layout der Silizium PIN-Dioden. Dargestellt sind die Masken für die Abscheidung und Dotierung von Silizium (rot) und für die Metallisierung (grau). 45
Abbildung 31 Dotierprofil und Querschnitt der Silizium PIN-Dioden. 46
Abbildung 32 Prozessfluss zur Herstellung der GaAs-Diode. Zu sehen ist der GaAs-Wafer samt EPI-Zone (1), ein tiefer (2) und ein flacher (3) Ätzschritt, das Abscheiden der Passivierung (4) und das Aufbringen der Elektroden auf Vorder- und Rückseite (5) nach [55]. 46
Abbildung 33 Bild einer GaAs-Leistungsdiode (links) und zugehöriges Dotierprofil (rechts). 47
Abbildung 34 TLP-Messsystem mit manueller Probe-Station (links), dem Pulsgenerator von HPPI (rechts unten) und dem Oszilloskop von Tektronix (rechts oben). 48
Abbildung 35 Graphische Oberfläche der TLP-Tester Software von HPPI. 48
Abbildung 36 Bildung eines Strom-Filaments einer simulierten 2D PIN-Diode. 49
Abbildung 37 Simulierter Spannungs- und Temperaturverlauf einer 2D PIN-Diode unter Einwirkung eines 100 ns ESD-Pulses. 50

Abbildung 38 Schematische Darstellung des zeitlichen Verlaufs der Filamentbewegung mit Stromdichteverteilung (blaue Kurve) und Temperaturverteilung (gelb-roter Balken). Die schwarze Linie markiert die maximale Temperatur. 51
Abbildung 39 Strom-Spannungs-Kennlinie einer simulierten 2D PIN-Diode. 51
Abbildung 40 Elektrisches Feld einer simulierten 2D PIN-Diode entsprechend der vier Abschnitte aus der IV-Kurve. 53
Abbildung 41 Filamentbreite in Abhängigkeit vom extern angelegten Strom. 53
Abbildung 42 Simulation einer 2D PIN-Diode mit variabler Weite der intrinsischen Zone 54
Abbildung 43 Stromdichteverteilung entlang der x-Achse extrahiert in der Mitte des Filaments 54
Abbildung 44 Filamentbreite und reziproke Stromdichte in Abhängigkeit von der Weite des intrinsischen Gebietes.. 55
Abbildung 45 Untersuchung des Stromfilaments in PIN-Dioden verschiedener Geometrien mit der gleichen Querschnittsfläche (A-C) und dem gleichen Volumen, aber unterschiedlicher Oberfläche (D-E). Für eine bessere Sichtbarkeit der niedrig dotierten Zone ist die ober p+ Schicht transparent. 56
Abbildung 46 Lebensdauer verschiedener PIN-Dioden entsprechend der gezeigten Geometrien in Abbildung 45. Miteinander vergleichbar sind ausschließlich die Dioden (A-C) und (D-F). 57
Abbildung 47 Geometrie der 3D TCAD-Simulation (links) und die Filament-Geschwindigkeit in Abhängigkeit von der Breite der PIN-Diode für zwei verschiedene extern eingeprägte Ströme(rechts). 57
Abbildung 48 Geometrien der verwendeten PIN-Dioden unterschiedlicher Länge und Breite. (A) 22.5 x 2.0 µm, (B) 30.0 x 1.5 µm, (C) 45.0 x 1.0 µm und (D) 90.0 x 0,5 µm. Der Spannungsverlauf über die Zeit ist in (E) dargestellt 58
Abbildung 49 Schematische Darstellung von drei verschiedenen Entwurfsvorschlägen für ein optimiertes ESD-Schutzverhalten. (A) Dichteste Kreispackung, (B) Klassische Kühlrippe und (C) Kühlspirale. 59
Abbildung 50 Draufsicht auf das Layout einer zylindrischen Diode (A), einer Hohldiode mit abgerundeten Ecken (B) und zwei 8-förmigen Dioden mit einer Dicke von 2 µm (C) bzw. 10 µm (D). Dargestellt sind die Masken für die Abscheidung und Dotierung von Silizium (rot) und für die Metallisierung (grau). 59
Abbildung 51 Strom-Spannungs-Charakteristik einer zylindrischen PIN-Diode als Ergebnis der TLP-Messungen. 60

Abbildung 52 Strom-Spannungs-Charakteristik einer Hohldiode mit abgerundeten Ecken als Ergebnis der TLP-Messungen. 61
Abbildung 53 Typischer Verlauf eines TLP-Spannungspulses mit Integrationsfenster (links) und den daraus berechneten Einschaltwiderständen für verschiedene Integrationsfenster (rechts). 62
Abbildung 54 IV-Kennlinien für verschiedene Integrationsfenster mit einer Breite von jeweils 20 ns. Die Einschaltwiderstände wurden für die ersten fünf Integrationsfenster eingezeichnet. 63
Abbildung 55 Strom-Spannungs-Charakteristik der 8-förmigen PIN-Dioden mit einer Breite von 10 µm (schwarz) bzw. 2 µm (rot und blau). 63
Abbildung 56 Vergleich der Strom-Spannungs-Charakteristik von TLP-Messungen (schwarz) mit TCAD-Simulationen (farbig) für eine zylindrische PIN-Diode. 64
Abbildung 57 Vergleich der Strom-Spannungs-Charakteristik von TLP-Messungen (schwarz) mit TCAD-Simulationen (farbig) von Hohldioden mit abgerundeten Ecken. 65
Abbildung 58 3D TCAD-Simulation einer Hohldiode mit abgerundeten Ecken unter einem Rechteckpuls von 100 ns und 65 V mit zwei Stromfilamenten nach 11 ns und drei Stromfilamenten nach 14 ns. 66
Abbildung 59 Ausbilden mehrerer Stromfilamente in einer 3D TCAD-Simulation einer 8-fömigen PIN-Diode mit einer Breite von 2 µm. 66
Abbildung 60 Schematische Darstellung des Modellierungsansatzes. Das Bauelement wird dabei in mehrere Einzelteile unterteilt, welche jeweils durch ein Kompaktmodell beschrieben werden. Das elektrische Netzwerk (schwarz) wird dabei separat vom thermischen Netzwerk (rot) betrachtet. Im Hintergrund ist die Stromverteilung einer 2D TCAD-Simulation gezeigt. Der rote Punkt in den IV-Kurven der Einzelmodelle zeigt die entsprechende Stromdichte an [58]. 67
Abbildung 61 Simulation von fünf schmalen PIN-Dioden, wobei die Kontakte der Ober- bzw. Unterseite jeweils miteinander gekoppelt sind. 69
Abbildung 62 Ersatzschaltbild einer TCAD-Simulation mit fünf Dioden, welche über R-C-Glieder miteinander gekoppelt sind. 70
Abbildung 63 JV-Kennlinie des stückweise linearen Modells einer PIN-Diode für A = 1 cm², Jtrig = 20 A/cm², Vtrig = 100 V, Jon = 80 A/cm² und Von = 0 V. 71
Abbildung 64 JV-Kennlinie des quadratischen Modells einer PIN-Diode für A= 1 cm², J_{trig} = 20 A/cm² und V_{trig} = 100 V. 72
Abbildung 65 Schematische Darstellung einer Parallelschaltung eines Widerstandes und einer Kapazität. 72

Abbildung 66 Ersatzschaltbild des Bipolar-Modells bestehend aus der Parallelschaltung von einem Widerstand, einer Kapazität und einer Stromquelle..... 73
Abbildung 67 IV-Kennlinie eines simulierten Bipolar-Modells. Beim Schwellwert von Itrig = 0,01A schaltet das Bauelement in den leitenden Zustand..... 74
Abbildung 68 Schematische Darstellung des Dotierprofils und der Strukturgeometrie nach [29]. 75
Abbildung 69 Modell 1 nach Caruso. Ersatzschaltbild mit drei separaten Bahnen zur Modellierungdes Ladungstransportes von Elektronen und Löchern und dem elektrischen Feld (oben). Schematische Darstellung des elektrischen Feldes und der Dotierung (unten)..... 76
Abbildung 70 Breite der niedrig-n-dotierten Zone ohne Stoßionisation in Abhängigkeit von der Stromdichte. Die Gesamtbreite L beträgt in diesem Beispiel 10 µm..... 78
Abbildung 71 Stromdichte- und Spannungskennlinie für eine transiente Simulation von Modell 1..... 78
Abbildung 72 Verteilung des elektrischen Feldes und der Ladungsträgerdichten einer in TCAD simulierten PIN-Diode (oben). Schematische Darstellung des elektrischen Feldes und der Dotierkonzentrationen (Mitte)..... 79
Abbildung 73 Stromdichte- und Spannungskennlinie für eine transiente Simulation von Modell 2..... 81
Abbildung 74 Ersatzschaltbild von Modell 3. Modelliert Elektronen-, Löcher- und Verschiebungsstrom auf separaten Bahnen. 82
Abbildung 75 Simulierte IV-Kennlinie mit Modell 3 zeigt das typische Snapback verhalten in Sperrrichtung..... 83
Abbildung 76 Ersatzschaltbild Modell 4 für Siliziumsubstrat..... 83
Abbildung 77 Gesamtmodell einer PIN-Diode bestehend aus den drei Einzelmodellen für einen p/n-Übergang,dem Siliziumsubstrat(n--dotiert) und dem n-/n+-Übergang. 85
Abbildung 78 Simulierte IV-Kennlinie eines n-Substrates mit n-/n+-Übergang nach Modell 4. Einstellen unterschiedlicher Snapback-Spannungen entsprechend der Anstiegszeiten. 87
Abbildung 79 Array aus 5 x 5 RCI Modellen (links) und 3D Plot zeigt Stromfilament in der Mitte des Arrays (rechts)..... 88
Abbildung 80 3D Plot eines Arrays aus 10 x 10 Elementen mit dem RCI-Modell (vertikal) und einem Kopplungswiderstand (lateral)..... 89
Abbildung 81 Draufsicht auf das Layout einer zylindrischen Diode (A), einer Hohldiode mit abgerundeten Ecken (B) und zwei 8-förmigen Dioden mit einer Dicke von 2 µm (C) bzw. 10 µm (D). Dargestellt sind dieMasken für die Abscheidung und Dotierung von Silizium (rot) und für die Metallisierung (grau). 90

Abbildung 82 Simulierte IV-Kennlinien einer 900V GaAs PIN-Diode in Vorwärtsrichtung für verschiedene Temperaturen. 91
Abbildung 83 Simulierte IV-Kennlinien einer 900V GaAs PIN-Diode in Sperrrichtung für verschiedene Temperaturen. 92
Abbildung 84 Gemessene IV-Kennlinien einer 900V GaAs PIN-Diode in Vorwärtsrichtung für verschiedene Temperaturen. 93
Abbildung 85 Gemessene IV-Kennlinien einer 900V GaAs PIN-Diode in Sperrrichtung für verschiedene Temperaturen. 93
Abbildung 86 Mittelwerte der IV-Kennlinien für Durchbruchsmessungen bei verschiedenen Temperaturen. 94
Abbildung 87 Draufsicht auf eine GaAs-Diode, welche in Sperrrichtung bis 1500 V betrieben wurde. Der Durchbruch fand in oberen linken Ecke zwischen Isolator und Halbleiter statt. 94
Abbildung 88 Vergleich zwischen gemessenen und simulierten IV-Kennlinien einer 900V GaAs PIN-Diode in Vorwärtsrichtung für verschiedene Temperaturen. 95
Abbildung 89 Vergleich zwischen gemessenen (durchgezogene Linie) und simulierten (gestrichelte Linie) IV-Kennlinien einer 900V GaAs PIN-Diode in Sperrrichtung für verschiedene Temperaturen. 96
Abbildung 90 Vergleich zwischen Messung (schwarz) und Simulation mit Silvaco (blau) bzw. Synopsys (rot) einer GaAs-Diode in Sperrrichtung bei 0 °C. 97
Abbildung 91 Auftragung der Durchbruchsspannungen aus den TCAD-Simulationen für die einzelnen Temperaturen (blaue Markierungen) und der linearen Fitfunktion (grün). 98
Abbildung 92 Arrhenius-Plot des temperaturabhängigen Sättigungsstroms mit den Werten aus den TCAD-Simulationen (rote Markierungen) und der entsprechenden Fitfunktionen (schwarz). 99
Abbildung 93 Vergleich zwischen simulierten (durchgezogene Linie) und analytisch gefitteten (Symbole) IV-Kennlinien einer GaAs-Diode in Sperrrichtung für unterschiedliche Temperaturen. 99
Abbildung 94 Vergleich zwischen gemessenen (durchgezogene Linie) und analytisch gefitteten (Symbole) IV-Kennlinien einer GaAs-Diode in Sperrrichtung für unterschiedliche Temperaturen. 100
Abbildung 95 Bewegung des Stromfilaments in 5 ns Schritten für die zylindrische PIN-Diode nach Abbildung 45(A). 116
Abbildung 96 Bewegung des Stromfilaments in 5 ns Schritten für die PIN-Diode mit Dreieckstruktur nach Abbildung 45(B). 116

Abbildung 97 Bewegung des Stromfilaments in 5 ns Schritten für die quadratische PIN-Diode nach Abbildung 45(C). 116
Abbildung 98 Bewegung des Stromfilaments in 5 ns Schritten für die quadratische PIN-Diode nach Abbildung 45(D). 117
Abbildung 99 Bewegung des Stromfilaments in 5 ns Schritten für die rechteckige PIN-Diode nach Abbildung 45(E). 117
Abbildung 100 Bewegung des Stromfilaments in 5 ns Schritten für die schmale rechteckige PIN-Diode nach Abbildung 45(F). 117

Tabellenverzeichnis

Tabelle 1 Materialeigenschaften von Si, GaAs, GaN und 4H-SiC [13], [15] 16

Tabelle 2 *Gleichungen für Modell 3 die in den jeweiligen Knotenpunkten und Bahnen gelöst werden* 82

Tabelle 3 *Modellgleichungen für Modell 3 entsprechend der jeweiligen Bahnen* 126

Tabelle 4 *Modellparameter für das analytische Modell zur Simulation einer GaAs-Diode in Sperrrichtung* 132

8 Anhang

8.1 Technische Daten

Wafer Prober: Semiprobe SA12

- Halbautomatisch, bis 300 mm Wafer
- Thermochuck von -40°C bis +300°C

Keysight B1500A Semiconductor Device Analyzer

- IV Messungen bis zu 200V und 1A

Keithley 4200-SCS Parameter Analyzer

- IV Messungen bis zu 200V und 1A

Keithley 2657A: High Power SMU

- IV Messungen bis zu 3kV und 120mA

HPPI TLP-8010C

- TLP-Messungen bis zu 15kV und 80A
- Pulsbreiten von 5 ns bis 1,6 µs
- Anstiegszeiten von 100 ps bis 50 ns

Tektronix TDS 7404B: Oszilloskop

- Bis 7 GHz Bandbreite

8.2 Filamentbewegung

Die Bewegung des Stromfilaments ist für alle sechs Teststrukturen aus Abbildung 45 im Detail dargestellt.

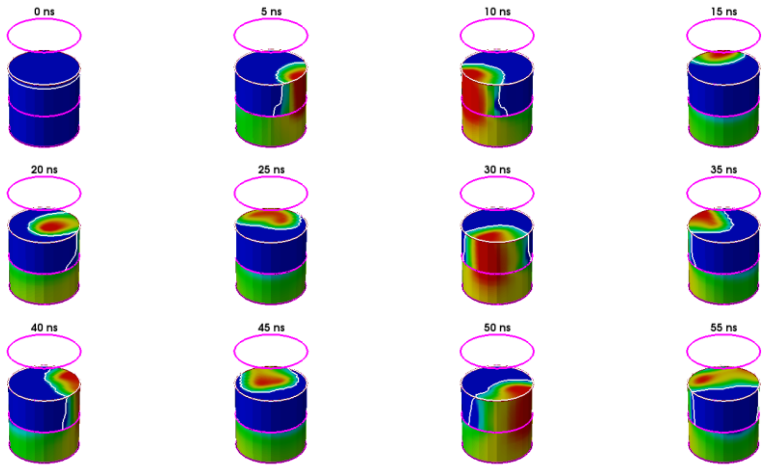

Abbildung 95 *Bewegung des Stromfilaments in 5 ns Schritten für die zylindrische PIN-Diode nach Abbildung 45(A).*

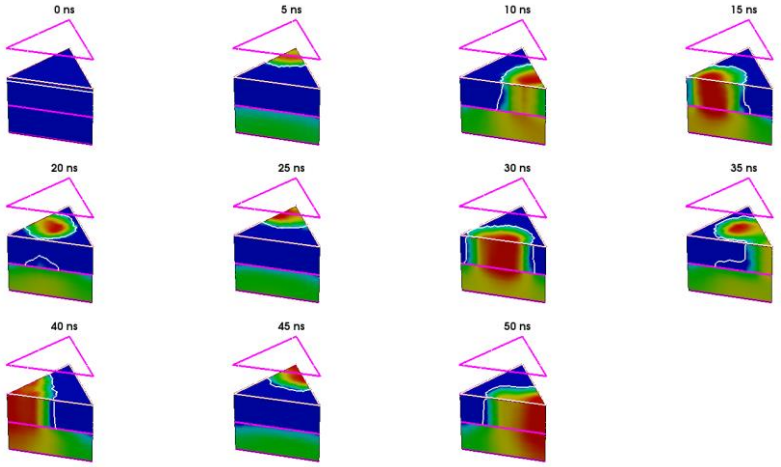

Abbildung 96 *Bewegung des Stromfilaments in 5 ns Schritten für die PIN-Diode mit Dreieckstruktur nach Abbildung 45(B).*

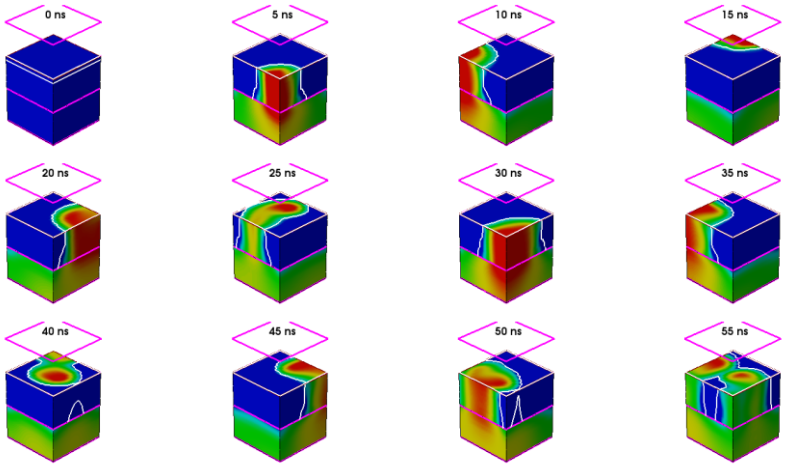

Abbildung 97 *Bewegung des Stromfilaments in 5 ns Schritten für die quadratische PIN-Diode nach Abbildung 45(C).*

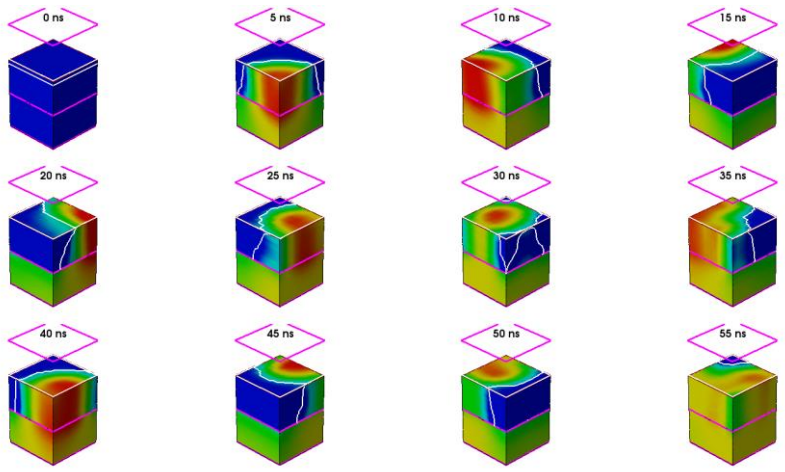

Abbildung 98 *Bewegung des Stromfilaments in 5 ns Schritten für die quadratische PIN-Diode nach Abbildung 45(D).*

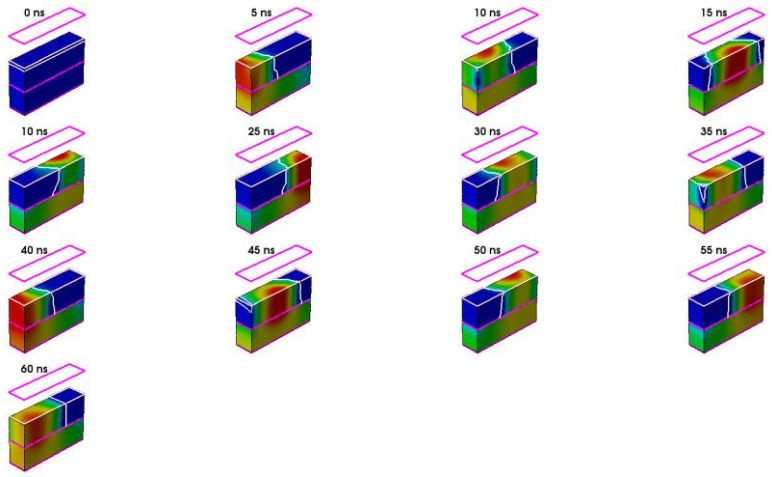

Abbildung 99 *Bewegung des Stromfilaments in 5 ns Schritten für die rechteckige PIN-Diode nach Abbildung 45(E).*

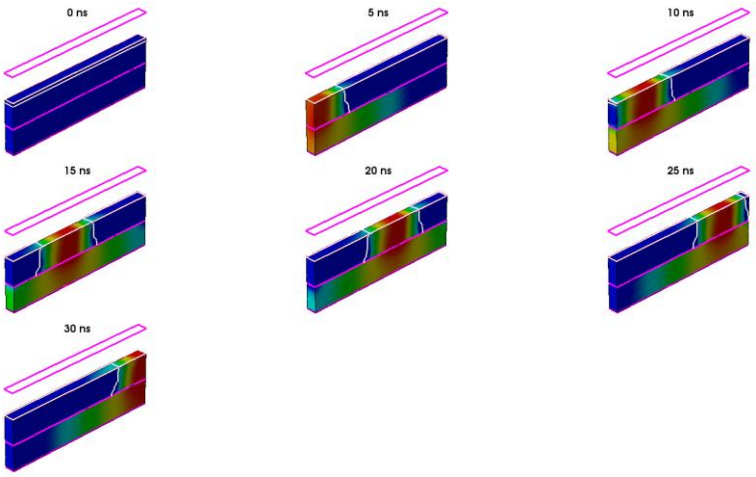

Abbildung 100 *Bewegung des Stromfilaments in 5 ns Schritten für die schmale rechteckige PIN-Diode nach Abbildung 45(F).*

8.3 Quellcode der VerilogA Modelle

8.3.1 Stückweise lineares Modell

```
module resistor_PWL_model(LEFT, RIGHT);

input LEFT, RIGHT;
electrical LEFT, RIGHT;

branch (LEFT,RIGHT) LR;

parameter real A = 1e-2 * 1e-2;
parameter real L = 10u;
parameter real eps_r  = 11.68;
parameter real V_trig = 1e2;
parameter real J_trig = 20;
parameter real J_on   = 80;
parameter real V_on   = 0;

real q = 1.602e-19;
real eps = eps_r * eps_0;

real Itot, J, sgn;

analog begin

        J = I(LR) / A;

        if (J >= 0)
                sgn = 1;
        else
                sgn = -1;

        if (0) begin
                if (abs(J) < J_trig)
```

```
                    V(LR) <+ V_trig * J / J_trig;

            else if (abs(J) < J_on)

                    V(LR) <+ sgn * V_trig * (1 - (abs(J) - J_trig)/(J_on - J_trig));

        else
            V(LR) <+ V_on;


end
endmodule
```

8.3.2 Quadratisches Modell

```
module resistor_analytic_model(LEFT, RIGHT);
input LEFT, RIGHT;
electrical LEFT, RIGHT;

branch (LEFT,RIGHT) LR;

parameter real A = 1e-2 * 1e-2;
parameter real L = 10u;
parameter real eps_r  = 11.68;
parameter real V_trig = 1e2;
parameter real J_trig = 20;
parameter real J_on   = 80;
parameter real V_on   = 0;

real q = 1.602e-19;
real eps = eps_r * eps_0;

real Itot, J, sgn;
```

```
analog begin

        V(LR) <+ 2 * I(LR) / A * V_trig / J_trig / (1 + pow(I(LR) / A / J_trig, 2));

end
endmodule
```

8.3.3 Bipolares Modell

```
module rci_model(LEFT, RIGHT);

input LEFT, RIGHT;
electrical LEFT, RIGHT;

parameter real A     = 1e-2 * 1e-2;
parameter real W     = 1e-2;
parameter real epsr  = 11.68;
parameter real I_trig = 0.01;

real q = 1.602e-19;
real mu0 = 0.14;
real eps0 = 8.854e-12;
real eps = epsr*eps0;

real R = 100;
real C = eps*A/W;

real J, J_trig, J_hold, Itot, Ip_x2, Icap, Ires;

analog begin

        Itot = I(LEFT,LEFT);

        if (abs(Itot) > I_trig)
```

```
            Ip_x2 = 0.999*Itot;
        else
            Ip_x2 = 0;

        Icap = C*ddt(V(LEFT, RIGHT));
        Ires =  V(LEFT, RIGHT)/R;

        I(LEFT, RIGHT) <+ Icap + Ires + Ip_x2;

end
endmodule
```

8.3.4 Kompaktmodell 1

```
module resistor_Caruso_model(LEFT, RIGHT);

input LEFT, RIGHT;
electrical LEFT, RIGHT, N0, P0, N1, P1, N2, P2, E0, E1, E2;

branch (N0,N1) N01;
branch (P0,P1) P01;
branch (N1,N2) N12;
branch (P1,P2) P12;
branch (P1,N1) PN1;
branch (P2,N2) PN2;
branch (E0,E1) E01;
branch (E1,E2) E12;

parameter real A    = 1u * 1u;
parameter real L    = 10u;
parameter real epsr = 11.68;
parameter real n0   = 1e21;
parameter real p0   = 1e11;
```

```
real q = 1.602e-19;
real T = 300.0;
real kB = 1.38e-23;
real Vt = kB * T / q;

real mu_0 = 0.14;
real D_0 = mu_0 * Vt;
real vsat = 1e5;
real Isat = A * q * n0 * vsat;
real eps0 = 8.854e-12;
real Vol = A * L;
real mu = mu_0;
real alpha = 7e7;
real beta = 1.231e8;
real eps = epsr * eps0;

real In1, In2, x2, M, Emax, alphaEmax, dx01, dx12, Itot;

analog begin

        Itot = I(LEFT,LEFT);

        dx01 = sqrt(min(L*L,eps*vsat*beta*A/2/alpha/(abs(Itot)+1e-5)/exp(-beta/(abs(V(E1))+1e-
        5))));
        dx12 = L-dx01;

        V(LEFT,N0) <+ 0;
        V(LEFT,P0) <+ 0;
        V(N2,RIGHT) <+ 0;
        V(E0) <+ 0;

        V(E01) <+ -dx01/(eps*vsat*A)*(I(N01)-I(P01));
        V(E12) <+ -dx12/(eps*vsat*A)*(I(N12)-I(P12));
```

```
        V(N01) <+ (V(E0)+V(E1))/2*dx01;
        V(P01) <+ (V(E0)+V(E1))/2*dx01;

        V(N12) <+ (V(E1)+V(E2))/2*dx12;
        V(P12) <+ (V(E1)+V(E2))/2*dx12;

        I(PN1) <+ dx12*alpha*exp(-beta/abs(V(E2)))*abs(V(E2))/beta*Itot;

end
endmodule
```

8.3.5 Kompaktmodell 2

```
module diode_Caruso_model(LEFT, RIGHT);

input LEFT, RIGHT;
electrical LEFT, RIGHT, M0, P0, M1, P1, M2, N2, M3, N3, E0, E1, E2, E3;

// carrier branches
branch (M0,M1) M01;
branch (P0,P1) P01;

branch (M1,M2) M12;

branch (M2,M3) M23;
branch (N2,N3) N23;

// avalanche branches
branch (P1,M1) AV1;
branch (M2,N2) AV2;

// electric field branches
branch (E0,E1) E01;
```

```
branch (E1,E2) E12;
branch (E2,E3) E23;

parameter real A    = 1u * 1u;
parameter real L    = 10u;
parameter real epsr = 11.68;
parameter real n0   = 1e21;  // n- doping
parameter real pp   = 1e25; // p+ doping

real q = 1.602e-19;
real T = 300.0;
real kB = 1.38e-23;
real Vt = kB * T / q;

real mu_0 = 0.14;
real D_0 = mu_0 * Vt;
real vsat = 1e5;
real Isat = A * q * n0 * vsat;
real eps0 = 8.854e-12;
real Vol = A * L;
real mu = mu_0;
real alpha = 7e7;
real beta = 1.231e8;
real eps = epsr * eps0;
real ni = 1.5e16;
real v_bi = Vt*ln(pp*n0/(ni*ni));

real In1, In2, x2, M, Emax, alphaEmax, dx01, dx12, dx23, Itot;

// real I0 = A * eps * vsat * beta / (2 * alpha * 0.9 * L * 0.9 * L);
real I0 = 1e-12;

analog begin

        Itot = I(LEFT,LEFT);
```

```
dx12 = sqrt(min(L*L,eps*vsat*beta*A/2/alpha/(abs(Itot)+1e-5)/exp(-beta/(abs(V(E2))+1e-
5))));
dx23 = L-dx12;
//dx01 = sqrt(2*eps*(v_bi-V(P0))/(q*n0))
dx01 = dx23;

// connecting external terminals to model
V(LEFT,M0) <+ 0;
V(LEFT,P0) <+ 0;
V(M3,RIGHT) <+ 0;
V(N3,RIGHT) <+ 0;

// E-field
V(E0) <+ -n0*sqrt(2*q/eps*(pp+n0)/(pp*n0)*(v_bi+V(P01)));

V(E01) <+ -dx01/(eps*vsat*A)*(I(M01)-I(P01));

V(E12) <+ -dx12/(eps*vsat*A)*(I(M12));
V(E23) <+ -dx23/(eps*vsat*A)*(I(N23)-I(M23));


// p+/n- voltage sources
V(M01) <+ -Vt*log(-I(M01)/I0 + 1);
V(P01) <+ -Vt*log(-I(P01)/I0 + 1);

// n- voltage source
V(M12) <+ (V(E1)+V(E2))/2*dx12;

// n-/n+ voltage sources
V(M23) <+ (V(E2)+V(E3))/2*dx23;
V(N23) <+ (V(E2)+V(E3))/2*dx23;

// create avalanche current sources
I(AV1) <+ dx01*alpha*exp(-beta/abs(V(E1)))*abs(V(E1))/beta * Itot;
```

```
        I(AV2) <+ dx23*alpha*exp(-beta/abs(V(E3)))*abs(V(E3))/beta * Itot;

end
endmodule
```

8.3.6 Kompaktmodell 3

Tabelle 3 *Modellgleichungen für Modell 3 entsprechend der jeweiligen Bahnen*

Bahn	Formel
L → T	R = Rp I = (v(L,M)/Rp) + ((Np * v(T,M)) / (Rp * Ut))
T → R	R = Rp I = (v(M,R)/Rp) + ((Np * v(T,M)) / (Rp * Ut))
L → M	C = Cd
M → R	C = Cd
L → B	R = Rn I = (v(L,M)/Rn) + ((Nn * v(B,M)) / (Rn * Ut))
B → R	R = Rn I = (v(M,R)/Rn) + ((Nn * v(B,M)) / (Rn * Ut))
T → M	C = Cp
M → B	C = Cn
T → B	I = exp(-b/v(R,M))*(i(B,R)+i(VT,R))

Np und Nn sind die Dotierkonzentrationen, Rp und Rn sind die Widerstände, Cp und Cn die Kapazitäten entsprechend für Löcher und Elektronen und Cd die Kapazität zum Modellieren des Verschiebungsstromes.

8.3.7 Kompaktmodell 4

Modell für Siliziumsubstrat

```
module bulk_dynamic_model(LP, L, LN, RP, R, RN);
```

```
inout LP, L, LN, RP, R, RN;
electrical LP, L, LN, RP, R, RN;
electrical CP, C, CN;

parameter real A     = 1e-6 * 1e-6;
parameter real W     = 10u;
parameter real epsr  = 11.68;
parameter real n0    = 1e21;
//parameter real p0    = 1e11;
parameter real T     = 300;
parameter real debug = 0;
parameter avalanche  = 1;

real p0 = 1e32/n0;
real q = 1.602e-19;
real kB = 1.38e-23;
real VT = kB*T/q;
real mu0 = 0.14;
real D = mu0*VT;
real vsat = 1e5;
real eps0 = 8.854e-12;
real eps = epsr*eps0;
real a = 1e8; // 7e7;
real b = 1.5e8; // 1.231e8;

real C_LP = abs(q*p0*A*W/(4*VT));
real C_CP = abs(q*p0*A*W/(2*VT));
real C_RP = abs(q*p0*A*W/(4*VT));

real C_LN = abs(q*n0*A*W/(4*VT));
real C_CN = abs(q*n0*A*W/(2*VT));
real C_RN = abs(q*n0*A*W/(4*VT));

real C_LE = abs(2*eps*A/W);
real C_RE = abs(2*eps*A/W);
```

```
real E_L, E_R, mu_L, mu_R, I_LP, I_RP, I_LN, I_RN;
real p_L, p_R, n_L, n_R, grad_p_L, grad_p_R, grad_n_L, grad_n_R;
real Itot, Idiff, M;

analog begin

        E_L = 2*V(L[1],C[1])/W;
        E_R = 2*V(C[1],R[1])/W;

        mu_L = mu0/sqrt(1+pow(mu0*abs(E_L)/vsat,2));
        mu_R = mu0/sqrt(1+pow(mu0*abs(E_R)/vsat,2));

        p_L = p0*(V(L[0],L[1])+V(C[0],C[1]))/(2*VT);
        p_R = p0*(V(C[0],C[1])+V(R[0],R[1]))/(2*VT);
        grad_p_L = 2*(V(C[0],C[1])-V(L[0],L[1]))/W;
        grad_p_R = 2*(V(R[0],R[1])-V(C[0],C[1]))/W;

        n_L = n0*(V(L[1],L[2])+V(C[1],C[2]))/(2*VT);
        n_R = n0*(V(C[1],C[2])+V(R[1],R[2]))/(2*VT);
        grad_n_L = 2*(V(C[1],C[2])-V(L[1],L[2]))/W;
        grad_n_R = 2*(V(R[1],R[2])-V(C[1],C[2]))/W;

        I_LP = A*q*((p0+p_L)*mu_L*E_L - D*grad_p_L);
        I_LN = A*q*((n0+n_L)*mu_L*E_L + D*grad_n_L);
        I_RP = A*q*((p0+p_R)*mu_R*E_R - D*grad_p_R);
        I_RN = A*q*((n0+n_R)*mu_R*E_R + D*grad_n_R);

        I(L[0],L[1]) <+ C_LP * ddt(V(L[0],L[1]));
        I(L[1],L[2]) <+ C_LN * ddt(V(L[1],L[2]));

        I(C[0],C[1]) <+ C_CP * ddt(V(C[0],C[1]));
        I(C[1],C[2]) <+ C_CN * ddt(V(C[1],C[2]));

        I(R[0],R[1]) <+ C_RP * ddt(V(R[0],R[1]));
```

```
        I(R[1],R[2]) <+ C_RN * ddt(V(R[1],R[2]));

        I(L[1],C[1]) <+ C_LE * ddt(V(L[1],C[1]));
        I(C[1],R[1]) <+ C_RE * ddt(V(C[1],R[1]));

        I(L[0],C[0]) <+ I_LP;
        I(L[2],C[2]) <+ I_LN;

        I(C[0],R[0]) <+ I_RP;
        I(C[2],R[2]) <+ I_RN;

end
endmodule
```

Modell für p/n-Übergang

```
module n_depletion_zone_model(L, RP, R, RN);
inout L, RP, R, RN;
electrical L, RP, R, RN;

parameter real A     = 1e-2 * 1e-2;
parameter real W     = 10u;
parameter real epsr  = 11.68;
parameter real n0    = 1e21;
parameter real p0    = 1e11;
parameter real pp    = 1e25;
parameter real T     = 300;
parameter real debug = 0;

real q = 1.602e-19;
real kB = 1.38e-23;
real VT = kB*T/q;
real mu0 = 0.14;
real D = mu0*VT;
real vsat = 1e5;
```

```
real eps0 = 8.854e-12;
real eps = epsr*eps0;
real a = 1e8; // 7e7;
real b = 1.5e8; // 1.231e8;
real ni   = 1e16; // [Nd]= 1/m^3

real C_LR0 = eps*A/W;
real xdepl;
real Vbi = VT*ln(n0*pp/pow(ni,2));

real E;
real Itot, M, C_LR;

analog begin

        E = V(L,R)/W;

        V(L,RP) <+ VT*(exp(V(L,R)/VT)-1) - V(L,R);

        I(L,R) <+ C_LR * ddt(V(L,R));

        C_LR = C_LR0*(1/sqrt(1-(V(L,R)/Vbi)));

        Itot = abs(I(RP,RP)+I(RN,RN));

        xdepl =sqrt(2*eps/q*(n0+pp)/(n0*pp)*(Vbi-V(L,R)));

        M=exp(pow(3.5*abs(V(L,R))/(xdepl*1e7+1e-5),10))-1; // multiplication factor for avalanche
        if(M>1e15) //for convergence reasons the M is limited to 1e15
                M=1e15;

         I(RN,RP) <+ (1-1/M)*Itot;

end
endmodule
```

Modell für n^-/n^+ -Übergang

```
module n_n_junction_model(LP, L, LN, R,);
inout LP, L, LN, R;
electrical LP, L, LN, R;
electrical CP, C, CN;

parameter real A     = 1e-2 * 1e-2;
parameter real W     = 10u;
parameter real epsr  = 11.68;
parameter real n0    = 1e21;
parameter real p0    = 1e11;
parameter real pp    = 1e25;
parameter real T     = 300;
parameter real debug = 0;

real q = 1.602e-19;
real kB = 1.38e-23;
real VT = kB*T/q;
real mu0 = 0.14;
real D = mu0*VT;
real vsat = 1e5;
real eps0 = 8.854e-12;
real eps = epsr*eps0;
real a = 1e8; // 7e7;
real b = 1.5e8; // 1.231e8;
real ni   = 1e16; // [Nd]= 1/m^3

real Itot, M;

analog begin

        Itot = abs(I(LP,LP)+I(LN,LN));
        M = 1+2/(1+exp(pow(1e8*A/(Itot+1e-5),1.5)));
        I(CN,CP) <+ (1-1/M)*Itot;
```

```
        I(CP,R) <+ 0;
        V(L,R) <+ 0;
        V(CN,R) <+ 0;

end
endmodule
```

8.3.8 Parameter GaAs-Modell

Tabelle 4 *Modellparameter für das analytische Modell zur Simulation einer GaAs-Diode in Sperrrichtung*

Parameter	**Wert**	**Einheit**
m	1,633	
b	1083,08	V
A	3694,44	A
E_A	0,763	eV
n	3,5	

8.4 Herleitungen

8.4.1 Herleitung Weite der Stoßionisationszone

Die Gleichung (35) lässt sich Anhand der Arbeiten von Caruso [29] herleiten. Dieser hat das elektrische Feld E_2 am Übergang zwischen den Gebieten mit und ohne Stoßionisation durch folgende Näherung beschrieben:

$$\mathrm{E}_2 = \frac{b}{\ln\left(\frac{J}{J_0}\right)} \tag{87}$$

Wobei J_0 durch folgenden Term beschrieben werden kann:

$$J_0 = \frac{\varepsilon_0 \cdot \ \varepsilon_r \ \cdot v_{sat} \cdot b}{2 \cdot \alpha_\infty \cdot L^2} \tag{88}$$

Durch Einsetzen der Gleichung (88) in Gleichung (87) und umstellen nach L erhält man folgenden Zusammenhang:

$$L = \sqrt{\frac{\varepsilon_0 \cdot \ \varepsilon_r \ \cdot v_{sat} \cdot b}{2 \cdot \alpha_\infty \cdot J} \ e^{\frac{b}{E_2}}} \tag{89}$$

Der Punkt x_2 welcher den Übergang vom Gebiet mit Stoßionisation zum Gebiet ohne Stoßionisation beschreibt wurde mittels einer Minimalfunktion nach Gleichung (89) bestimmt. Diese Minimalfunktion wird durch Gleichung (35) abgebildet.

Publikationen

- P. Scharf et. Al., On the Reverse Breakdown Behavior of GaAs PIN Diodes for High Power Applications, Romanian journal of information science and technology, Vol. 25, No. 2, Bucharest (2022)
- P. Scharf et. Al., Modeling the temperature-dependent reverse breakdown behavior of GaAs PIN diodes, International Semiconductor Conference (CAS), Online (2021)
- P. Scharf, C. Sohrmann, Formation of multiple current filaments and the effect of filament confinement in silicon based PIN diodes, International Semiconductor Conference (CAS), Online (2020)
- P. Scharf, C. Sohrmann, S. Holland, V. Beyer, Investigations on current filamentation in PIN diodes using TLP measurements and TCAD simulations, 49th European Solid-State Device Research Conference ESSDERC 2019, Krakow, Poland (2019)
- P. Scharf, C. Sohrmann, TCAD-fitted ESD modelling using equivalent circuit elements, International Electrostatic Discharge Workshop, Priorij Corsendonk, Belgium (2018)
- P. Scharf, C. Sohrmann, S. Holland, Modelling of pattern formation during electrostatic discharge, Frontiers in Analog CAD (FAC 2017), Frankfurt/Main (2017)
- P. Scharf, C. Sohrmann, S. Holland, Modelling current filamentation in Circuit Simulation, International Electrostatic Discharge Workshop, Tutzing (2016)
- P. Scharf, C. Sohrmann, A tool for generating physics-based substrate models for circuit simulation, Dresdner Arbeitstagung Schaltungs- und Systementwurf, Cottbus (2016)
- C. Sohrmann, P. Scharf, S. Holland, Modelling current filamentation during ESD events, MOS-AK, Dresden (2016)

Danksagung

Ich möchte mich bei allen Kollegen und Freunden am Fraunhofer IIS/EAS in Dresden für die gute Zusammenarbeit bedanken. Besonders hervorheben möchte ich dabei Christoph Sohrmann, der mir in allen fachlichen Angelegenheiten mit Rat und Tat zur Seite gestanden hat, Fabio Alberto Velarde Gonzales für die Unterstützung bei der GaAs-Modellierung und der Hilfestellung bzgl. Python, André Lange für das kritische Korrekturlesen und für seine hilfreichen Anregungen und Felix Büchle für die Hilfestellung in Sachen Simulationstools.

Ebenso möchte ich dem gesamten Institut für Angewandte Physik der TU Freiberg meine Anerkennung entgegenbringen. Besonderer Dank geht an meinen Doktorvater Johannes Heitmann für die gute Betreuung der Arbeit und seine stets hilfreichen und förderlichen Impulse. Für den Austausch und die Diskussion in Sachen Messungen und Prozessierung von GaAs-Dioden bedanke ich mich herzlich bei Tobias Urban.

Mein Dank gilt auch dem Team von 3-5 Power Electronics GmbH in Dresden für die gute Zusammenarbeit, dem Bereitstellen von Dioden und dem kritischen Review von Mess- und Simulationsdaten. Allen voran sind hier Marc Dittrich und Volker Dudek hervorzuheben.

Steffen Holland von Nexperia Germany GmbH gilt mein Dank für das Bereitstellen von Teststrukturen, die Hilfe bei den TLP-Messungen, sowie der Kompaktmodellierung und den fruchtvollen Diskussionen.

Zu guter Letzt möchte ich meiner Familie und meinen Freunden danken, die mich auf dem langen Weg der Promotion begleitet haben. Besonderer Dank gilt meiner Freundin Mattilda, die stets treu an meiner Seite war und mir immer den Rücken gestärkt hat.

Referenzen

[1] W. Gosling, Electronics: State of the art No. 2, Phys. Educ. Vol. 14, 1979, GB

[2] P. Schnabel, Elektronik-Fibel. Elektronik Grundlagen, Bauelemente, Schaltungstechnik, Digitaltechnik. 7. überarbeitete Auflage, 2017

[3] S. L. Hurst, The art of electronics, Microelectronics Journal, Vol. 24, Issue 5, 1993, UK

[4] S. M. Sze, Physics of Semiconductor Devices, 2nd Edition, John Wiley & Sons, 1981

[5] B. Doherty, PIN Diode Fundamentals, Microsemi, MicroNotes Series 701, 1998

[6] Skyworks Solutions, Design With PIN Diodes, Application Notes, 2012

[7] G. Kessel, J. Hammerschmitt, E. Lange, Signalverarbeitende Diode, Springer-Verlag, 1982

[8] V. A. Vashchenko, A. Shibkov, ESD Design for Analog Circuits, Springer, 2010

[9] S. Coffa et. Al., Crucial Issues in Semiconductor Materials and Processing Technologies, 1st edition, Springer, 1992

[10] Y. Zhou et. Al., Modeling MOS Snapback for Circuit-Level ESD Simulation Using BSIM3 and VBIC Models, International Symposium on Quality Electronic Design, IEEE, 2005

[11] C. Austermann et. Al., Modellierung von ESD Schutzelementen mit Snapback-Verhalten, ESD Forum, 2015

[12] G. Bertrand, Analysis and Compact Modeling of a Vertical Grounded-Base n-p-n Bipolar Transistor Used as ESD Protection in a Smart Power Technology, IEEE Journal of Solid-State Circuits, Vol. 36, No. 9, 2001

[13] F. Iacopi et. Al., Power electronics with wide bandgap materials: Towards greener, more efficient technologies, Materials Research Society, 2015

[14] G. Kucera, GaAs-Leistungshalbleiter als Ergänzung zu SiC und GaN, Elektronik Praxis, 2018 (Link: https://www.elektronikpraxis.vogel.de/gaas-leistungshalbleiter-als-ergaenzung-zu-sic-und-gan-a-723927/ ; aufgerufen am: 09.11.2020)

[15] J. Lutz et. Al., Semiconductor Power Devices – Physics, Charactersistics, Reliability, Springer, 2011

[16] L. Stiny, Aktive elektronische Bauelemente: Aufbau, Struktur, Wirkungsweise, Eigenschaften und praktischer Einsatz diskreter und integrierter Halbleiter-Bauteile, 4. Auflage, Springer Verlag, 2019

[17]G. Deboy, P. Friedrichs, Zukünftige Trends bei der Wahl von Leistungshalbleiter-Bauelementen, Trend-Guide Leistungselektronik, Markt & Technik, 2019

[18]J. Millán et. Al. A Survey of Wide Bandgap Power Semiconductor Devices, IEEE Transactions on Power Electronics, Vol. 29, No. 5, 2014

[19]J. L. Hudgins et. Al., An Assessment of Wide Bandgap Semiconductors for Power Devices, IEEE Transactions on Power Electronics, Vol. 18, No. 3, 2003

[20]T. P. Chow et. Al., Smart Power Devices and ICs Using GaAs and Wide and Extreme Bandgap Semiconductors, IEEE Transactions on electron Devices, Vol. 64, No. 3, 2017

[21]J. Lutz, G. Kucera, GaAs-Leistungshalbleiter als Ergänzung zu SiC und GaN, In: Elektronik Praxis, 2018, verfügbar unter: https://www.elektronikpraxis.vogel.de/gaas-leistungshalbleiter-als-ergaenzung-zu-sic-und-gan-a-723927/, zuletzt aufgerufen am: 19.03.2020

[22]S. C. Bera, Microwave Active Devices and Circuits for Communication, Volume 533, Springer, 2019

[23]C. Papadopoulos, Solid-State Electronic Devices: An Introduction, Springer, 2014

[24]P. Schnabel, Elektronik-Fibel: Grundlagen, Bauelemente, Schaltungstechnik, Digitaltechnik, 7. Auflage, 2017

[25]B. Doherty, PIN Diode Fundamentals, Micro Notes, Series 701, Microsemi Watertown, 1997

[26]Synopsys, Sentaurus Device User Guide, Version M-2016.12, (2016)

[27]Z. Pan, Modeling and optimization of discrete ESD protection devices, Dissertation, TU Hamburg-Harburg, 2015

[28]W. Maes, K. Meyer, R. Van Overstaeten, Impact Ionization in silicon: A review and update, Solid-State Electronics Vol. 33, No. 6, 1990

[29]A. Caruso, P. Spirito, Negative Resistance Induced by Avalanche Injection in Bulk Semiconductors, IEEE Transactions on Electron Devices, Vol. ED-21, No. 9, 1974

[30]M. Denison et Al., Hot Spot Dynamics in Quasi Vertical DMOS under ESD Stress, ISPSD (2003)

[31]R. Xingrong et Al., Motion of current filaments in avalanching PIN diodes, J. Semicond. 34 (4), (2013)

[32]P. Scharf et Al., Modelling current filamentation in Circuit Simulation, International Electrostatic Discharge Workshop, 2016

[33]G. Verzellesi et Al., SPICE modelling of impact ionisation effects in silicon bipolar transistors, IEE Proc.-Circuits Devices Syst., Vol. 143, No. I, 1996

[34]D. Pogany et al., Thermally-driven motion of current filaments in ESD protection devices, Solid-State Electronics 49, 2005

[35] Y. P. Varshni, Temperature Dependence of the Energy Gap in Semiconductors, Physica 34, 1967

[36]P. Scharf et Al., Investigations on current filamentation in PIN diodes using TLP measurements and TCAD simulations, 49th ESSDERC Conference, 2019

[37]O. Semenov et Al., ESD Protection Device and Circuit Design for Advanced CMOS Technologies, Springer, 2008

[38]C. Diaz et. Al., Tutorial Electrical Overstress and Electrostatic Discharge, IEEE Transactions on Reliability, Vol. 44, No. 1, 1995

[39]A. Amerasekera, C. Duvvury, ESD in Silicon Integrated Circuits, 2nd Edition, Wiley, 2002

[40]J. E. Vinson, J. J. Liou, Electrostatic Discharge in Semiconductor Devices: An Overview, IEEE Proceedings, Vol. 86, No. 2, 1998

[41]F. Yuan, Electrostatic Discharge Protection, Department of Electrical & Computer Engineering, Ryerson University, 2012

[42]P. L. Hower, V. G. K. Reddi, Avalanche Injection and Second Breakdown in Transistors, IEEE Transactions on electron Devices, 1970

[43]A. Dong et Al., Comprehensive Study of ESD Design Window Scaling Down to 7nm Technology Node, IEEE Xplore, 2018

[44]J.-W. Jung, Y.-S. Koo, Design of SCR-Based ESD Protection Circuit for 3.3 V I/O and 20 V Power Clamp, Wiley, 2015

[45]S. Cao, ESD Design Challenges and Strategies in Deeply-Scaled Integrated Circuits, Dissertation, Stanford University, 2010

[46]Industry Council on ESD Target Levels, White Paper 1: A Case for Lowering Component Level HBM/MM ESD Specifications and Requirements, Revision 2.0, 2010 (esda.org)

[47]V. Vashchenko, M. Scholz, System Level ESD Protection, Springer, 2014

[48]M.-D. Ker, J.-J. Peng, H.-C. Jiang, ESD Test Methods on Integrated Circuits: An Overview, IEEE, 2001

[49]R. Ashton, Using Transmission Line Pulse Measurements to Understand Protection Product Characteristics, Semiconductor Components Industries, LLC, 2011

[50]W. Simbürger, High Current TLP Characterisation: An Effective Tool for the Development of Semiconductor Devices and ESD Protection Solutions, ARMMS RF & Microwave Society, 2012

[51]D. Bonfert et. Al., Transmission Line Pulse Stress on Thick Film Resistors, ISSE, 2007

[52]Silvaco, Atlas User Manual – Sevice Simulation Software, 2016

[53]P. Steinke, Finite-Elemente-Methode: Rechnergestützte Einführung, Springer, 2015

[54]B. Zahiri, Structured ASICs: Opportunities and Challenges, Proceedings of the 21st International Conference on Computer Design ICCD, 2003

[55]T. Urban, GaAs high power diodes: process evaluation and electrical characterization, Doktoranden-Workshop Institut für Angewandte Physik, 2020

[56]Cadence Virtuoso, (Link: https://www.cadence.com/en_US/home/tools/custom-ic-analog-rf-design/circuit-design.html; aufgerufen am: 23.03.2021)

[57]R. Xingrong et. Al., Motion of current filaments in avalanching PIN diodes, Journal of Semiconductors, Vol. 34, No. 4, 2013

[58]G. Notermanns, S. Holland, C. Sohrmann, ESD protection methodology on system level and concept on device level, EDA Workshop, Dresden, 2015

[59]D. Johnsson et. Al., Second breakdown behavior in bipolar ESD protection devices during low current long duration stress and int relation to moving current-tubes, IEE 46th Annual International Reliability Physics Symposium, 2008

[60]D. Petrascheck, F. Schwabl, Elektrodynamik, 3. Auflage, Springer Spektrum, 2019

[61]P. Scharf, C. Sohrmann, A tool for generating physics-based substrate models for circuit simulation, DASS, 2016

[62]J. G. Linvill, Lumped Models of Transistors and Diodes, in Proceedings of the IRE, vol.46, no.6, 1958

[63]C. T. Sah, The equivalent circuit model in solid-state electronics—III: Conduction and displacement currents, Solid-State Electronics 13.12, 1970

[64]A. Arendt, The RCI model—A general model for semiconductor devices, in Electron Devices, IEEE Transactions on, vol.20, no.1, 1973

[65]D. M. Caughey, R. E. Thomas, Carrier Mobilities in Silicon Empirically Related to Doping and Field, Proc. IEEE, Vol. 55, 1967

[66]Datasheet 35P-PND-60-090D, 3-5 Power Electronics, 23.01.2020

[67]J. Wood, D. V. Morgan, Gallium Arsenide and Related Compounds for Device Applications, Acta Physica Polonica A, Vol. 79, 1990

[68]Homepage der 3-5 Power Electronics GmbH: http://3-5pe.com/, Aufgerufen am 23.10.2021

[69]R. Klicka, L. Kubacek, Statistical properties of linearization of the Arrhenius equation via the logarithmic transformation, Elsevier Science B.V., Chemometrics and Intelligent Laboratory Systems 39, 1997

[70]S. L. Miller, Avalanche Breakdown in Germanium, Phys. Rev. 99, 1234, 1955