

Schlussbericht

Vorhabensbezeichnung:

cSoC-3D / Echtzeitfähige 3D-Datenverarbeitung auf
kaskadierten analog-digital customized System on
a Chip (cSoC)-Architekturen

Teilvorhaben:

cVSoC-3D / „customized Vision System on Chip for 3D
Processing“

Kurzbezeichnung:

cVSoC-3D

ZE: Fraunhofer Institut für Integrierte Schaltungen,
Institutsteil Entwicklung Adaptiver Systeme EAS

Kontakt: Dr.-Ing. Jens Döge und Dipl.-Ing. Christoph Hoppe
E-Mail: jens.doege@eas.iis.fraunhofer.de
Tel.: 0351 / 4640-831

Sachbericht zu Nr. 8.1 NKBF 98

ZE: Fraunhofer Institut für Integrierte Schaltungen,
Institutsteil Entwicklung Adaptiver Systeme EAS
Zeunerstr. 38
01069 Dresden

Förderkennzeichen: 03ZZ0427E

Vorhabensbezeichnung: cSoC-3D / Echtzeitfähige 3D-Datenverarbeitung auf
kaskadierten analog-digital customized System on a Chip
(cSoC)-Architekturen
Teilvorhaben: cVSoC-3D / „customized Vision System on Chip
for 3D Processing“

Laufzeit des Vorhabens: 01.05.2016 bis 31.12.2019

Berichtszeitraum: 01.05.2016 bis 31.12.2019

Inhaltsverzeichnis

1	Kurzdarstellung	4
1.1	Aufgabenstellung	4
1.2	Projektvoraussetzungen	4
1.3	Planung und Ablauf des Vorhabens	5
1.4	Stand der Wissenschaft und Technik	5
1.4.1	Stand der Wissenschaft und Technik bezüglich Pixel und Speicher	5
1.4.2	Stand der Wissenschaft und Technik bezüglich der Bildsensoren mit integrierter Signalverarbeitung	6
1.4.3	Stand der Wissenschaft und Technik bezüglich der Weißlichtinterferometrie	8
1.4.4	Stand der Wissenschaft und Technik bezüglich Laserlichtschnitt	9
1.5	Nutzung von Schutzrechten und Verfahren zur Projektdurchführung	11
1.6	Nutzung von Fachliteratur	12
1.7	Zusammenarbeit mit anderen Stellen	12
2	Eingehende Darstellung	12
2.1	Wissenschaftlich-technische und andere wesentliche Ergebnisse	12
2.1.1	Pixel-Testchip (TC1)	13
2.1.2	VSoC-Testchip (TC2)	15
2.1.3	cVSoC	20
2.1.4	Laserlichtschnitt Verfahren	24
2.1.5	Weißlicht Interferometrie Verfahren	25
2.2	Ergebnisverwertung des Vorhabens	28
2.3	Bekannt gewordene FE-Ergebnisse Dritter	29

1 Kurzdarstellung

1.1 Aufgabenstellung

Die schnelle Erfassung von 3D-Daten, deren Weiterverarbeitung und letztendlich die Ermittlung von qualitativen und quantitativen Qualitätsmerkmalen ist für die Produktionstechnologie entscheidend. Zur Erhöhung der Geschwindigkeit bildverarbeitender 3D-Messsysteme sollte ein neuartiger CMOS Bildsensor mit integrierter, analoger und digitaler Vorverarbeitung entwickelt werden. Seit dem Beginn der CMOS-Bildsensorik gibt es Bestrebungen Bildverarbeitung und Merkmalsextraktion so nah wie möglich am Pixel durchzuführen und die dadurch mögliche massive Parallelität zur Erzielung hoher Verarbeitungsgeschwindigkeiten auszunutzen. Bisherige Konzepte wiesen zumeist geringe Füllfaktoren und demzufolge geringe Empfindlichkeit der Pixelzellen, eine eingeschränkte weit geringere Auflösung als bei konventionellen Bildsensoren sowie eine meist komplizierte externe Ansteuerung bzw. Programmierung auf. Im Rahmen von cVSoC-3D sollte auf der Grundlage eines neuartigen ladungsbasierten Bildsensor-Konzepts ein Vision-System-on-Chip (customizable Vision System-on-Chip cVSoC) entwickelt werden, das die konzeptionellen Vorteile „hohe Geschwindigkeit bei der programmierbaren Abarbeitung komplexer Bildverarbeitungsalgorithmen“ mit einer Lin/Log Übertragungskennlinie für einen großen Dynamikumfang verbindet und sich gleichzeitig aufgrund der Sensor-Prozessor Architektur besonders gut für die 3D-Bilderfassung und -verarbeitung eignet. Anhand der beiden Verfahren Laserlichtschnitt und Weißlicht-Interferometrie soll diese Eignung im Rahmen von Messsystem-Demonstratoren gezeigt werden. Gemeinsam mit dem Technologiepartner X-FAB wurden die besonderen technologischen Herausforderungen Optimierung der Pixelzelle auf größtmögliche Empfindlichkeit sowie Fertigung des System-on-Chip mit maximaler Pixel-Uniformität und Ausbeute adressiert.

1.2 Projektvoraussetzungen

Die am Fraunhofer IIS/EAS entwickelte Bildsensor-Technologie aus ladungsbasierten Pixelzellen, einer spaltenparallelen Bildverarbeitungsarchitektur und Prozessoren mit applikationsspezifischem Befehlssatz (ASIP) (s. Abbildung 1.1) stellt die Grundlage für die Entwicklung neuartiger programmierbarer Vision-Systems-on-Chip für eine Vielzahl verschiedener Aufgaben dar. Die erste prototypische Implementierung dieses Vision-System-on-Chip wurde auf dem 2015 International Image Sensor Workshop vorgestellt [DHRP15]. Abbildung 1.1 zeigt das Blockschaltbild dieses VSoC.

Es besteht aus einer Sensor Matrix mit 1 MPix, einer frei programmierbaren Matrix-Steuerung LINECTRL, einem spaltenparallelen gemischt analog/digitalen SIMD-Datenpfad mit entsprechender Steuerung SIMDCTRL sowie einer globalen Steuerung des Gesamtsystems GLOBALCTRL, an der die digitalen Schnittstellen für die schnelle Datenausgabe PARDOUT, die externe Steuerung und Parametrierung EGI-Interface sowie die externe Synchronisation und Steuerung GPIO angeschlossen werden können. Alle programmierbaren Steuerungen sind als Stack-Prozessoren mit applikationsspezifischem Befehlssatz (ASIP) ausgeführt [RDPH15]. Durch seine ladungsbasierte Architektur sowie die spaltenparallelen SIMD-Datenpfade ist es möglich verschiedene Algorithmen hochparallel on-chip auszuführen. Dabei weisen die FET-basierten Pixelzellen aufgrund ihrer linear-logarithmischen Kennlinie einen Dynamikumfang von mehr als 120 dB auf, wodurch sie sich besonders für die Erfassung von sehr kontrastreichen Bildinformationen z.B. an Oberflächen mit starken Unterschieden der Reflexionswerte eignen. Im Projekt cVSoC-3D sollte auf dieser Grundlage ein neues Vision-System-on-Chip entwickelt werden, dass sich

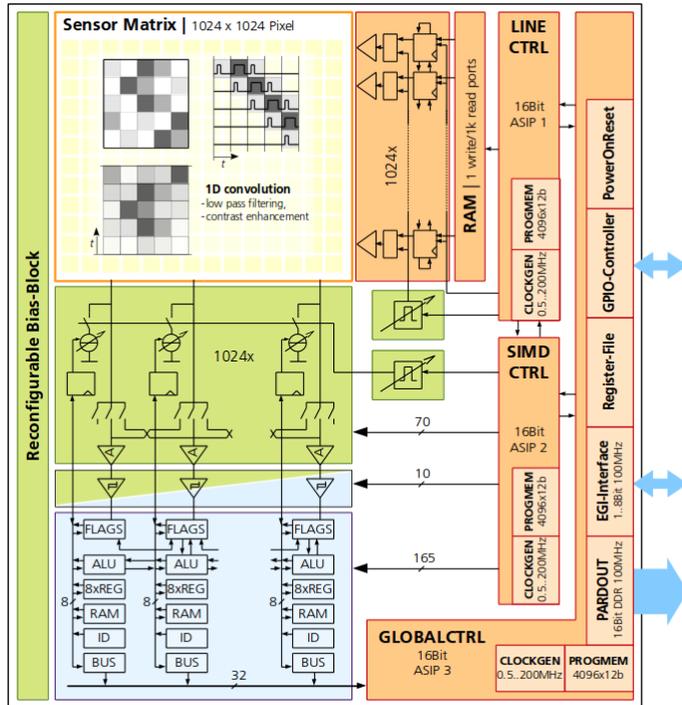


Abbildung 1.1: Blockschaltbild des VSoCs vor Projektbeginn

insbesondere für die Aufnahme und hochparallele Verarbeitung von Bildinformationen aus Laserlichtschnitt- und Weißlicht-Interferometrie Anwendungen eignet.

1.3 Planung und Ablauf des Vorhabens

Für die Durchführung des Projektes war der Zeitraum 01.05.2016 bis 30.05.2019 geplant. Die einzelnen Arbeiten wurden zielgerichtet und systematisch anhand des Arbeitsplanes durchgeführt, wobei mindestens halbjährlich Treffen mit allen Projektpartnern zum Besprechen des Arbeitsstandes und weiteren Vorgehen erfolgten. Nach Fertigstellung des zweiten Testchips offenbarte sich aufgrund eines Designfehlers und deutlich höherem Testaufwand, dass die maximale Performance für die angestrebten Projekt-Demonstratoren nur mit dem finalen dritten Chip zu erreichen ist. Daher wurde eine kostenneutrale Projektverlängerung bis 31.12.2019 beantragt und genehmigt. Die zusätzliche Zeit wurde intensiv genutzt um den finalen Chip fertigzustellen, ein ursprünglich nicht geplantes Chip-Package samt Testsystem mit 3D-gedrucktem Sockel sowie die Demonstration des Laserlichtschnitt- und Weißlicht Interferometrieverfahrens zu realisieren.

1.4 Stand der Wissenschaft und Technik

1.4.1 Stand der Wissenschaft und Technik bezüglich Pixel und Speicher

Die Empfindlichkeit eines Bildsensors ist maßgeblich durch den Dunkelstrom sowie die Quanteneffizienz bestimmt. Für das zu Beginn des Projekts zur Verfügung stehende

VSoC [DHRP15] wurden Standard-Dioden, d.h. nicht speziell für Bildsensor-Anwendungen optimierte Dioden, eingesetzt, wobei ein Dunkelstrom von ca. 6200 e⁻/s gemessen wurde. Aufgrund der begrenzten Full-Well-Kapazität wird neben der Empfindlichkeit somit auch die maximale Belichtungszeit bestimmt. Basistechnologie für die Bildsensoren ist ein 0.18 µm CMOS Prozess. In diesem Prozess gibt es Pixelzellen auf Basis von vier Transistoren, welche einen deutlich geringeren Dunkelstrom aufweisen.

Komplexe Bildverarbeitungsalgorithmen, die neben lokalen Abhängigkeiten auch temporale Beziehungen berücksichtigen, erfordern einen speziell an die Bedürfnisse des Vision Chips angepassten Speicher (RAM). Dieser muss neben einer ausreichenden Kapazität von mehreren Bit pro Pixel auch über eine sehr breite Anbindung verfügen. Da der Anteil der photosensitiven Fläche an der Gesamtfläche des Chips möglichst groß sein soll, darf der Speicher selbst zudem nur wenig Fläche benötigen. Die benötigte Fläche hängt hauptsächlich von der Architektur der eingesetzten Speicherzelle ab. Typische SRAM-Zellen bestehen aus sechs Transistoren und besitzen einen statischen Ruhestrom zum Halten der Bit-Information. Im Gegensatz dazu verwendet die DRAM-Zelle nur einen Transistor und speichert ihre Information in einem Kondensator. Ein statischer Ruhestrom ist zum Halten der Information nicht notwendig, allerdings verringert sich das Spannungsniveau mit der Zeit durch Leckströme und muss aufgefrischt werden. Dazu werden in bestimmten zeitlichen Abständen die Speicherzellen neu geschrieben. Der entsprechende Algorithmus wird meist vom Speichercontroller abgearbeitet und ist nach außen hin nicht sichtbar. Durch die kompakte Architektur bestehend aus Transistor und Kondensator können DRAM-Zellen wesentlich kleiner entworfen werden, als vergleichbare SRAM-Zellen. Zur Kompensation von Leckströmen in der DRAM-Zelle ist ein zyklisches Auffrischen im zweistelligen Millisekunden- bis Sekundenbereich in Abhängigkeit von Speicherkapazität und Temperatur [RCK⁺10] notwendig. Die Wiederholrate kann durch Erhöhen der Speicherkapazität (z. B. Deep Trench [ADG⁺95]) verringert werden. Neben der während eines parallel möglichen DRAM-Zugriffs notwendigen Zeit für die Auffrischung von Zellen tritt ein dynamischer, zeitlich integriert statischer, Ruhestrom auf. Da aber nicht jede Zelle zyklisch erneuert werden muss, weil z. B. vor Kurzem ein Zugriff stattgefunden hat, gibt es verschiedene Verfahren ([Dav05, DFH92, TCV94]) zur intelligenten Minimierung dieses Ruhestroms und damit auch der Auffrischrate. Eine DRAM-Zelle mit Deep-Trench-Technologie würde eine zusätzliche Prozessoption und damit zusätzliche Kosten verursachen. Diese Technologie ist allerdings für die avisierte Sensor-Architektur nicht zwingend notwendig, da die SIMD-Einheit mit einer Taktrate von 100 MHz arbeitet und für die meisten Algorithmen nur zeitlich kurz aufeinanderfolgende Bilder benötigt werden. Bei 1000 Bildern pro Sekunde ist beispielsweise eine Auffrischrate von einer Millisekunde notwendig, so dass die Bildrate höher ist als die benötigte Auffrischrate des Speichers. Dies erlaubt den Entwurf von sehr kleinen DRAM-Zellen auch ohne zusätzlichen Prozessoptionen.

1.4.2 Stand der Wissenschaft und Technik bezüglich der Bildsensoren mit integrierter Signalverarbeitung

Bildsensoren, die durch integrierte, hochparallele Signalverarbeitung bereits auf dem Sensor eine Reduktion der Datenmenge auf relevante Merkmale erreichen, werden als „Vision Chips“ bezeichnet. Auf dem Sensor stehen verschiedene analoge oder digitale Prozessor-Elemente (PE) bereit, die in Bildverarbeitungsalgorithmen eingesetzt werden. Der Grad der Parallelisierung kann dabei von einzelnen, im Ausgabepfad befindlichen PE (keine Parallelisierung), über eine Spalten- bzw. Zeilen- parallele Anordnung der PE bis zu jeweils einem eigenen PE pro Pixel variieren. Neben Systemen mit fest integriertem Algorithmus (z.B. Optische Maus) erlauben programmierbare Vision Chips den flexiblen Einsatz der PE für unterschiedliche Applikationen. Der in [LMJM05] vorgestellte

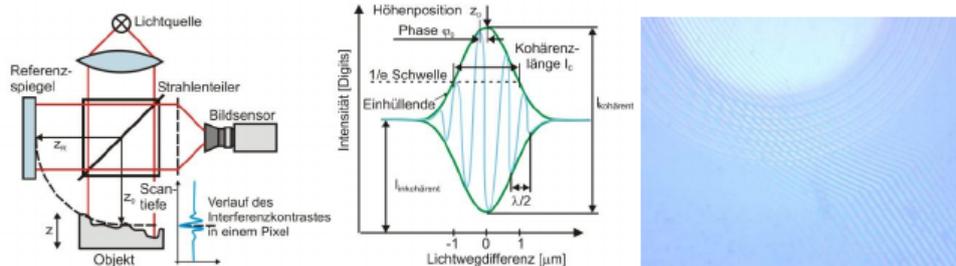


Abbildung 1.2: Prinzip der Weißlichtinterferenz (links), korrespondierendes Interferogramm (Mitte), Aufnahme mit Linnikinterferometer (rechts)

Sensor mit einer Auflösung von 1536x512 Pixeln wurde speziell für Laser- Lichtschnitt Anwendungen entwickelt und kommt im Ranger E55 der Firma Sick zum Einsatz. Jede Spalte verfügt jeweils über ein eigenes digitales, bit-serielles PE. Die PE werden nach dem Single-Instruction-Multiple-Data-Prinzip (SIMD) angesteuert und sind zur Binärbild-Verarbeitung optimiert. Die Verwendung von Standard 3T-Pixelzellen verbietet die Betriebsart Global-Shutter, zudem ist der Dynamikumfang aufgrund der linearen Kennlinie auf 60 dB begrenzt. Die integrierte Verarbeitung erfolgt rein digital, weshalb beim Einsatz von Filterkernen eine vorhergehende, zeitintensive Analog-Digital-Umsetzung erfolgen muss. Obwohl in der Literatur viele weitere Beispiele für zum Teil sehr komplexe Vision Chips angegeben werden, konnten sich bisherige Systeme kaum durchsetzen und beschränken sich zumeist lediglich auf den akademischen Bereich. Insbesondere für Pixel-parallele Architekturen werden von Dupret et. al. [DTV⁺11] verschiedene Gründe genannt: Neben den sehr großen Pixeln mit vielen Transistoren und der resultierenden beschränkten örtlichen Auflösung, stellen auch der geringe Füllfaktor mit entsprechend niedriger Empfindlichkeit sowie die Beschränkung auf sehr einfache Operationen wesentliche Hürden dar. Zudem ist für alle in der Literatur angegebenen Sensoren ein externes Steuerwerk notwendig, wobei zur Ansteuerung zahlreiche Steuersignale mit hoch präzisem Zeitverhalten erforderlich sind. Basierend auf der in [Dög08] beschriebenen ladungsbasierten Technologie wurden am Fraunhofer IIS/EAS mehrere Testchips entwickelt und charakterisiert. Durch diese neuartige Bildsensor-Prozessor Architektur wird es möglich, Bildfolgen mit einer sehr hohen Parallelität und damit Effizienz in der Sensor-matrix aus linear-logarithmischer Pixelzelle, Spalten-parallelem Auslesepfad, Zeilensteuerung und Biasversorgung zu verarbeiten. In der analogen Domäne können noch vor der Analog / Digital- Wandlung anhand der zeilenweisen Steuerung der Weiten von Strom-pulsen aufwändige Faltungsoperationen (Gauß, Marr-Hildreth bzw. LoG, etc.) bei voller bzw. nur geringfügig reduzierter Bildrate bis in den kHz Bereich durchgeführt werden. Die sich anschließende Analog / Digital- Wandlung wird mit angepasster Bitbreite durchgeführt, wodurch die erzielbare Zeilenrate erheblich erhöht und der Aufwand für die ebenfalls auf dem Bildsensor-SoC integrierte digitale Signalverarbeitung verringert werden können. Ein integriertes, programmierbares Steuerwerk [RDPH15] erlaubt die direkte Interaktion mit externen Sensoren und Aktoren und deren Einbeziehung in den Bild-verarbeitungsalgorithmus. Der zu Beginn des Projektes zur Verfügung stehende Testchip [DHRP15] verfügt über 1024x1024 ladungsbasierte Pixelzellen und ermöglicht die Aus-führung sowohl analoger als auch digitaler Berechnungen direkt auf dem Chip. Die den Sensor verlassenden Informationen werden somit auf das unbedingt notwendige Maß reduziert.



Abbildung 1.3: WL-Interferometer Korad 3D der Firma 3D-shape

1.4.3 Stand der Wissenschaft und Technik bezüglich der Weißlichtinterferometrie

Die Weißlichtinterferometrie (WLI) ist ein Messprinzip zur berührungslosen, optischen Abstandsmessung. Je nach Auslegung des entsprechenden Sensorsystems lässt sich damit zum Beispiel eine Bestimmung der dreidimensionalen Oberflächengeometrie eines zu untersuchenden Objektes durchführen. Zur Beleuchtung kommt eine Lichtquelle mit mittlerer Wellenlänge λ und teilkohärentem Licht zum Einsatz. Die Kohärenzlänge der Lichtquelle spielt dabei eine wichtige Rolle für die erreichbare Genauigkeit. Das Messprinzip basiert auf der Überlagerung eines vom Objekt reflektierten Messstrahles mit einem Referenzstrahl. Während die zurückgelegte Weglänge des Referenzstrahls bekannt ist, hängt diese für den Messstrahl vom Abstand zur Objektoberfläche ab. Dadurch ergibt sich ein Gangunterschied („OPD“ = optical path difference, übliche Abk. der Optik). In Abbildung 1.2 links ist der Aufbau eines Michelson-Interferometers dargestellt. Die von der Lichtquelle ausgesendeten Strahlen treffen zunächst auf einen Strahlteiler, welcher einen Teil des Lichts auf das Objekt, den anderen Teil hingegen auf einen Referenzspiegel leitet. Das vom Referenzspiegel reflektierte Licht trifft mit dem vom Objekt reflektierten Anteil erneut auf den Strahlteiler und wird dadurch auf dem Weg zum Detektor zusammen geführt und überlagert. Liegt der Gangunterschied der zurückgelegten Weglängen beider reflektierten Lichtstrahlen unterhalb der Kohärenzlänge (Abbildung 1.2 Mitte) des Lichtes, so kommt es zu Interferenzerscheinungen (Abbildung 1.2 rechts). Die Abbildung zeigt ein Kamerabild, auf dem das Phänomen aufgezeichnet wurde. Zur Detektion der Intensitätsverläufe der Interferenzsignale ist eine Modulation des Gangunterschieds erforderlich. In vielen Fällen wird dazu der Referenzspiegel verschoben und gleichzeitig in äquidistantem Abstand Δx Bilder aufgenommen. Das Verfahren wird z.B. in [Dög08] genauer beschrieben. Bei $\lambda = 580 \text{ nm}$ ergibt sich nach Abtasttheorem ein Mindestabstand von $\Delta x = \lambda/4 = 145 \text{ nm}$ und somit 6900 Bilder pro Millimeter Verfahrensweg, um die Interferenzmodulation adäquat aufzeichnen zu können. Zur Rekonstruktion der Höheninformation ist mindestens die Einhüllende des in Abbildung 1.2 Mitte dargestellten Interferenzmusters, sowie die dazugehörige Position der Kamera notwendig. In Abbildung 1.3 ist ein kommerziell erhältliches System der Firma 3D-shape dargestellt. Einen alternativen Aufbau stellt das Mirau-Interferometer dar. Bei diesem ist der Referenzspiegel innerhalb des Objektivs angebracht. Die resultierende Weglänge des Referenzstrahles ist somit konstant. Die Beobachtung von Interferenzmustern hängt von der eingestellten Schärfentiefe des Mikroskops ab. Für eine optimale Detektion muss die Interferenzebene

in der Mitte des Schärfebereichs liegen.

Beim Michelson-Interferometer werden telezentrische Objektive zur Abbildung auf dem Bildsensor eingesetzt, wodurch eine sehr große Dynamik hinsichtlich des Verfahrweges erzielt werden kann. Hingegen ist das Mirau-Interferometer durch die konstante Weglänge des Referenzstrahls und die notwendige Einstellung der Schärfentiefe diesbezüglich begrenzt. In den meisten kommerziell verfügbaren WLI werden zur Bildaufnahme handelsübliche, digitale Industriekameras eingesetzt und die aufgenommenen Bilder zu einem nachgelagerten Verarbeitungssystem übertragen. Die erreichbare Geschwindigkeit wird hierbei hauptsächlich durch das Auslesen und Übertragen der Bildinformationen bestimmt. Bei 340 Bildern pro Sekunde und 6900 Bildern pro Millimeter Verfahrweg ergibt sich somit eine maximale Aufnahmegeschwindigkeit von 49,3 $\mu\text{m/s}$ bzw. 20,3 s/mm. Da die einzelnen Pixel voneinander unabhängig sind, ist das Verfahren sehr gut parallelisierbar. Einige Hersteller wie 3D Shape setzen daher spezielle, FPGA basierte Verarbeitungseinheiten und sehr schnelle Kameras ein. Durch den Einsatz von Vision Chips mit integrierter, auf WLI abgestimmter Signalverarbeitung kann bereits eine frühzeitige Reduktion der Datenmenge erreicht und dadurch der Flaschenhals der Datenübertragung vermieden werden. Die mögliche Genauigkeit der Höheninformation hängt im Wesentlichen von der Bestimmung des Maximums des Interferogrammes ab. Auch die Positionierung der Referenzebene (Michelson) bzw. des Objektes relativ zur Kamera (Mirau) hat einen bedeutenden Einfluss. Zudem sind Interferometer sehr empfindlich gegenüber mechanischen Schwingungen. An einem an der TU-Ilmenau befindlichen Weißlichtinterferometer wurden Versuche an verschiedenen Messobjekten durchgeführt. Je nach Scanfeld und Auflösung beansprucht die Erfassung und Berechnung der 3D-Geometrie mehrere Minuten. Die Firma Heliotis AG setzt in ihrem WLI »helinspect H4« einen eigens entwickelten Bildsensor [Spe11] mit 300x300 Bildpunkten ein, der in jedem Pixel einen IQ-Demodulator enthält und somit die Einhüllende direkt bestimmen und ausgeben kann. Die frühzeitige Datenreduktion ermöglicht dem WLI »helinspect H4« eine Geschwindigkeit von bis zu 50000 $\mu\text{m/s}$ bzw. eine maximale Genauigkeit von 100 nm.

1.4.4 Stand der Wissenschaft und Technik bezüglich Laserlichtschnitt

Die dreidimensionale Vermessung von Objekten mit dem Laserlichtschnittverfahren stellt eine etablierte Prüfmethode, z.B. zur Qualitätskontrolle, in der Industrie dar. Das zu untersuchende Objekt wird dazu mittels eines Linien-Lasers beleuchtet, um anhand der von der Oberfläche des Objektes abhängigen Verformung der projizierten Laser-Linie ein Höhenprofil zu bestimmen. Das Objekt selbst wird zum Beispiel auf einem Band unter der Laser-Linie hindurch bewegt und dabei kontinuierlich mit einer Kamera beobachtet. Aus dem zeitlichen Verlauf der Form der abgebildeten Laser-Linie kann somit die Oberflächengeometrie des Objektes berechnet werden. Die mögliche Geschwindigkeit hängt dabei maßgeblich von der Anzahl der aufgenommenen Bilder und somit von der möglichen Profilrate ab.

Das Laserlichtschnittverfahren ist ein Triangulationsverfahren, bei dem über den Triangulationswinkel α zwischen Kamera und Laserlinie die Messdynamik und die Genauigkeit flexibel an die Messaufgabe angepasst werden können (vgl. Abbildung 1.4). Für große α kann eine hohe Genauigkeit bis ca. 1 μm erzielt werden, während bei kleinem α Objekte mit großer Höhendynamik erfasst werden können. Wird die Oberfläche mit verschiedenen Laserlinien z.B. mit jeweils unterschiedlichem Einfallswinkel beleuchtet, muss die Anordnung in Abbildung 1.4 rechts verwendet werden. Die Messung erfolgt stets berührungslos und ist daher robust und industrietauglich [Spe11].

Für die Qualität der Messungen ist die Abbildung der Laser-Linie auf die Objektoberfläche

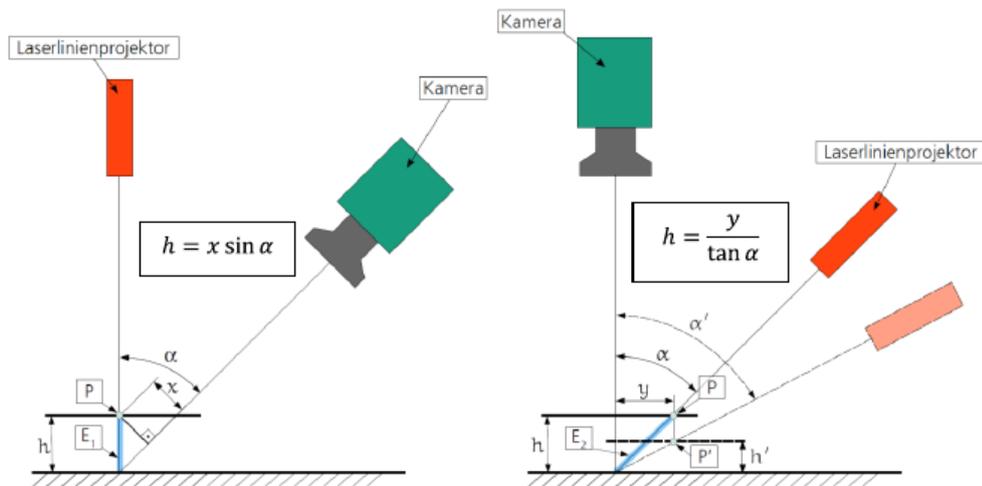


Abbildung 1.4: Laser-Lichtschnitt Anordnungen mit bezüglich der Messoberfläche senkrechter Position des Laserlinienprojektors (links) und der Kamera (rechts)

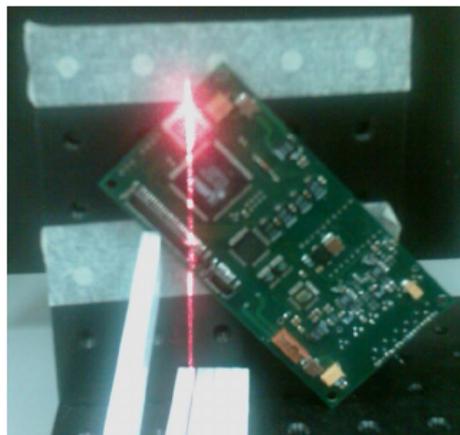


Abbildung 1.5: Beispiel einer teilweise spiegelnden Oberfläche (Lötstellen) mit sehr großen Helligkeitsunterschieden und Hinterschneidungen der Laserlinie (Kontaktpins)

bzw. deren Beobachtung essentiell. Insbesondere Bereiche mit sehr hohem Kontrast oder direkter Reflexion (vgl. Abbildung 1.5) stellen eine große Herausforderung dar. Derartige Oberflächen werden als »unkooperativ« bezeichnet und führen zu Messausfällen bzw. Messfehlern. Kommerziell verfügbare lineare Bildsensoren verfügen über einen Dynamikumfang von ca. 10 Bit bzw. 60 dB. Bei kontrastreichen Oberflächen und insbesondere bei direkter Reflexion ist dies jedoch nicht ausreichend, weshalb hierbei Sensoren mit logarithmischer Kennlinie und wesentlich größerem Dynamikumfang notwendig sind.

In Tabelle 1.1 sind verschiedene kommerziell verfügbare Systeme gegenübergestellt, wobei sich die mögliche Profilrate zur besseren Vergleichbarkeit stets auf ein Bild mit 256 Zeilen bezieht. In den Systemen (b) und (c) werden kommerzielle CMOS Bildsensoren des Herstellers CMOSIS eingesetzt. Diese Sensoren geben die Bilddaten vollständig und zeilenweise aus. Die Berechnung der Profildaten erfolgt in der Kamera. Die Geschwindigkeit ist daher durch die Ausgaberate des Bildsensors beschränkt. Die erreichbare Bildwiederhol- und somit Profilrate steigt entsprechend bei kleineren Bildausschnitten an. Die Pixelzellen arbeiten linear und sind somit zunächst auf einen Dynamikumfang

LL Kamera	Sensor	Auflösung [px]	Dynamik [dB]	Profilrate [s^{-1}]
(a) Sick Ranger E55	Sick, MMAP	1536x512	62	9000
(b) Automation Technology C5-2040-GigE	CMOSIS CMV2000	2048x1088	60/90 (HDR, stückweise linear)	1400
(c) Photonfocus MV1- D2048x1088-3D03-760-G2-8	CMOSIS CMV2000	2048x1088	60/90 (HDR, stückweise linear)	1380
(d) Photonfocus MV1-D1024E-3D02-160-G2	Photonfocus A1024B	1024x1024	60/120 (LinLog [®])	590

Tabelle 1.1: Übersicht kommerziell verfügbarer Laserlichtschnittsysteme

von 60 dB beschränkt. Durch einen speziellen Betriebsmodus wird zudem ein erweiterter Dynamikbereich von 90 dB erreicht, wobei die Belichtung in mehrere Abschnitte unterteilt wird. Das System (d) setzt einen eigenen Bildsensor mit linear-logarithmischer Kennlinie ein und deckt somit einen Dynamikumfang von 120 dB ab. Allerdings ist die mögliche Profilrate gegenüber den anderen Systemen deutlich geringer. Das schnellste derzeit verfügbare System (a) verwendet ebenfalls einen eigenen Bildsensor [LMJM05], der mit Hilfe integrierter Vorverarbeitung die Ausgabe auf die Position der Laser-Linie beschränkt. Da keine vollständigen Bilddaten ausgegeben werden müssen und stattdessen bereits eine Kompression auf relevante Informationen im Sensor erfolgt, stellt die Sensor-Schnittstelle keinen Flaschenhals dar. Die mögliche Profilrate ist gegenüber den anderen Systemen deutlich höher. Allerdings ist der Dynamikumfang aufgrund linearer Pixelzellen auf lediglich 60 dB beschränkt. Die jeweils mögliche Geschwindigkeit aller genannten Systeme in Abhängigkeit von der Zeilenanzahl ist in Tabelle 1.1 dargestellt.

1.5 Nutzung von Schutzrechten und Verfahren zur Projektdurchführung

Erfindungen/Schutzrechtsanmeldungen (vor Projektbeginn) Zur Schaltungstechnik auf der Grundlage von Strompulsen und ihrer Nutzung in der Bildsensorik wurden, wie bereits im Antrag angegeben, durch das Fraunhofer IIS/EAS im Vorfeld des Projekts verschiedene deutsche und internationale Schutzrechte (z.B. DE102007036973, EP000001962493, WO002008102005) angemeldet. Die entsprechenden Technologien stellten für die Bearbeitung des Projekts die technischen Grundlagen dar.

Erfindungen / Schutzrechtsanmeldungen (Stand 26.05.2020) Während der Projektlaufzeit wurden zwei Patente angemeldet:

Das erste betrifft einen komprimierenden, asynchronen Bus für die effiziente Ausgabe von Daten z.B. aus parallelen Verarbeitungspfaden bzw. Prozessorelementen [HDR19] (WO2019101350A1).

Gegenstand des zweiten Patents ist eine effiziente Auslesemethode für die Ausgabe von Pixeldaten aus Sensor-Arrays [Dög18b](WO18134317A1).

Auch diese beiden Erfindungsgegenstände sind Bestandteile der im Rahmen des Projekts entwickelten und gefertigten Vision-Systems-on-Chip.

FE-Ergebnisse Dritter (Stand 26.05.2020) Im Berichtszeitraum sind keine FE-Ergebnisse Dritter bekannt geworden, die für die Durchführung des Vorhabens relevant sind.

1.6 Nutzung von Fachliteratur

Im Berichtszeitraum wurde die Entwicklung auf diesem Gebiet durch Internet-Recherchen, die Fachliteratur und zu internationalen Fachtagungen analysiert. Die genutzte Fachliteratur und Informationsdienste sind im Anhang erfasst. Weiterhin wird auf die Literaturquellen aus dem Projektantrag verwiesen.

1.7 Zusammenarbeit mit anderen Stellen

Die Vorarbeiten bzgl. der Kamera- und Entwicklungsplattform sowie der zur Programmierung des VSoC erforderlichen Software-Umgebung, erfolgten in Eigenregie des Fraunhofer IIS/EAS.

Die Herstellung der zur Inbetriebnahme und Integration in die Kameraplattform notwendigen Leiterplatten und deren Bestückung erfolgte durch verschiedene Fertiger wie Beta Layout, GBS Elektronik, First Sensor, Würth Elektronik und MultiPCB.

Innerhalb des Projektverbunds (siehe Abbildung 1.6) besteht eine enge Kooperation zwischen X-FAB und dem Fraunhofer IIS/EAS. Als Zulieferer des Sensors wurde ebenfalls eng mit den Partnern der TU-Ilmenau, Mahr und CE-SYS zusammengearbeitet und Unterstützung bei der Integration geleistet.

2 Eingehende Darstellung

2.1 Wissenschaftlich-technische und andere wesentliche Ergebnisse

Planmäßig lag der Fokus der Arbeiten des Fraunhofer IIS/EAS im Projekt »cSoC-3D« bei der Entwicklung, Evaluierung und Bereitstellung des Vision-System-on-Chip. Die dafür notwendigen Arbeiten konzentrierten sich in den drei Arbeitspaketen

- AP1 - Entwurf des Bildsensor-SoC,
- AP2 - Teststrukturen und Prozessgestaltung,
- AP3 - PCB-Entwurf.

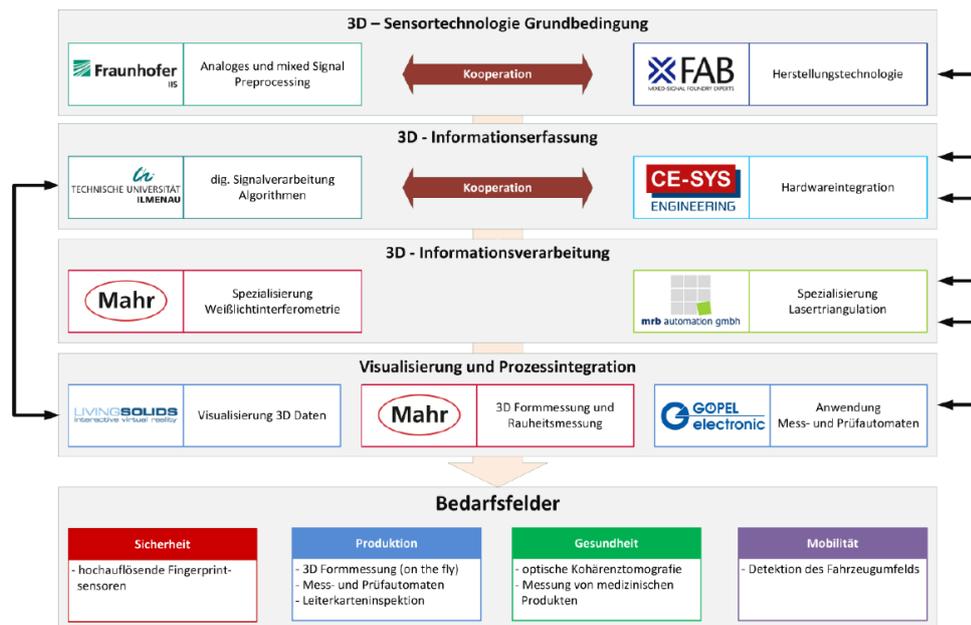


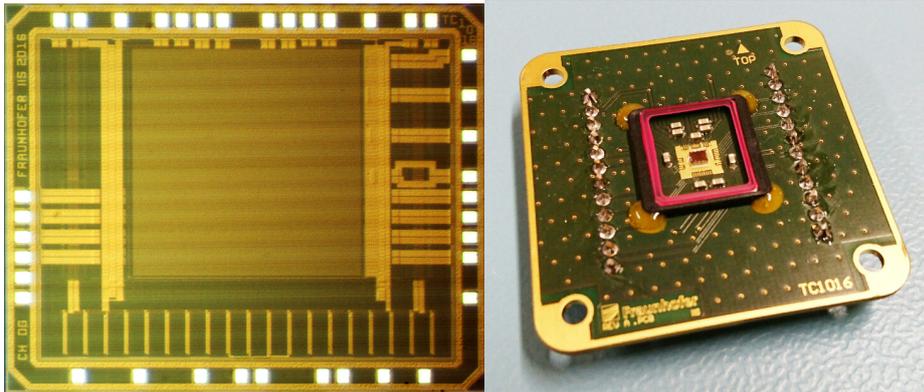
Abbildung 1.6: Projekt-Verbund Zusammenarbeit

Außerdem wurden außerplanmäßig ein eigener Demonstrator gebaut und umfangreiche Unterstützung bei den Projektpartnern geleistet, insbesondere bei der Inbetriebnahme und Integration des VSoC in die Demonstratoren.

Die Entwicklung des finalen VSoC erfolgte in drei Stufen. Zuerst wurde ein Pixel-Testchip (TC1) zur Evaluierung verschiedener Pixeltypen entworfen, anschließend ein komplexerer Testchip (TC2), welcher die volle Pixelmatrixgröße sowie große Teile der digitalen und analogen Verarbeitung enthält und schließlich das finale cVSoC. Die jeweiligen Erkenntnisse werden in den folgenden Abschnitten dargestellt.

2.1.1 Pixel-Testchip (TC1)

Mit dem Pixel-Testchip wurden verschiedene sogenannte pinned-Pixel evaluiert. Diese zeichnen sich durch die Verwendung einer pinned Photodiode aus und ermöglichen eine lineare Transfercharakteristik. Die Fertigungstechnologie für pinned Photodioden stand bei X-FAB zu Projektbeginn erstmals zur Verfügung und es waren daher keine praktischen Erfahrungen vorhanden. Auf dem Testchip wurden vier verschiedene Pixelvarianten verbaut. Diese unterscheiden sich bzgl. der Größe der Photodioden, des Transfertransistors und der floating diffusion Kapazität. Der Testchip beinhaltet insgesamt 128x128 Pixel, eine Zeilensteuerung sowie einen Spalten-Multiplexer. Eine Mikroskopfotografie des Chips ist in Abbildung 2.1a dargestellt. Die Analog-Digital-Wandlung erfolgte mittels eines dedizierten externen AD-Wandlers. Zum Testen des Chips wurde eine mit dem Kamerasystem vom Fraunhofer IIS/EAS kompatible Leiterplatte entworfen und der Testchip per Chip on Board (COB) Montage verbaut (siehe Abbildung 2.1b). Die vollständige Testkamera ist in Abbildung 2.2a dargestellt.

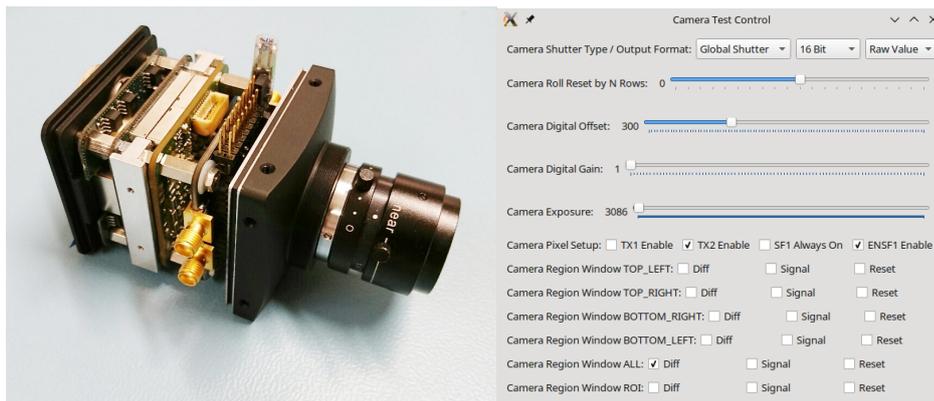


(a) Pixel-Testchip DIE

(b) COB Montage auf Testboard

Abbildung 2.1: Pixel-Testchip (TC1)

Durch Anpassung des FPGA-Designs auf der Kameraplattform und einer in Python entwickelten Software (siehe Abbildung 2.2b) konnten schließlich Bilder vom Testchip ausgelesen werden. Die ersten aufgenommenen Fotos sind beispielhaft in Abbildung 2.3 dargestellt.



(a) Kamera mit TC1

(b) Test-Software

Abbildung 2.2: Pixel-Testchip Evaluierung

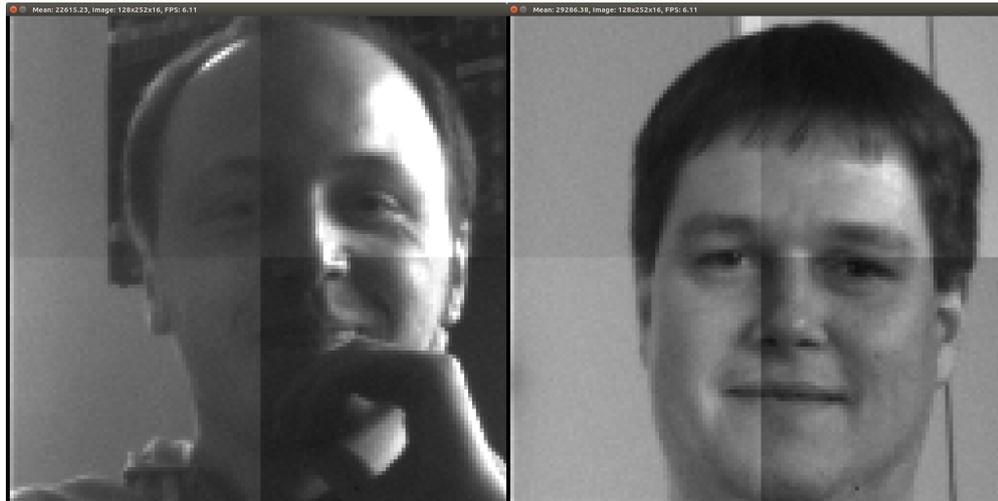


Abbildung 2.3: erste Bilder von TC1

Man kann sehr gut die vier verschiedenen Pixeltypen anhand der unterschiedlichen Helligkeitsquadranten erkennen. Qualitativ wurden die Pixel nach der Testprozedur gemäß EMVA1288 Standard analysiert. Es wurden im Wesentlichen die Pixel-Parameter dynamic range (DR), conversion gain (CG) und Sättigungskapazität ($\mu_{e,sat}$) für die Auswahl des gewünschten Pixels herangezogen. Die DR und die Sättigungskapazität sollten möglichst groß sein um einen hohen Dynamik-Umfang zu gewährleisten. Beim CG wurde ebenfalls auf einen hohen Wert geachtet um eine hohe Empfindlichkeit der Pixelzellen zu erreichen. Die Ergebnisse der Untersuchung sind in Tabelle 2.1 dargestellt. Entschieden wurde sich letztlich für Pixeltyp 4, da dieser in allen drei Parametern die beste Performance gezeigt hat.

Variante	1/CG [e^-/DN]		DR [dB]		$\mu_{e,sat}$ [e^-]	
	1 PD	2 PD	1 PD	2 PD	1 PD	2 PD
Pixel 1 (oben links)	11,0	10,2	50,8	54,1	18020	25100
Pixel 2 (oben rechts)	13,7	12,5	49,3	55,0	18400	33200
Pixel 3 (unten links)	10,1	9,6	51,9	57,8	18700	37300
Pixel 4 (unten rechts)	8,2	8,2	51,3	61,2	14800	45900

Tabelle 2.1: Messergebnisse Pixel-Testchip

2.1.2 VSoC-Testchip (TC2)

Noch während der Vermessung von TC1 wurde mit dem Design des komplexeren VSoC-Testchips (TC2) begonnen. Dieser diente als Testplattform für neue Baublöcke und vor allem dem Test des Zusammenspiels im Gesamtsystem. Der Chip hat bereits die finalen Abmessungen von $13 \times 11 \text{ mm}^2$ und die volle angestrebte Auflösung von 1 MPix pinned Pixel mit zweifachen Fotodioden, somit ist auch eine Auflösung von 2 MPix realisierbar. In Abbildung 2.4a ist der Floorplan des Chips und in Abbildung 2.4b eine Fotografie des fertigen Chips dargestellt.

Der Chip besteht aus einer Pixelmatrix, samt Zeilenansteuerung, einer einfachen spaltenparallelen gemischt analog-digitalen Verarbeitungseinheit (SIMD-Array), einem Steuer-

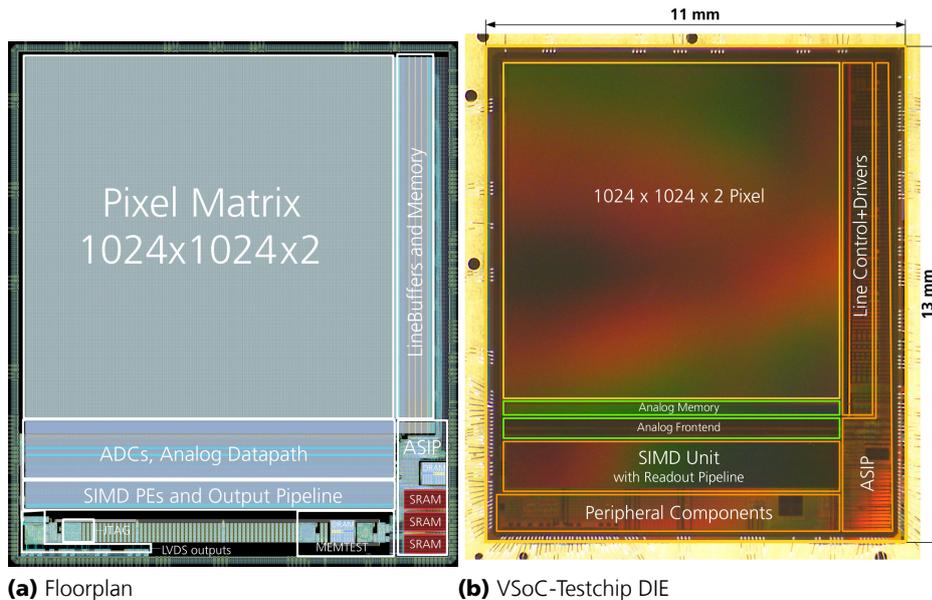


Abbildung 2.4: VSoC-Testchip (TC2)

prozessor (ASIP), diversen Testblöcken und Eingabe-/Ausgabe Schnittstellen. Noch während des Fertigungsprozesses, jedoch schon nach Tapeout ist ein Fehler im Design aufgefallen, welcher dazu führte, dass nicht der komplette Funktionsumfang des Chips zur Verfügung steht. Der Fehler lag in der Implementierung eines Registers, welches ca. 7000-mal auf dem Chip verbaut wurde. Durch eine Modifizierung einiger weniger Leitungen auf dem Chip mittels focused ion beam (FIB), konnte dennoch eine erfolgreiche Inbetriebnahme des Chips stattfinden. Dazu wurde ein zur EAS-Kameraplattform kompatibles Sensorboard entwickelt, welches die Stromversorgung und diversen Peripherie-Komponenten zum Betreiben des Chips enthält (siehe Abbildungen 2.5, 2.6a). Der Sensor ist per Chip-on-Board Montage auf der Leiterplatte aufgebracht, sodass im Falle eines fehlerhaften Chips das ganze Board als Ausschuss zu betrachten ist. Dies ist für kleine Stückzahlen wie sie bei einem Testchip auftreten akzeptabel. Mit dem Testchip wurden umfangreiche Erfahrungen zu den einzelnen Blöcken im Design gesammelt und kleinere Probleme entdeckt und Verbesserungen erarbeitet, welche in das finale cVSoC-Sensordesign einfließen. In Abbildung 2.6b sind auf dem ersten aufgenommenen Bild einige der Probleme zu erkennen. Das Bild wirkt streifig, was auf eine fehlerhafte Kalibrierung des AD-Wandlers zurückzuführen ist. Dies wiederum ist dem zuvor genannten Fehler im Register-Design geschuldet. Außerdem sieht man aber auch einzelne helle Streifen in horizontaler und vertikaler Richtung. Diese sind auf Fertigungsfehler, wie Kurzschlüsse oder offene Leitungen zurückzuführen. Weiterhin wurden Algorithmen für schnelles Laserlichtschnitt und ein schnelles Verfahren für die Weißlicht-Interferometrie entwickelt und getestet. An die Projektpartner wurden Kameras mit dem Sensor und der dazugehörigen Firmware verschickt, damit diese in die Demonstratoren eingebaut werden konnten.

Aufgrund der umfangreichen Änderungen in der Architektur des Chips im Vergleich zum Vorgänger vor dem Projekt sollen die wesentlichen Neuentwicklungen im Folgenden kurz dargestellt werden.

2.1.2.1 neuer Prozessor mit erweitertem Befehlssatz Zur Steuerung des Bild-Aufnahme, -Verarbeitens und -Ausgabeprozesses verfügt der VSoC-Testchip über einen integrier-

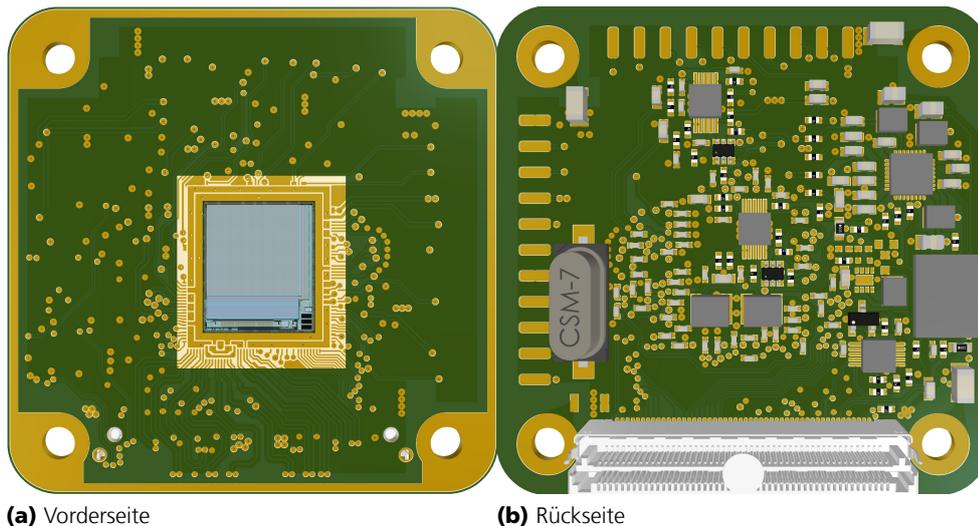
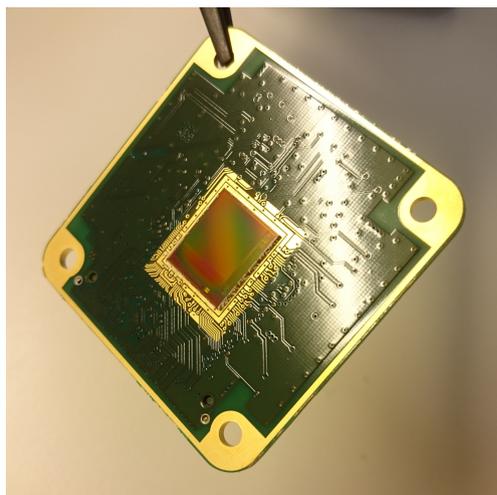


Abbildung 2.5: VSoC-Testchip Evaluationsboard

ten Stack-Prozessor mit Befehlssatzerweiterungen. Der Prozessor basiert auf einer 16 Bit Stack-Architektur und bietet neben den üblichen arithmetisch-logischen Operationen wie z.B. Addition, Subtraktion, AND, OR auch komplexere Befehle wie die Bestimmung der ersten auftretenden Null oder der Bestimmung des Hamming-Gewichts innerhalb eines 16 Bit Datums. Neben den Basis-Befehlen sind Befehlssatzerweiterungen zur Ansteuerung der Zeilensteuerung, des SIMD-Arrays oder des Network on Chips integriert. Insgesamt stehen dem Benutzer mehr als 250 Befehle zur Verfügung um sehr kompakte Steuerprogramme entwerfen zu können. Als Beispiel sei hierfür die Einführung einer Zero-Overhead Loop-Funktion genannt, welche Programm-Schleifen in Hardware unterstützt. Dadurch können bei zeitkritischen Anwendungen einige Befehle innerhalb einer Schleife eingespart werden und somit die Code-Ausführung beschleunigt werden.

2.1.2.2 frei adressierbare Zeilenansteuerung Die Zeilenansteuerung dient zur Ansteuerung der Pixelmatrix. Dabei wird immer eine vollständige Matrix-Zeile angesteuert, d.h. alle Pixelzellen einer Zeile führen die gleiche Operation durch. Die Zeilensteuerung selbst verhält sich wie ein großes Speicher-Array, wobei jede Zeile über eine Adresse angesprochen wird. Jedes Pixelsteuersignal ist über ein Bit im Speicher dargestellt. Neu ist, dass der Speicher sehr komfortabel adressiert werden kann. Es werden sowohl Einzeladresszugriffe als auch Bereichszugriffe unterstützt. Dadurch lassen sich Faltungskerne sehr schnell konfigurieren. Des Weiteren stehen vier Schiebeketten zur Verfügung mit denen ein Verschieben der Konfiguration um eine Zeile nach oben oder unten ermöglicht wird. Die Schiebeketten lassen sich miteinander logisch verknüpfen und bieten so in Kombination mit dem frei adressierbaren Speicher eine sehr effektive und vor allem allgemeingültige Ansteuerung der Pixel-Matrix. Die Zeilenansteuerung ist über Befehlssatzerweiterungen im Prozessor eingebunden und kann somit über Software angesprochen werden.

2.1.2.3 SIMD-Array mit optimiertem spaltenparallelen AD/DA Wandler Zum Auslesen des Pixel-Arrays dient ein SIMD-Block mit integriertem Analog-Digital-Analog Wandler. Es besteht aus 1024 identischen Prozessorelementen (PE) und ermöglicht spaltenparallel das Digitalisieren von analogen Pixelwerten (AD-Wandlung), aber auch das Rückschreiben von digitalen Werten in den analogen Bereich (DA-Wandlung). Der AD-Wandler



(a) bestücktes Testboard



(b) erstes aufgenommenes Bild

Abbildung 2.6: VSoC-Testchip Inbetriebnahme

kann mit einer beliebigen Auflösung zwischen 1 Bit und 16 Bit betrieben werden und unterstützt verschiedene Wandlungsalgorithmen wie Single-Slope oder Dual-Slope. Die digitale Verarbeitungseinheit im VSoC-Testchip ist sehr einfach gehalten und bietet in jeder Spalte eine Spalten-ID, vier Kalibrierregister, Zugriff auf den Auslese-Bus, einen 16 Bit Zähler mit Carry-Flag und ein Activity-Flag. Mit Hilfe des Activity-Flag können einzelne Spalten selektiert werden um z.B. WENN-DANN Bedingungen im Programm abzubilden. Mit Hilfe des Zählers lassen sich Vorgänge zählen, z.B. ist damit die Zeile des Auftretens eines Hell-Dunkel-Übergangs zählbar. Ein Über- oder Unterlauf des Zählers kann über das Carry-Flag abgefragt werden.

2.1.2.4 komprimierender asynchroner Auslesebus Zum Ausgeben von Informationen aus dem SIMD-Array verfügt der VSoC-Testchip über einen komprimierenden asynchronen Auslesebus. Dieser Bus besteht aus einer asynchronen Pipeline, wobei in jeder Spalte des SIMD-Arrays eine Pipelinestufe vorhanden ist. Jedes PE wiederum verfügt über ein FIFO mit vier Einträgen zum Aufnehmen von Daten. Die Pipeline ermöglicht das Ausgeben kompletter Zeilendaten (z.B. Bildern), wobei jedes PE ein Datum liefert. Außerdem bietet die Pipeline einen automatischen Kompaktierungsmodus. Dieser fasst lückenhafte Daten, d.h. wenn nicht jedes PE ein Datum ausgibt, zu einem zusammenhängenden Datenstrom zusammen. Die Kompaktierung erfolgt aufgrund der Implementierung als asynchrone Pipeline extrem schnell mit einer äquivalenten Taktfrequenz von ca. 2,3 GHz. Der Kompaktierungsmodus wird z.B. für die Weißlichtinterferometrie im Projekt benutzt. Für eine ausführliche Darstellung der Funktionsweise sei auf unser Konferenzpaper auf dem 2018 24th IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC) verwiesen [HDR⁺18]. Das Konzept des Auslesebus wurde außerdem zum Patent angemeldet und erteilt [HDR19].

2.1.2.5 Analog-Speicher Der Analog-Speicher ermöglicht spaltenparallel das Abspeichern von Pixeldaten. Es können einzelne Pixelwerte, Summen von Pixelwerten oder auch Differenzen von Pixeln für wenige Sekunden als Ladung auf Kondensatoren gespeichert werden. Pro Spalte stehen 32 Speicherzellen zur Verfügung. Der Analog-Speicher ist immer dann interessant, wenn spaltenparallel sehr schnell Merkmale aus einem Bild

extrahiert werden sollen um diese dann in einem Nachfolgeschritt mit einer höheren Auflösung zu digitalisieren. Beispielsweise kann dadurch ein sehr schneller Algorithmus für das Laserlichtschnitt Verfahren implementiert werden.

asynchrones Network on Chip (NoC) Alle auf dem VSoC-Testchip vorhandenen Komponenten müssen in irgendeiner Art und Weise Daten miteinander austauschen. Oft besteht dabei die Herausforderung, dass verschiedene Baublöcke mit unterschiedlichen Taktfrequenzen bzw. nicht synchron zueinander arbeiten. Für die Kommunikation wurde deswegen erstmals ein asynchrones Network on Chip eingesetzt. Dieses basiert auf asynchroner Schaltungstechnik, d.h. für die Funktion wird kein Takt benötigt. Der Datenaustausch wird über sogenanntes Handshaking gesteuert. Der Wesentliche Vorteil eines solchen Systems ist, dass die asynchrone Schaltungstechnik sehr energiesparend ist und eine sehr einfache Anbindung von verschiedenen Blöcken ermöglicht. Dadurch lässt sich die Entwicklung eines System on Chips sehr gut parallelisieren. Nachteilig ist die sehr schwierige Entwicklung von asynchronen Schaltungen, da die Programme für den digitalen Schaltungsentwurf ausschließlich für synchrone Schaltungen ausgelegt sind. Für eine ausführliche Erklärung zum NoC und dessen Entwurf sei auf den Konferenzbeitrag auf dem 2017 20th International Symposium on Design and Diagnostics of Electronic Circuits Systems (DDECS) verwiesen [RDH⁺ 17].

Dual-Port embedded DRAM Aufgrund des begrenzten Platzangebots auf dem Chip war es notwendig, eine Speichertechnologie zu nutzen, die zum einen eine geringe Fläche pro gespeichertem Bit und zum anderen eine hohe Zugriffs-Geschwindigkeit unter 10 ns erlaubt. Üblicherweise werden on-chip SRAMs eingesetzt. Diese bieten eine hohe Zugriffsgeschwindigkeit und sind als frei konfigurierbare Makroblöcke von X-FAB verfügbar. Allerdings werden pro gespeichertem Bit sechs Transistoren benötigt, was einen relativ hohen Flächenbedarf von ca. 7 $\mu\text{m}^2/\text{Bit}$ für Single-Port SRAM und mehr als 10 $\mu\text{m}^2/\text{Bit}$ für Dual-Port SRAM in der X-FAB 180 nm Technologie zur Folge hat. Aus diesem Grund wurde ein spezieller hoch kompakter Speicher entwickelt, der auf einer 3-Transistor-Speicherzelle beruht. Dieser bietet Zugriffszeiten von ca. 7 ns und einen getrennten Lese- und Schreibport, also einen Dual-Port Betrieb. Außerdem ist die Fläche pro Bit nur noch ungefähr halb so groß verglichen mit einem Single-Port SRAM bzw. ein Viertel bis ein Drittel so groß wie ein Dual-Port SRAM. Nachteilig ist die kompliziertere Ansteuerung des Speichers, da es sich um einen dynamischen Speicher handelt, d.h. die gespeicherte Information in regelmäßigen Abständen aufgefrischt werden muss. Im Prozessor des TC2 findet der DRAM Speicher Einsatz als sogenanntes Scratch-Pad mit einer Größe von 32 kBit. Er wird zum Abspeichern von Zwischenergebnissen, Tabellen oder auch für NoC-Nachrichten genutzt.

LVDS Transmitter Der VSoC-Testchip bietet erstmals eine LVDS-Schnittstelle zur schnellen Datenübermittlung an externe Verarbeitungseinheiten, z.B. ein FPGA. Die Schnittstelle besteht aus 8 Daten-Kanälen, einem Takt-Kanal und einem sogenannten Tag-Kanal. Der Tag-Kanal liefert Meta-Informationen, die dem Empfänger mitteilen wie die aktuell auf den Datenkanälen übertragenen Daten zu interpretieren sind. Die Schnittstelle kann entweder mit 1, 2, 4 oder 8 Datenkanälen parallel genutzt werden und liefert in der maximalen Konfiguration (8 Datenkanäle) eine Übertragungsgeschwindigkeit von 8 GBit/s bei einer Symbolrate von 1 GHz, bzw. Taktfrequenz von 500 MHz.

2.1.2.6 JTAG Unterstützung Eine weitere Neuerung im VSoC-Testchip ist der JTAG-Support. JTAG ist eine etablierte einfache Schnittstelle, welche heutzutage in nahezu

jedem Microcontroller oder sonstigen digitalen Bausteinen integriert ist. Mit Hilfe der JTAG-Schnittstelle kann auf alle Komponenten innerhalb des VSoC zugegriffen werden. Beispielsweise kann über diese Schnittstelle der Prozessor programmiert oder die Taktfrequenz des Systems eingestellt werden. Es werden auch einfache Status-Register angeboten, die eine eindeutige Kennung des VSoCs zurückgeben, was in einem kompletten Kamerasystem einen einfachen automatisierten Funktionstest ermöglicht.

2.1.3 cVSoC

Noch während der Analyse des VSoC-Testchips (TC2) wurde mit dem Design des finalen Chips, dem cVSoC begonnen. Oberstes Ziel bei der Entwicklung des Chips, war das Vermeiden von Flüchtigkeitsfehlern. Dies konnte nur durch noch umfangreichere, und damit zeitaufwändigere, Simulationen als zuvor im TC2 sichergestellt werden. Das Augenmerk lag dabei insbesondere auf Co-Simulationen der digitalen Design-Blöcke mit gemischt analog-digitalen Blöcken. Diese Simulationen sind extrem zeitaufwändig und verlangen massive Computerressourcen. So wurden z.B. über mehrere Wochen auf einem Computer mit 224 Prozessoren und 3 TB Arbeitsspeicher Simulationen durchgeführt, die das Zusammenspiel zwischen einem ASIP und dem fullcustom entworfenen SIMD Array testen.

Gegenüber dem TC2 gibt es einige Änderungen an der Chiparchitektur, welche die Leistungsfähigkeit des Gesamtsystems erhöhen. Diese sollen im Folgenden kurz vorgestellt werden. Zur besseren Übersicht sei auch auf das vereinfachte Blockschaltbild des cVSoC in Abbildung 2.7 verwiesen.

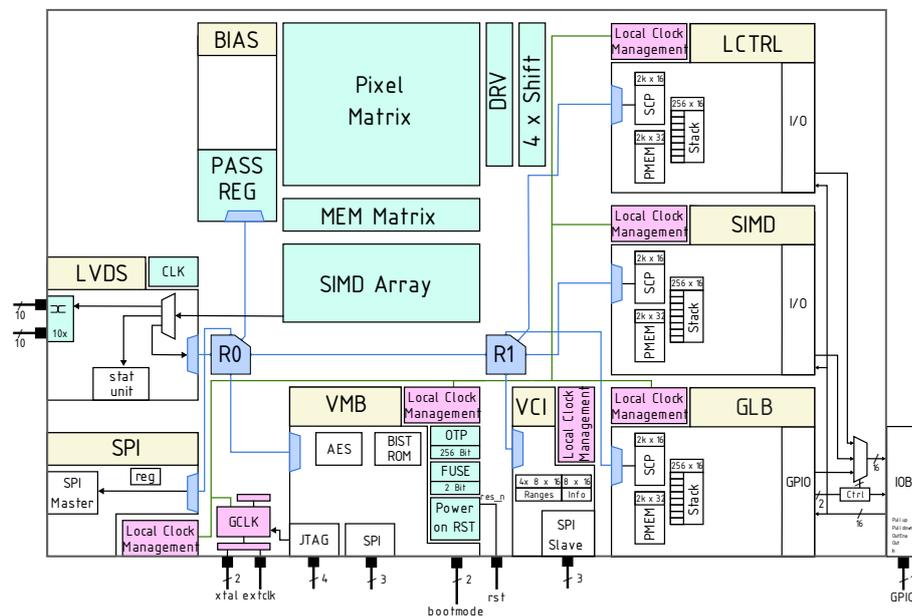


Abbildung 2.7: Vereinfachtes Blockschaltbild des cVSoC

2.1.3.1 ASIPs Im TC2 wurde ein ASIP zur Steuerung des ganzen Chips eingesetzt. Im cVSoC ist dieser durch drei voneinander unabhängige ASIPs ersetzt. Dabei übernimmt ein ASIP (LCTRL) die Zeilensteuerung, ein weiterer (SIMD) die Ansteuerung des SIMD-Arrays

und ein dritter (GLB) beliebige globale Nachverarbeitungs- oder Managementaufgaben. Die Aufteilung in drei ASIPs bietet den Vorteil, dass mehr Aufgaben parallel abgearbeitet werden können und somit die Geschwindigkeit des Systems steigt. Zur Aufnahme von Bildinformationen sind immer mindestens zwei Prozessoren, nämlich LCTRL und SIMD, notwendig. Der Programmfluss der beiden Prozessoren muss daher zueinander synchronisierbar sein. Aus diesem Grund wurde eine Synchronisations-Logik hinzugefügt, die es dem Benutzer erlaubt Synchronisationspunkte in der Software einzufügen. Alle Prozessoren haben lesenden Zugriff auf 16 GPIO Pins, wobei die Konfiguration jedes einzelnen GPIO Pins durch GLB gesteuert wird.

2.1.3.2 externe Schnittstellen Abweichend zu TC2 wurden die externen Schnittstellen des cVSoC deutlich erweitert. Das cVSoC verfügt über zwei Schnittstellen zur Datenausgabe, eine schnelle LVDS-Schnittstelle (bis zu 8 GBit/s) und eine langsamere SPI-Master-Schnittstelle (bis zu 100 MBit/s). Für die Programmierung, Parametrierung und zu Testzwecken sind drei weitere Schnittstellen vorhanden. Die bereits aus TC2 bekannte JTAG-Schnittstelle dient zum Testen des Systems. Im Auslieferungszustand kann der Zugriff über JTAG gesperrt werden um das Auslesen der Prozessor-Firmware zu verhindern und damit einen IP-Schutz zu gewährleisten. Der Zugriff auf das System erfolgt dann über eine SPI-Slave Schnittstelle im VSoC Management Block (VMB) zur Programmierung und Konfiguration des Systems und eine weitere SPI-Slave Schnittstelle zur Laufzeitparametrierung im VSoC Control Interface (VCI).

2.1.3.3 Taktgenerierung Im TC2 wurden separate Taktgeneratoren für jedes Modul verwendet. Dadurch sind alle Module sowohl in der Frequenz als auch der Phasenlage asynchron zueinander. Dies ist beim Zusammenspiel von Programmen mehrerer Prozessoren teilweise hinderlich, da zusätzlich Synchronisationspunkte im Programmfluss eingefügt werden müssen. Im cVSoC werden alle lokalen Takte von einem globalen Taktgenerator abgeleitet, sodass die Taktfrequenzen der Prozessoren immer ganzzahligen Teilverhältnissen zur globalen Taktfrequenz entsprechen. Dadurch können Synchronisationspunkte gespart werden, was die Geschwindigkeit insbesondere von kurzen Schleifen erhöht.

SIMD-Array Das SIMD-Array des cVSoC wurde im Vergleich zum TC2 massiv erweitert und bietet nun eine vollwertige ALU in jedem PE. Diese beherrscht die Operationen Addition und Subtraktion (mit und ohne Carry) sowie alle logischen Operationen mit zwei Operanden (AND, NAND, OR, NOR, XOR, XNOR) und einem Operand (SHL, SHR, ROL, ROR, INV, IDN). ALU Operationen werden nach einer Drei-Adress-Maschinen Logik durchgeführt, d.h. es können sowohl die zwei Eingangsooperanden als auch der Zieloperand separat gewählt werden. Dies eliminiert die meisten Kopieroperationen im Code und beschleunigt daher den Programmfluss. Jedes PE verfügt über acht Rechen-Register und kann lesend auf alle acht Register der linken und rechten Nachbarspalten zugreifen. Neben den Rechen-Registern sind noch weitere Register zur Kalibrierung des AD-DA-Wandlers, zum Lesen des AD-Wandler Ergebnisses und zur Ausgabe von Daten an den Ausgabe Bus vorhanden. Ebenfalls zur Verfügung steht ein Flag-Register mit acht Flags, wobei die Flags Carry, Zero, Negative durch ALU Operationen gesetzt werden können. Alle Flags können logisch miteinander verknüpft werden. Neben den acht Flags gibt es weitere Status-Bits, die z.B. den Zustand des AD-DA-Wandlers anzeigen. Zur Kommunikation zwischen verschiedenen SIMD PEs dient eine frei konfigurierbare Look-Up-Table, welche eine bit-weise Verknüpfung zwischen Flags verschiedener Spalten erlaubt. Außerdem wurde ein lokaler Austauschbus zwischen bis zu 16 benachbarten Spalten hinzugefügt, sodass auch Gruppierungen von Spalten zu sogenannten Makro-Spalten sehr

einfach zu realisieren sind. Eine der wichtigsten Neuerungen ist das extended registerfile, kurz EXTREG. Das ist ein DRAM Speicher mit automatischer Refreshlogik, der in jedem PE 128 Byte an frei verfügbarem Arbeitsspeicher bereitstellt. Dies entspricht einer Veracht-fachung der Speichergröße verglichen mit dem VSoC vor Projektbeginn und war auf der begrenzten Chipfläche nur durch Nutzung von eigens entwickeltem DRAM zu realisieren. Die maximale Verarbeitungsgeschwindigkeit des SIMD-Arrays beträgt 100 GByte/s bei einer Taktfrequenz von 100 MHz und einer Leistungsaufnahme deutlich unter 1 Watt.

2.1.3.4 Chip-Varianten Das cVSoC wurde in drei verschiedenen Pixel-Varianten gefertigt um unterschiedlichen Anwendungen besser gerecht zu werden. Neben den bereits im TC2 verwendeten pinned Pixeln mit doppelten Fotodioden (pinnedX2) wurde eine weitere Variante mit pinned Pixeln und einfacher Fotodiode (pinnedX1) sowie eine dritte Variante mit den bereits zu Projektbeginn zur Verfügung stehenden FET-Pixeln (FET) gefertigt. Die Variante pinnedX2 zeichnet sich durch die höchste Auflösung von 2 MPix aus, bietet dafür aber eine geringere aktive Fotodiodenfläche und damit eine geringere Empfindlichkeit. In Abbildung 2.8a ist das Layout dieser Variante abgebildet. Die Variante pinnedX1 bietet eine Auflösung von 1 MPix und weist, dank größerer Fotodioden, eine höhere Empfindlichkeit auf. Die Variante FET bietet ebenfalls eine Auflösung von 1 MPix. Die FET-Pixel ermöglichen einen linear-logarithmischen Betrieb und damit einen sehr hohen Dynamikbereich von über 120 dB. Allerdings ist der Dunkelstrom verglichen mit den pinned Pixeln relativ hoch, sodass nur Belichtungszeiten bis ca. 500 ms sinnvoll nutzbar sind. Alle drei Varianten wurden auf einem 200 mm Wafer gefertigt, wobei die Hälfte der Chips der Variante pinnedX2 und jeweils ein Viertel der anderen beiden Varianten entsprechen. In Abbildung 2.8b ist das Reticle Layout aller drei Varianten dargestellt. Neben den vier VSoC Layouts sind auf dem Reticle noch Teststrukturen zur Prozesskontrolle und Marker zur Ausrichtung der Fertigungsmaschinen zu sehen.

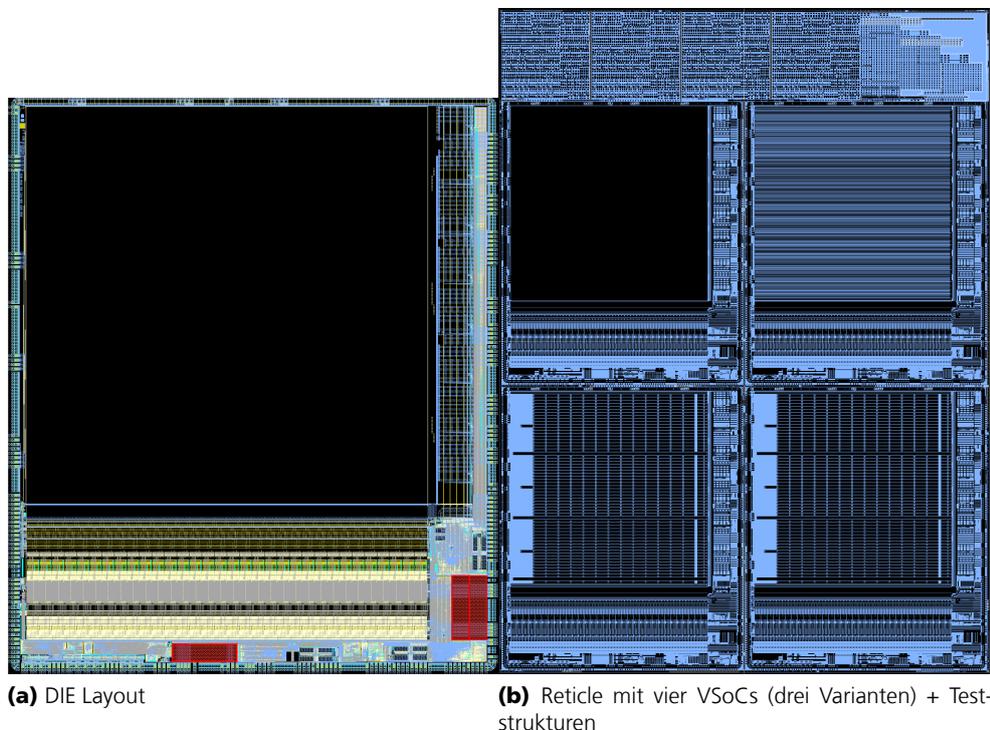
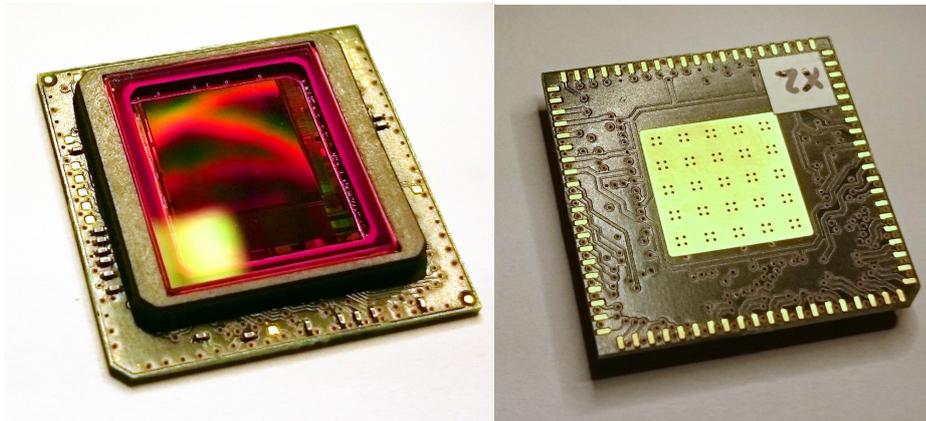


Abbildung 2.8: cVSoC Layout

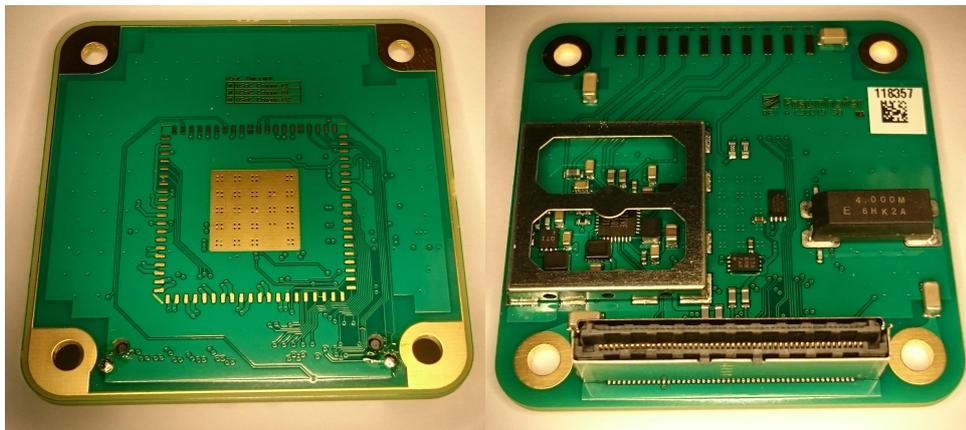
2.1.3.5 Interposer-Package Alle bisherigen Chips im Projekt wurden per COB Montage direkt auf eine Leiterplatte aufgebracht. Diese Montage ist relativ kostenintensiv und wird i.d.R. nicht von Kamera-Herstellern durchgeführt. Üblich ist es einen Bildsensor in einem Package zu erwerben und diesen dann mittels Löttechnik auf eine Leiterplatte aufzubringen. Ein derartiges kostengünstiges Package auf Basis einer dünnen Leiterplatte mit Glasabdeckung wurde in enger Abstimmung mit dem Packaging-Dienstleister entwickelt und erprobt. Die Chip-Montage selbst ist wiederum ein COB Verfahren, jedoch auf einer nur 22x22x0,8 mm³ großen Leiterplatte. Diese enthält auf der Unterseite nur 80 Lötflächen und eine zentrale Lötfläche zur Wärmeabfuhr verglichen mit über 300 Bondpads auf dem Chip. Der Chip ist durch eine Glasabdeckung vor Staub geschützt. Notwendige Stützkondensatoren sind bereits auf dem Package integriert. Ein weiterer großer Vorteil des Packages ist, dass Sensoren vor dem Verlöten im Package getestet und ggf. aussortiert werden können. In Abbildung 2.9 ist das fertige Interposer-Package abgebildet. Zur Integration des cVSoCs in das EAS Kamerasystem wurde ein neues Sensorboard entworfen (siehe Abbildung 2.10). Dieses enthält eine geschirmte Stromversorgung sowie einen EEPROM zum Abspeichern von Kalibrierdaten oder einer Sensor-ID. Der Schaltungsaufwand auf dem Sensorboard ist im Vergleich zum TC2 noch einmal deutlich geringer, da keine externen Referenzspannung mehr erzeugt werden müssen. Diese werden vom cVSoC komplett selbst generiert.



(a) Vorderseite

(b) Rückseite

Abbildung 2.9: Interposer Package



(a) Vorderseite

(b) Rückseite

Abbildung 2.10: Sensorboard

Socket-Testsystem Zum Evaluieren der Sensoren im Interposer-Package wurde ein Testsystem mit Sockel entworfen (siehe Abbildung 2.11). Da es sich bei den Abmessungen des Interposers nicht um ein Standard-Package handelt, stehen am Markt auch keine fertigen Sockel zur Verfügung. Aus diesem Grund musste ein maßgeschneiderter Sockel mit Nadeladapter Federkontakten in einer 3D-gedruckten Package-Aufnahme entworfen werden. Für die ersten Versuche war der Sockel eine praktikable Lösung, die für den Serientest noch einmal im Hinblick auf die Genauigkeit der Aufnahme und die Standfestigkeit des Materials optimiert werden muss. Das Testsystem bietet diverse LEDs, externe Stromversorgung und Steckkontakte für GPIOs.

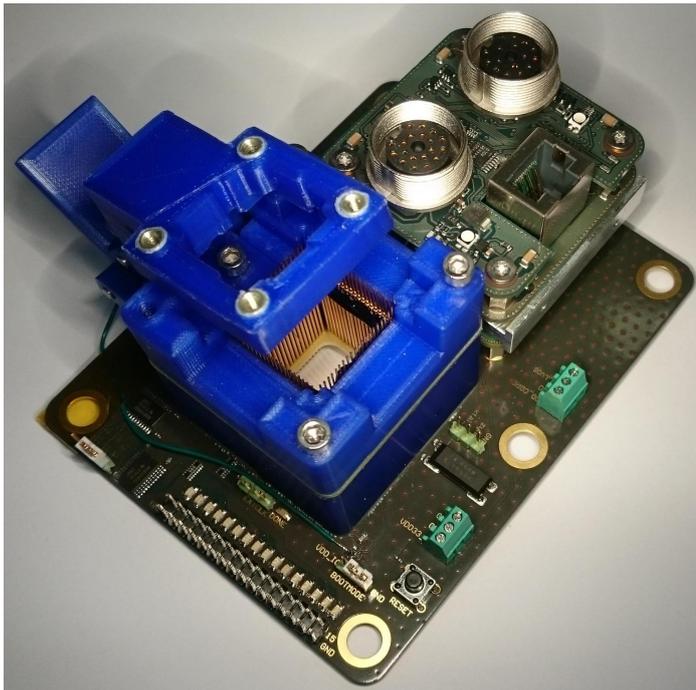


Abbildung 2.11: Testsystem mit Sockel

2.1.3.6 Testbilder Zur Demonstration der unterschiedlichen Pixeltypen sind in Abbildung 2.12 mit dem cVSoC aufgenommene Bilder dargestellt. Abbildung 2.12 zeigt ein Beispielbild aufgenommen mit der pinnedX2 Variante und Abbildung 2.12b ein Bild der FET Variante. Auf dem Bild der FET Variante ist sehr gut zu sehen, dass dunkle Bereiche, z.B. der Stuhl, und sehr helle Bereiche, wie der Glühfaden, zur gleichen Zeit abgebildet werden. Diese Darstellung ist nur dank der linear-logarithmischen Übertragungscharakteristik der FET Pixel möglich. Beide Bilder zeigen eine gute Bildqualität, da die Kalibrierung der AD-Wandler, dank Ausbesserung des Designfehlers im TC2, nun möglich ist.

2.1.4 Laserlichtschnitt Verfahren

Ein Wesentliches Projektziel ist die Beschleunigung des Laserlichtschnitt-Verfahrens indem die Laserlinie direkt auf dem Sensor extrahiert wird und keine Bilder ausgegeben



(a) pinned Pixel (linear)

(b) FET-Pixel (linear-logarithmisch)

Abbildung 2.12: Beispiel-Bilder aufgenommen mit cVSoC

werden. Dieses Projektziel wurde sowohl mit TC2 als auch mit dem cVSoC erreicht. Mit dem TC2 konnte, aufgrund eines Designfehlers, nur eine Profilrate von 4000 Profilen/s bei Auslesen des kompletten Bildfeldes erreicht werden. Das ist schneller als alle am Markt verfügbaren Systeme, die einen herkömmlichen Bildsensor in Kombination mit einem FPGA einsetzen. Nur Systeme von Sick, mit speziell für Laserlichtschnitt entwickelten Sensoren, erreichen eine höhere Rate. Mit dem cVSoC wird eine Rate von 20000 Profilen/s bei vollem Bildfeld erreicht. Die für das cVSoC notwendige Algorithmik konnte jedoch erst im April 2020, also nach offiziellem Projektende, fertiggestellt werden. Nach unserem Kenntnisstand ist dies zum Zeitpunkt dieses Berichts (Juni 2020) das schnellste am Markt verfügbare Laserlichtschnittsystem. Die hohe Profilrate wird dadurch erreicht, dass zunächst ein schneller Grobscan des Bildes vorgenommen wird und der interessante Bildbereich entlang der Laserlinie im Analogspeicher abgelegt wird. Die gespeicherte Information wird anschließend mit hoher Auflösung digitalisiert und so eine mehrfache Subpixelauflösung erreicht. Mit dem derzeitigen Algorithmus können bei einer Bildhöhe von 1000 Pixeln bis zu 16000 Höhenstufen extrahiert werden, also eine 16-fache Subpixel-Auflösung erreicht werden.

Zur Evaluierung des Laserlichtschnitt-Verfahrens wurde ein eigener Demonstrator mit zwei Kameras und einer motorisierten Linear-Achse entworfen (siehe Abbildung 2.13). Dieser wurde im November 2018 auf der Fachmesse »Vision« in Stuttgart vorgestellt. In diesem Zusammenhang wurde das VSoC auch mit der Aufnahme in die Vision-Award Shortlist ausgezeichnet. Auf der Messe kam noch TC2 zum Einsatz, da sich das cVSoC noch in Entwicklung befand. Zum Zeitpunkt dieses Berichts ist der Demonstrator auf Kameras mit dem cVSoC umgerüstet. Zur Steuerung und Visualisierung der Scan-Ergebnisse wurde des Weiteren eine Python Software programmiert, mit der 3D-Scans durchgeführt werden können. Eine Beispielaufnahme dieser Software inklusive visualisiertem Scan ist in Abbildung 2.14 dargestellt.

2.1.5 Weißlicht Interferometrie Verfahren

Zur Aufnahme eines Weißlicht-Interferometer Scans ist es notwendig mehrere hundert oder tausend Bilder aufzunehmen. Dabei wird mit jedem Bild eine andere Entfernung zum Messobjekt abgebildet. In einem Nachverarbeitungsschritt wird für jedes Pixel im



Abbildung 2.13: Laserlichtschnitt Demonstrator

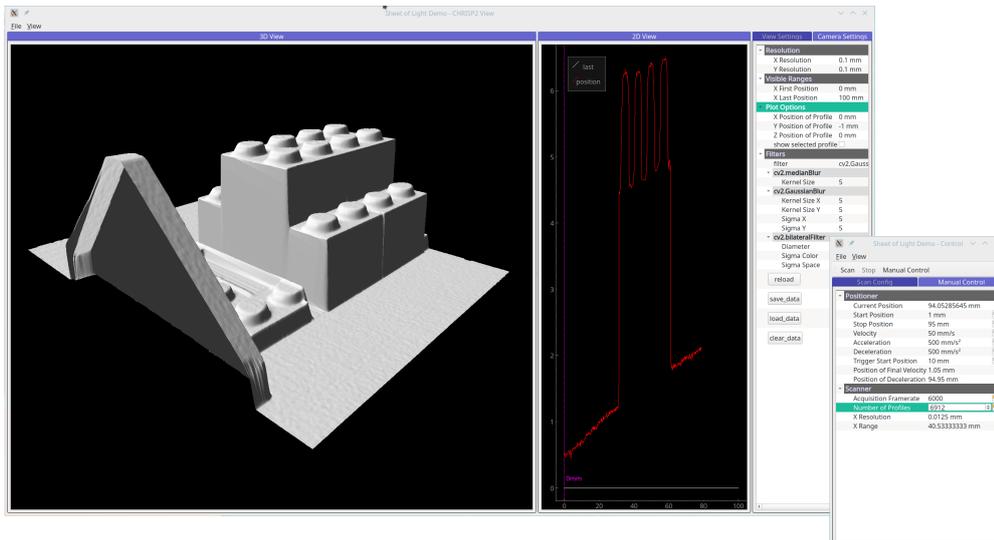


Abbildung 2.14: Laserlichtschnitt Demonstrator Software

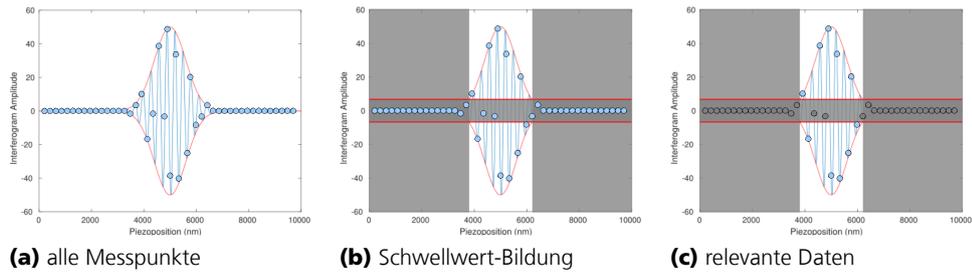


Abbildung 2.15: Scan-Verfahren

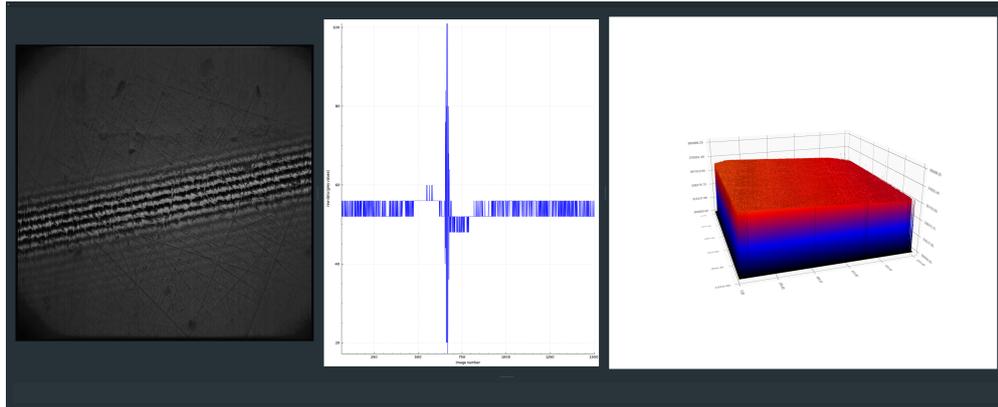


Abbildung 2.16: Beispiel-Scan des Weißlicht Interferometer Demonstrators

Bild das Maximum der Interferenzmodulation gesucht. Der Prozess ist also pixel-parallel, d.h. der anzuwendende Rekonstruktions-Algorithmus betrachtet jedes Pixel separat. Innerhalb des Bildstapels befinden sich für jedes Pixel nur wenige Bilder, die die tatsächlich für die Rekonstruktion notwendige Interferenzmodulation enthalten. Um die Ausgabe dieser Daten mit einem minimalen Zeitaufwand zu ermöglichen, kam ein Compressed-Sensing-Verfahren zum Einsatz. Anstatt vollständiger Graustufenbilder, werden nur genau die Pixel ausgegeben in denen eine Änderung des Helligkeitswertes auftritt und diese größer als ein vorgegebener Schwellwert ist. Zusätzlich muss für jede ausgegebene Pixelinformation die Koordinate des Pixels im Bild mit übermittelt werden. Diese Ausgabe-Methode nutzt drei Verfahren die mit herkömmlichen Sensoren nicht möglich sind. Im ersten Schritt (siehe Abbildung 2.15a) wird ein zeitliches Differenzbild in der analogen Domain, d.h. innerhalb der Pixelmatrix gebildet. Im zweiten Schritt (siehe Abbildung 2.15b) wird mit einem absoluten Schwellwert verglichen und alle Daten kleiner als der Schwellwert verworfen. Im dritten und letzten Schritt (siehe Abbildung 2.15c) erfolgt die mit Pixelkoordinaten versehene Ausgabe der Daten über den asynchronen Auslesebus. Der Auslesebus sorgt für eine schnelle Kompaktierung der lückenhaften Bildinformationen. Auf dem PC werden die Scan-Daten interpretiert und in ein 3D-Modell überführt. Der Scan einer planparallelen Platte ist beispielhaft in Abbildung 2.16 zu sehen. Dieser Scan wurde mit dem von Mahr und der TU-Ilmenau aufgebauten Demonstrator mit dem cVSoC erstellt. Man sieht links im Bild ein Rohbild der Interferenzmodulation, in der Mitte den Verlauf der Modulation für ein ausgewähltes Pixel und rechts die rekonstruierte 3D-Oberfläche.

2.2 Ergebnisverwertung des Vorhabens

Während der Projektbearbeitung wurden zwei Patente angemeldet.

Das erste betrifft ein effizientes Ausleseverfahren mit Vorrichtung für die Ausgabe von Pixeldaten aus Sensor-Arrays [Dög18b] (WO18134317A1). Dabei wird in einem schnellen Scan-Schritt zeilenweise überprüft, ob die ausgewählten Pixel bestimmten Kriterien, z.B. ein Wert oberhalb einer bestimmten Schwelle, genügen. Trifft dies zu, werden die analogen Rohdaten zwischengespeichert und in einem zweiten Schritt mit hoher Auflösung gewandelt und ggf. weiterverarbeitet.

Gegenstand des zweiten Patents sind Verfahren und Vorrichtung für einen komprimierenden, asynchronen Bus zur effizienten Ausgabe von Daten z.B. aus parallelen Verarbeitungspfaden bzw. Prozessorelementen [HDR19] (WO2019101350A1). Dies ermöglicht es, dass bei einer Vielzahl von parallel arbeitenden Prozessorelementen (1024 in cSoC3D) automatisch nur diese einen Buszugriff erlangen, die relevante Daten aufweisen. Somit ist eine Beschleunigung der Ausgabe um mehrere Größenordnungen möglich, je nach »Dichte« bzw. Relevanz der Daten.

Im Rahmen von cSoC3D werden beide Erfindungen für eine erhebliche Steigerung der Performance der cVSoC insbesondere für Laserlichtschnitt und Weißlicht-Interferometrie genutzt. Ferner versprechen sie in der weiteren Verwertung erhebliche Wettbewerbsvorteile für die entwickelte Sensortechnologie und mit deren Anwendung in Form des entwickelten Vision-System-on-Chip und darauf aufbauender Software-definierter Smart-Kamera-Systeme einen erheblichen Zusatznutzen in Form von Geschwindigkeit und Energie-Effizienz. Die Technologie steht im Anschluss an das Projekt zunächst den Projektpartnern aber darüber hinaus auch anderen interessierten Unternehmen zum Einsatz in eigenen Produkten zur Verfügung. Entsprechende Vorgespräche laufen bereits.

Dabei ist anzumerken, dass auf dem Gebiet der industriellen Bildverarbeitung vor allem kleine und mittelständische Unternehmen dominieren, die eine Bildsensor-Entwicklung in Eigenverantwortung nicht stemmen könnten und stets auf die Verfügbarkeit von Sensoren auf dem Weltmarkt angewiesen sind. Die Technologieführer auf diesem Gebiet, vornehmlich asiatische Großkonzerne (z.B. Sony, Samsung und anderen), haben weniger deutsche bzw. europäische KMUs denn Großabnehmer aus den Sektoren Automobil- und Unterhaltungselektronik im Fokus. Aus diesem Grund ist die Bereitstellung des Zugangs zu modernster integrierter Bildaufnahme- und -verarbeitungstechnologie sowie die Einbeziehung in die F&E-Aktivitäten durch Fraunhofer langfristig ein wichtiger Beitrag zu der europäischen Technologie-Souveränität auf dem Gebiet der schnellen optischen Sensorik und damit zu der Sicherung von anspruchsvollen Arbeitsplätzen im industriellen Sektor.

Zum Erreichen einer über 3D-Sensation hinaus gehenden Bekanntheit der Projektaktivitäten und Ergebnisse wurde signifikant Öffentlichkeitsarbeit in Form wissenschaftlicher Publikationen, Vorträgen und Weiterbildungsmaßnahmen (Webinare) während und im Anschluss an das Projekt durchgeführt. Die wesentlichsten sind im Folgenden zusammengefasst.

Auf dem zwanzigsten IEEE International Symposium on Design & Diagnostic of Electronic Circuits & Systems DDECS in Dresden wurde mit dem Network-on-Chip [RDH⁺17] eine weitere sehr wesentliche Komponente des VSoC der breiten wissenschaftlichen Öffentlichkeit vorgestellt. Sie ermöglicht eine schnelle, effiziente und dabei sehr flexible on-Chip-Kommunikation zwischen den verschiedenen Datenquellen und -senken und liegt zum Projektende in verschiedenen in Silizium erprobten Varianten vor.

Der komprimierende asynchrone Bus wurde auf dem IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC) in Wien vorgestellt [HDR⁺ 18].

Auf dem vierten European Machine Vision Forum 2019 in Lyon schließlich wurden die verschiedenen Aspekte und neuen Möglichkeiten der schnellen und latenzarmen Bildverarbeitung mittels des cVSoC präsentiert [DHR⁺ 19]. Nicht zuletzt aufgrund des ebenfalls präsentierten Live-Demonstrators mit Feature-Extraktion war das Interesse bei Fachpublikum im Allgemeinen und potentiellen Anwendern dieser Technologie groß.

Ebenfalls präsentiert wurden die Ergebnisse der Arbeiten auf verschiedenen Messen wie z.B. der Vision 2018 und der Control 2019. Neben den Live-Demonstratoren zur Laserlichtschnitt- 3D-Vermessung wurden auch andere Anwendungsmöglichkeiten z.B. zur Präsenz- bzw. Aktivitäts-Sensorik unter verschärften Privacy-by-Design-Gesichtspunkten gezeigt sowie Fachvorträge [Dög18a][DI19] gehalten.

All diese Aktivitäten führten dazu, dass eine Vielzahl Kontakte zu potentiellen Anwendern und Technologiepartnern geknüpft werden konnten, auf der Basis derer die Teilnahme an einem 2020 gestarteten Großforschungsprojekt und weiteren drei Projektanträgen mit gemeinsam mit Industriepartnern erreicht wurden. Darüber hinaus konnten bereits erste industrielle Anwendungen identifiziert werden zu denen bereits Verhandlungen mit Kunden laufen.

2.3 Bekannt gewordene FE-Ergebnisse Dritter

Auf der Vision 2018 wurde bekannt, dass Sick einen neuen Sensor für das Laserlichtschnittverfahren auf den Markt gebracht hat. Dieser ist in den Laserlichtschnitt-Kameras der Serie Sick Ranger3 verbaut und stellte zum Zeitpunkt der Veröffentlichung im November 2018 das schnellste Laserlichtschnittsystem am Markt dar. Das im Projekt entwickelte cVSoC ist in der Lage die Verarbeitungs-Geschwindigkeit des Sick Sensors von bis zu 15 GPix/s mit einer Rate von derzeit 20 GPix/s zu übertreffen.

Tabellenverzeichnis

1.1	Übersicht kommerziell verfügbarer Laserlichtschnittsysteme	11
2.1	Messergebnisse Pixel-Testchip	15

Abbildungsverzeichnis

1.1	Blockschaltbild des VSoCs vor Projektbeginn	5
1.2	Prinzip der Weißlichtinterferenz (links), korrespondierendes Interferogramm (Mitte), Aufnahme mit Linnikinterferometer (rechts)	7
1.3	WL-Interferometer Korad 3D der Firma 3D-shape	8
1.4	Laser-Lichtschnitt Anordnungen mit bezüglich der Messoberfläche senkrechter Position des Laserlinienprojektors (links) und der Kamera (rechts)	10
1.5	Beispiel einer teilweise spiegelnden Oberfläche (Lötstellen) mit sehr großen Helligkeitsunterschieden und Hinterschneidungen der Laserlinie (Kontaktpins)	10
1.6	Projekt-Verbund Zusammenarbeit	13
2.1	Pixel-Testchip (TC1)	14
2.2	Pixel-Testchip Evaluierung	14
2.3	erste Bilder von TC1	15
2.4	VSoC-Testchip (TC2)	16
2.5	VSoC-Testchip Evaluationsboard	17
2.6	VSoC-Testchip Inbetriebnahme	18
2.7	Vereinfachtes Blockschaltbild des cVSoC	20
2.8	cVSoC Layout	22
2.9	Interposer Package	23
2.10	Sensorboard	23
2.11	Testsystem mit Sockel	24
2.12	Beispiel-Bilder aufgenommen mit cVSoC	25
2.13	Laserlichtschnitt Demonstrator	26
2.14	Laserlichtschnitt Demonstrator Software	26
2.15	Scan-Verfahren	27
2.16	Beispiel-Scan des Weißlicht Interferometer Demonstrators	27

Literatur

- [ADG⁺95] Adler, E. ; DeBrosse, J. K. ; Geissler, S. F. ; Holmes, S. J. ; Jaffe, M. D. ; Johnson, J. B. ; Koburger, C. W. ; Lasky, J. B. ; Lloyd, B. ; Miles, G. L. ; Nakos, J. S. ; Noble, W. P. ; Voldman, S. H. ; Armacost, M. ; Ferguson, R.: The evolution of IBM CMOS DRAM technology. In: *IBM Journal of Research and Development* 39 (1995), Januar, Nr. 1.2, S. 167–188. <http://dx.doi.org/10.1147/rd.391.0167>. – DOI 10.1147/rd.391.0167. – ISSN 0018–8646
- [Dav05] David, Howard: *Partial bank DRAM refresh*. Mai 2005
- [DFH92] Dhong, Sang H. ; Franch, Robert L. ; Hwang, Wei: *Dram having extended refresh time*. [https://patents.google.com/patent/US5157634A/en?qoq=\[12\]+Sang+H+Dhong%2c+Robert+L+Franch%2c+and+Wei+](https://patents.google.com/patent/US5157634A/en?qoq=[12]+Sang+H+Dhong%2c+Robert+L+Franch%2c+and+Wei+)

Hwang.+Dram+having+extended+refresh+time%2c+October+20+1992.+US+Patent+5%2c157%2c634. Version: Oktober 1992

- [DHR+19] Döge, Jens ; Hoppe, Christoph ; Reichel, Peter ; Irsig, Ludger ; Skubich, Christian ; Reichel, Andreas ; Peter, Nico ; Priwitzer, Holger: *A Vision System-on-Chip with Multi-Stage Compressing Readout*. Campus LyonTech-la Doua, Villeurbanne (Lyon), France, September 2019
- [DHRP15] Döge, J. ; Hoppe, C. ; Reichel, P. ; Peter, N.: A 1 Megapixel HDR Image Sensor SoC with Highly Parallel Mixed-Signal Processing. In: *International Image Sensor Workshop (IISW)*, IEEE, Juni 2015
- [DI19] Döge, Jens ; Irsig, Ludger: *Wir sehen was, was Sie nicht sehen – optische Prozessautomatisierung unter 1 ms*. Stuttgart, 2019
- [Dög08] Döge, Jens: *Ladungsbasierte analog-digitale Signalverarbeitung für schnelle CMOS-Bildsensoren*. Dresden, TU-Dresden, PhD Thesis, 2008
- [Dög18a] Döge, Jens: *A novel vision-system-on-chip for embedded image acquisition and processing*. Stuttgart, November 2018
- [Dög18b] Döge, Jens: *Readout Arrangement for an Image Sensor, Image Sensor System and Method for Reading Out an Image Sensor*. Juli 2018
- [DTV+11] Dupret, A. ; Tchagaspanian, M. ; Verdant, A. ; Alacoque, L. ; Peizerat, A.: Smart imagers of the future. In: *2011 Design, Automation Test in Europe*, 2011, S. 1–6
- [HDR+18] Hoppe, Christoph ; Döge, Jens ; Reichel, Peter ; Russell, Patrick ; Reichel, Andreas ; Schneider, Peter: A High Speed Asynchronous Multi Input Pipeline for Compaction and Transfer of Parallel SIMD Data. In: *2018 24th IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC)*, 2018, S. 86–92
- [HDR19] Hoppe, Christoph ; Döge, Jens ; Reichel, Peter: *Data bus with multi-input pipeline*. <https://patents.google.com/patent/WO2019101350A1/en>. Version: Mai 2019
- [LMJM05] Lindgren, L. ; Melander, J. ; Johansson, R. ; Moller, B.: A multiresolution 100-GOPS 4-Gpixels/s programmable smart vision sensor for multisense imaging. In: *IEEE Journal of Solid-State Circuits* 40 (2005), Juni, Nr. 6, S. 1350–1359. <http://dx.doi.org/10.1109/JSSC.2005.848029>. – DOI 10.1109/JSSC.2005.848029. – ISSN 1558–173X
- [RCK+10] Ryu, J. ; Cheng, W. ; Kim, Y. ; Cho, J. ; Chung, Y.: Low-power accessless SRAM macro in logic CMOS technology. In: *2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology*, 2010, S. 90–92
- [RDH+17] Russell, Patrick ; Döge, Dipl.-Ing. J. ; Hoppe, Christoph ; Preußner, Thomas B. ; Reichel, Peter ; Schneider, Peter: Implementation of an asynchronous bundled-data router for a GALS NoC in the context of a VSoC. In: *2017 IEEE 20th International Symposium on Design and Diagnostics of Electronic Circuits Systems (DDECS)*, 2017, S. 195–200

- [RDPH15] Reichel, Peter ; Döge, Jens ; Peter, Nico ; Hoppe, Christoph: An ASIP-based Control System for Vision Chips with Highly Parallel Signal Processing. In: *The 24th IEEE International Symposium on Industrial Electronics (ISIE)*, IEEE, Juni 2015
- [Spe11] SpectroNet: *VISION 2011 Stuttgart - High-Speed 3D Sensor with Micrometer Resolution Ready for the Production Floor*. 2011 <https://vimeo.com/33975891>
- [TCV94] Tillinghast, Charles W. ; Cohen, Michael S. ; Voshell, Thomas W.: *Temperature-dependent DRAM refresh circuit*. <https://patents.google.com/patent/US5278796A/en>. Version: Januar 1994