

# Elektrische Fehlersimulation digitaler Grundgatter unter Parameterschwankungen

## Methodik und erste Ergebnisse

Fabian Hopsch, Bernd Straube, Wolfgang Vermeiren, Michael Lindig, Joachim Haase

Fraunhofer IIS/EAS Dresden

{fabian.hopsch | bernd.straube | wolfgang.vermeiren | michael.lindig | joachim.haase}@eas.iis.fraunhofer.de

**Kurzfassung**—Der Einfluss von Parameterschwankungen auf das Verhalten nanoelektronischer digitaler CMOS-Schaltungen nimmt in zukünftigen Technologien mit verringerten Strukturweiten deutlich zu. Es ist deshalb notwendig, statistische Methoden für die Validierung der funktionellen Eigenschaften zu verwenden. In dieser Arbeit stellen wir ein Verfahren zur Abstraktion der Effekte von auf der elektrischen Ebene injizierten Fehlern unter Parameterschwankungen auf die logische Ebene vor. Basis ist ein Fehlersimulator auf der elektrischen Ebene, der Parameterschwankungen einbeziehen kann. Es wird eine Bibliothek für digitale Grundgatter unter Fehlereinflüssen und Parameterschwankungen aufgebaut. Die in der Bibliothek enthaltenen Informationen sollen für Simulationen auf der Logikebene verwendet werden. Die Abstraktion von der elektrischen auf die Logikebene erfolgt dabei durch das Bestimmen der Verzögerungszeiten der fehlerbehafteten Grundgatter unter Parameterschwankungen. Die Methodik der Fehlersimulation und erste Ergebnisse werden vorgestellt.

**Index Terms**—Elektrische Fehlersimulation, Parametervariationen, Verzögerungszeiten, Histogramme, Häufigkeitsverteilungen

### I. EINLEITUNG

Die immer kleiner werdenden physikalischen Strukturen zukünftiger CMOS-Technologien führen zu stärkeren Prozessschwankungen [1]. Beim Entwurf nanoelektronischer Schaltungen und Systeme ist es notwendig, diese Schwankungen zu berücksichtigen. Dies führt auch zu erhöhtem Aufwand für den Test und für das Sicherstellen der Zuverlässigkeit der entworfenen Schaltungen. Die Auswirkungen von Schwankungen der Schaltungsparameter wurden in einer Vielzahl von Veröffentlichungen analysiert [2][3][4][5][6][7][8].

Der wachsende Einfluss der Parameterschwankungen bei zukünftigen Technologien erfordert es, statistische Methoden für die Validation der funktionellen Eigenschaften von CMOS-Schaltungen zu verwenden. Geeignete Fehlermodelle auf Logikebene, die prozessbedingte Parameterschwankungen

berücksichtigen, sind unabdingbare Voraussetzung für die Entwicklung effizienter Testmethoden und zur Erhöhung der Zuverlässigkeit. Diese Themen werden von den anderen im DFG-Förderprojekt RealTest beteiligten Partnern bearbeitet. Die Fehlermodelle können durch Abstrahieren von auf der elektrischen Ebene injizierten Fehlern auf die Logikebene bei Berücksichtigung von Parameterschwankungen gewonnen werden.

### A. Bisherige Arbeiten

Bereits in früheren Arbeiten ist der Einfluss von Parameterschwankungen auf das Verhalten fehlerbehafteter Schaltungen analysiert worden. Dabei wurden unterschiedliche Vorgehensweisen und Ziele verfolgt. Viele Arbeiten behandeln das Ermitteln der Fehlerüberdeckung unter Annahme von Schwankungen von Bauelementeparametern für analoge [9][10][11][12][14][16][17] bzw. Mixed-Signal Schaltungen [13]. Dazu werden zum einen Monte-Carlo-Simulationen verwendet [9][10][11][16]. In anderen Arbeiten werden statistische Schätz- und Approximationsmethoden [12][14][17] oder statistische Verhaltensbeschreibungen [13] zum Reduzieren des Aufwandes für Simulationen genutzt, um auf deren Basis die Fehlerüberdeckung zu bestimmen. Einige Arbeiten beinhalten außerdem Verfahren zur Testvektorgenerierung [12][14][17].

Die Autoren der Arbeiten [3] und [15] stellen statistische Methoden zur Analyse des Leckstromes und der Verzögerungszeit von Schaltungen vor. Dabei wird in [3] darauf hingewiesen, dass sich die Effekte von Parameterschwankungen und durch Fehler verursachte Effekte überlappen. Damit ist es nicht mehr möglich, durch Messungen des Leckstromes oder der Verzögerungszeit zu unterscheiden, ob es sich um eine Defektwirkung handelt oder um eine durch eine Variation der Parameter hervorgerufene Auswirkung. Zur Unterscheidung werden wiederholte Tests bei unterschiedlichen Versorgungsspannungen und Temperaturen vorgeschlagen.

Basierend auf der in [3] dargelegten Herangehensweise sollen in dieser Arbeit Häufigkeitsverteilungen für die Verzögerungszeiten fehlerbehafteter digitaler Grundgatter unter Parameterschwankungen bestimmt werden.

---

Diese Arbeit wurde im Rahmen des von der Deutschen Forschungsgemeinschaft (DFG) geförderten Projektes RealTest – Test und Zuverlässigkeit nanoelektronischer Systeme (Fkz: Str412/1-2) durchgeführt; <http://realtest.date.uni-paderborn.de>.

## B. Ziel der Arbeit

In diesem Beitrag wird eine Vorgehensweise vorgestellt, die die Effekte von Fehlern, die auf der elektrischen Ebene injiziert werden, auf die Logikebene abstrahiert. Dabei werden durch den Herstellungsprozess bedingte Parameterschwankungen der Schaltungen berücksichtigt. Basis des Verfahrens ist ein Fehlersimulator, der auf der elektrischen Ebene arbeitet und Variationen von Parametern einbeziehen kann. Unter Verwendung dieses Fehlersimulators werden die Verzögerungszeiten für fehlerbehaftete digitale Grundgatter bei Variation der Parameterwerte aufgezeichnet. Die Verzögerungszeit wird definiert als die Differenz zwischen der Zeit, zu der das Ausgangssignal die halbe Versorgungsspannung erreicht, und der Zeit, zu der das Eingangssignal die halbe Versorgungsspannung erreicht [19].

Mit dem Verfahren soll eine Bibliothek für digitale Grundgatter aufgebaut werden. Dabei werden auf der elektrischen Ebene sowohl Fehler injiziert als auch Parameterwerte variiert. Da die Verzögerungszeit eines Gatters von der Anstiegszeit der Eingangssignale und von der Last am Ausgang des Gatters abhängig ist, sollen zum Erstellen der Bibliothek Simulationen für alle erforderlichen Eingangssignale mit einer repräsentativen Auswahl unterschiedlicher Anstiegszeiten und Lasten ausgeführt werden. Mit dieser Bibliothek wird die Basis geschaffen für weiterführende Analysen und Simulationen, die von den anderen im DFG-Förderprojekt RealTest beteiligten Partnern auf Logikebene ausgeführt werden. Für die einzelnen Instanzen der Gatter können dabei die Ergebnisse der Simulationen der fehlerfreien oder der fehlerbehafteten Schaltungen unter Parameterschwankungen verwendet werden.

In diesem Beitrag werden die Methodik des Ansatzes und erste Ergebnisse vorgestellt. Im nächsten Abschnitt wird der grundlegende Ablauf der Fehlersimulation unter Einbeziehung von Parameterschwankungen veranschaulicht. In Abschnitt III wird das Vorgehen am Beispiel eines NAND2-Gatters gezeigt; die Ergebnisse werden diskutiert. Abschnitt IV fasst die Arbeit zusammen und gibt einen Ausblick auf weiterführende Arbeiten.

## II. FEHLERSIMULATION UNTER PARAMETERSCHWANKUNGEN

Für eine Fehlersimulation werden die nachfolgenden Eingabedaten benötigt. Grundlage für jede Simulation ist ein Modell des zu simulierenden Objektes. Für die Fehlersimulation auf der elektrischen Ebene wird als Modell eine Netzliste benötigt, die Angaben über die elektrischen Elemente, die in einer Schaltung verwendet werden, sowie deren Zusammenschaltung enthält. Zu dieser Schaltung gehört weiterhin eine Festlegung der anzulegenden Eingangssignale. Außerdem muss eine Fehlerliste definiert werden, in der die zu injizierenden Fehler enthalten sind. Diese enthält möglichst realistische Modelle der elektrischen Auswirkungen von potentiell in der Schaltung auftretenden physikalischen Defekten.

Weiterhin müssen für die Fehlersimulation noch Auswertekriterien angegeben werden. Für die Fehlererkennung sind das zum Beispiel Angaben, zu welchen Zeitpunkten ein Ausgangssignal betrachtet werden soll und ab welcher Differenz zwischen dem Wert der fehlerbehafteten Schaltung und dem Wert der fehlerfreien Schaltung ein injizierter Fehler als entdeckt gilt. Diese Angaben sind an den realen Hardwaretest angelehnt. Von einer Fehlererkennung bei der Fehlersimulation kann dann auch auf eine Fehlererkennung am Tester geschlossen werden. Für die in dieser Arbeit vorgesehenen Untersuchungen wird die Verzögerungszeit zur Auswertung verwendet.

Zur Fehlersimulation wird der elektrische Fehlersimulator aFSIM [18] eingesetzt. Dieser Simulator setzt auf unterschiedlichen Netzwerksimulatoren, wie z. B. SPICE, Spectre, Eldo oder TITAN, auf. Nachdem die vorhergehend beschriebenen Eingabedaten spezifiziert wurden, modifiziert aFSIM automatisch die Netzliste entsprechend den Einträgen der Fehlerliste. Für jeden Eintrag der Liste entsteht eine separate Netzliste. Die entstehenden Netzlisten werden verteilt simuliert. Dabei können verteilte Server oder HPC-Cluster verwendet werden.

Der Fehlersimulator aFSIM wurde gegenüber [18] erweitert. Die Netzlisten werden nun nicht nur automatisch

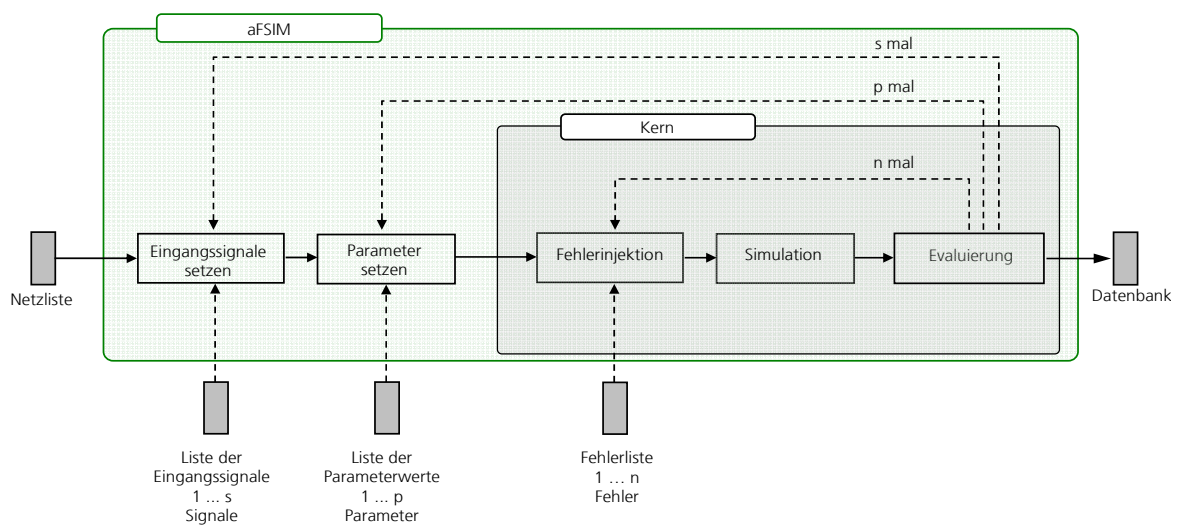


Abbildung 1: Schema des Fehlersimulators aFSIM; die Simulationen werden automatisch verteilt

entsprechend der Fehlerliste modifiziert, sondern zusätzlich auch gemäß der Listen von Eingangssignalen und Parameterwerten. In Abbildung 1 ist der Fehlersimulator aFSIM schematisch dargestellt. Kern des Simulators ist die aus den Basismodulen Fehlerinjektion, Simulation und Evaluierung bestehende Umsetzung, wie sie in [18] beschrieben wird. Als Eingabedaten werden für aFSIM eine Netzliste, eine Liste von  $s$  Eingangssignalen, eine Liste von  $p$  Parameterwerten und eine Fehlerliste mit  $n$  Einträgen benötigt. Es entstehen  $s \cdot p \cdot n$  modifizierte Netzlisten, die automatisch verteilt simuliert werden. Die Ergebnisse werden in einer Datenbank gespeichert. In den Listen gibt es für die einzelnen Elemente nur Einschränkungen bezüglich des verwendeten Simulators. So sind für die einzelnen Elemente der Liste der Eingangssignale alle vom verwendeten Simulator unterstützten Quellenarten und -formulierungen zulässig. Über die Fehlerliste können alle in der Netzliste vorhandenen Elemente verändert oder entfernt werden und neue Bauelemente hinzugefügt werden. Über die Parameterliste können alle in der Netzliste existierenden Parameter verändert werden. Dazu gehören auch alle Device- und Modellparameter der verwendeten Bauelemente. Die Variationen können globale als auch lokale Parameter betreffen.

### III. FEHLERSIMULATION FÜR EIN NAND2-GATTER

#### A. Simulationskonfiguration und -ablauf

Die elektrischen Fehlersimulationen unter Parameterschwankungen wurden für einige digitale Grundgatter mittels des Fehlersimulators aFSIM durchgeführt. Die Grundgatter stammen aus der Nangate 45 nm Open Cell Library (OCL) [20]. In dieser Bibliothek gibt es eine umfangreiche Datenbasis für digitale Grundgatter: Netzlisten, aus dem Layout extrahierte Netzlisten, Schaltbilder, Layout, Technologiedaten und Transistormodelle. Bisher wurden Experimente für die Grundgatter INV, NAND2, NOR2 und XOR2 durchgeführt. Die Vorbereitung und Durchführung der Fehlersimulation wird im Folgenden am Beispiel des NAND2-Gatters für eine feste Anstiegszeit und Last beschrieben.

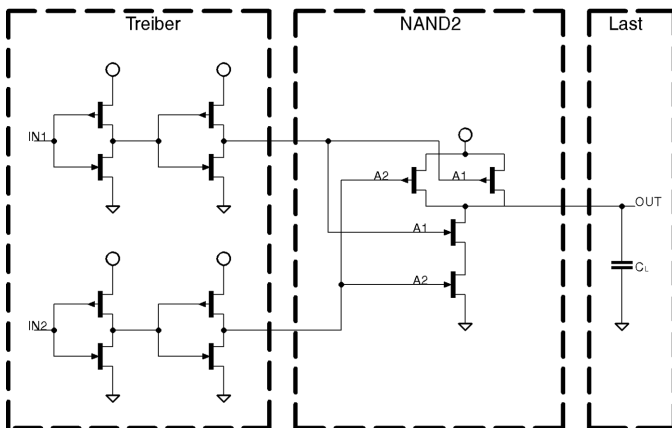


Abbildung 2: Zwischen Treiber und Last eingebettetes NAND2-Gatter

Das NAND2-Gatter ist eine aus vier Transistoren bestehende elektrische Schaltung. Für eine realistische Fehlersimulation werden aus dem Layout extrahierte Netzlisten verwendet, die in eine Umgebung eingebettet werden. In

Abbildung 2 ist das eingebettete NAND2-Gatter dargestellt, wobei die parasitären Elemente ausgeblendet wurden. An den beiden Eingängen  $A1$  und  $A2$  des Gatters werden jeweils Treiber, bestehend aus zwei in Reihe geschalteten Invertern, eingefügt. Am Ausgang des NAND2-Gatters wird eine kapazitive Last  $C_L$  angebracht, die nachfolgende Gatter repräsentiert. Für die ersten Untersuchungen wurde eine Kapazität von  $C_L = 0.4 \text{ fF}$  verwendet. Dieser Wert wurde aus den Daten der OCL-Bibliothek [20] entnommen.

Da in den hier vorgestellten Untersuchungen ausschließlich Verzögerungszeiten betrachtet werden, werden nur Eingangssignale verwendet, bei denen für die fehlerfreie Schaltung ein Signalwechsel am Ausgang stattfindet. Um einen Signalwechsel zu erzeugen, werden Testsequenzen der Länge zwei benötigt. Für ein NAND2-Gatter erzeugen 6 von 16 möglichen Testsequenzen der Länge zwei einen Signalwechsel am Ausgang. In Tabelle 1 sind diese Eingangsbelegungen mit den dazugehörigen digitalen Ausgangswerten aufgeführt. Für die elektrische Simulation werden die Eingangssignale durch stückweise lineare Quellen beschrieben. Als Anstiegszeit wurde für die ersten Untersuchungen  $t_{rise} = 7.5 \text{ ps}$  verwendet. Dieser Wert stammt ebenfalls aus den Daten der OCL-Bibliothek. Die Angaben zu den Eingangssignalen werden in der Liste der Eingangssignale zusammengefasst.

Tabelle 1: Simulierte Eingangsbelegungen und dazu gehöriger Ausgangswert für das NAND2-Gatter digital dargestellt

Eingangsbelegungen				Ausgangswert	
$t_n$		$t_{n+1}$		$t_n$	$t_{n+1}$
IN1	IN2	IN1	IN2	OUT	OUT
0	0	1	1	1	0
0	1	1	1	1	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	0	1
1	1	1	0	0	1

In der nächsten Liste werden Angaben zu den Parametervariationen erfasst. In der OCL-Bibliothek sind Transistormodelle für typisches, langsames und schnelles Bauelementeverhalten enthalten. Es wird durch unterschiedliche Werte für die Bauelementeparameter Längenreduktion  $L_{INT}$ , Schwellspannung  $V_{TH0}$ , Bulkeffektkoeffizient  $K_I$ , Mobilität bei geringem Feld  $\mu_0$ , Anschlusstiefe  $X_J$  und Oxiddicke  $TOX$  hervorgerufen. Für die in dieser Arbeit verwendeten Parameterschwankungen werden Normalverteilungen für die Parameterwerte angenommen. Die Werte der angegebenen Parameter für das typische Verhalten werden als Mittelwert  $\mu$  für die Normalverteilung der jeweiligen Parameter verwendet. Die Parameterwerte, die zu langsamen und schnellen Bauelementverhalten führen, werden als  $3\sigma$ -Werte für die Normalverteilung jedes Parameters eingesetzt. Zusätzlich wird noch die Kanallänge  $L$  anhand der Daten eines Industriepartners variiert. Basierend auf diesen o. a. Verteilungen werden für jeden Parameter zufällig 10000 Werte ausgewählt. Die oben angegebenen Parameter existieren jeweils für n- und p-Kanal-Transistoren. Damit ergeben sich insgesamt 14 verschiedene Parameter, für die jeweils 10000

Parameterwerte zufällig entsprechend der Verteilung ausgewählt werden. Die Auswahl der Parameterwerte erfolgt einmalig vor der Durchführung der Fehlersimulationen; damit sind die Parameterwertetupel für jeden Fehlersimulationslauf identisch. In Abbildung 3 ist als Beispiel ein Histogramm für die zufällig ausgewählten Parameterwerte der Kanallänge  $L$  für  $n$ -Kanal-Transistoren dargestellt, wobei für die Verteilung als Mittelwert  $\mu = 50 \text{ nm}$  und als  $3\sigma$ -Wert  $3\sigma = 5 \text{ nm}$  verwendet wird.

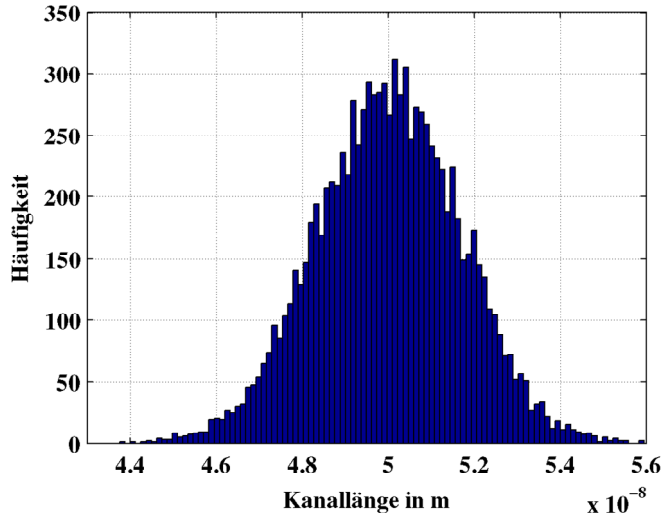


Abbildung 3: Histogramm der zufällig ausgewählten Parameterwerte mit Mittelwert  $\mu = 50 \text{ nm}$  und  $3\sigma = 5 \text{ nm}$  für die Kanallänge  $L$  für  $n$ -Kanal-Transistoren

Als Fehler werden Kurzschlüsse zwischen zwei Leitungen und Unterbrechungen von einzelnen Leitungen betrachtet. Dabei werden nur Fehler im zu untersuchenden Gatter injiziert. Die Umgebung wird als fehlerfrei angenommen. Um möglichst realistische Fehlerlisten zu erhalten, werden aus dem Layout extrahierte Netzlisten verwendet. Die aus der OCL-Bibliothek entnommenen Netzlisten enthalten parasitäre Widerstände der Leitungen, die den Verlauf der Leitung im Layout widerspiegeln, und parasitäre Kapazitäten von jeweils einer Leitung nach Masse.

Innerhalb des extrahierten OCL-NAND2-Gatters sind insgesamt 16 parasitäre Widerstände enthalten. Da einige von ihnen in Reihe geschaltet auf einer Leitung liegen, werden 11 der 16 parasitären Widerstände als potentielle Unterbrechungsstellen verwendet. Unterbrechungen werden durch Ersetzen der vorhandenen parasitären Widerstände durch hochohmige Widerstände modelliert. Dabei werden 10 verschiedene Widerstandswerte aus dem Bereich von  $100 \text{ k}\Omega$  bis  $100 \text{ M}\Omega$  verwendet. Somit erhält die Fehlerliste 110 verschiedene Unterbrechungen.

Kurzschlüsse werden zwischen den einzelnen Transistoranschlüssen injiziert. Das heißt, es werden für jeden Transistor, Gate-Source-, Gate-Drain- und Drain-Source-Kurzschlüsse modelliert. Zusätzlich wird noch ein Kurzschluss zwischen den NAND2 Eingängen  $A1$  und  $A2$  gesetzt, damit alle aufgrund des Layouts möglichen Kurzschlussstellen abgedeckt sind. Es entstehen 13 verschiedene Kurzschlüsse. Jeder Kurzschluss wird durch einen Widerstand zwischen den kurzgeschlossenen Leitungen modelliert. Für jeden der

Kurzschlüsse werden 10 verschiedene Widerstandswerte im Bereich von  $10 \text{ }\Omega$  bis  $15000 \text{ }\Omega$  verwendet. Damit ergeben sich 130 verschiedene Kurzschlüsse. Die Fehlerliste enthält für das aus dem Layout extrahierte OCL-NAND2-Gatter insgesamt 240 verschiedene Fehler.

Nach der Einbettung der Schaltung und der Definition der  $s$  Eingangssignale, der  $n$  Fehler und der  $p$  ausgewählten Parameterwertetupel, ist die Vorbereitung für die Fehlersimulation unter Parameterschwankungen abgeschlossen. Aus dem Produkt der Anzahl der Eingangssignale  $s$ , der Anzahl der Fehler  $n$  und der Anzahl der Parameterwertetupel  $p$  ergeben sich insgesamt  $s \cdot n \cdot p = 6 \cdot 240 \cdot 10000 = 14\,400\,000$  erforderliche Einzelsimulationen, die aFSIM automatisch abarbeitet. Der Simulationszeitraum beträgt  $20 \text{ ns}$ . Der Signalwechsel findet bei  $10 \text{ ns}$  statt, danach wird die Verzögerungszeit aufgezeichnet.

## B. Ergebnisse

Für die Simulationen werden etwa 10 Tage auf einem HPC-Cluster unter Nutzung von 32 Knoten benötigt. Nach deren Ausführung ist eine Datenbank entstanden, in der für jede einzelne Simulation die Verzögerungszeit gespeichert ist. Diese Datenbank kann bereits für Simulationen auf der Logikebene verwendet werden. Durch Wahl eines Eingangssignals, eines Fehlers und eines Parameterwertetupels für jedes Gatter einer Schaltung kann der entsprechende Verzögerungswert aus der Datenbank für eine Simulation auf der Logikebene genutzt werden. Mit dieser Variante können die Ergebnisse der elektrischen Simulationen nur separat für Logiksimulationen verwendet werden. Deshalb erfolgt eine Zusammenfassung der Ergebnisse.

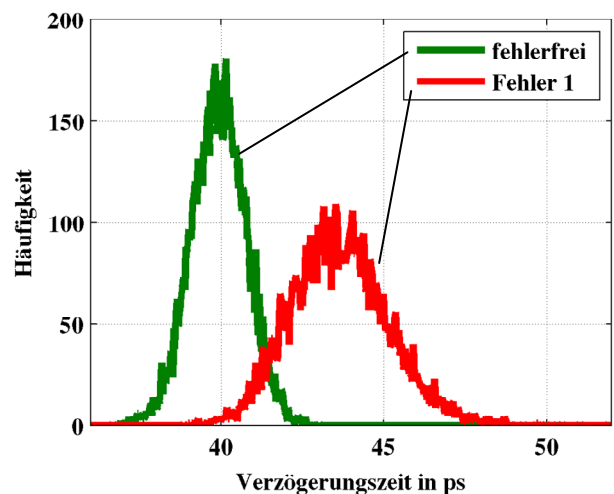


Abbildung 4: Histogramm über alle Parameterwertetupel für die fehlerfreie Schaltung und die Schaltung mit Fehler 1

Die Verzögerungszeiten für jeweils einen Fehler und eine Eingangsbelegung werden über alle Parameterwertetupel als Histogramm zusammengefasst. Für einen Fehler und eine Eingangsbelegung wurden 10000 Simulationen mit unterschiedlichen Parameterwerten durchgeführt. Die Datenbank beinhaltet für jede dieser Simulationen eine Verzögerungszeit. Die entstehenden Histogramme können als

Approximation der Verteilung der Verzögerungszeiten verwendet werden.

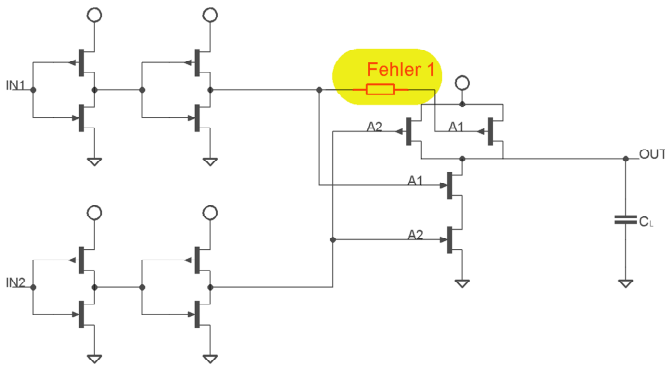


Abbildung 5: Schematic des eingebetteten NAND2-Gatters mit injiziertem Fehler 1

In Abbildung 4 sind die Verzögerungszeiten für die fehlerfreie Schaltung und für die Schaltung mit dem Fehler 1 für die Eingangsbelegung, bei dem beide Eingangssignale von 0 auf 1 wechseln, über alle Parameterwerte als Histogramme dargestellt. In Abbildung 5 ist der Fehler 1 in das Schematic des NAND2-Gatters eingezeichnet. Er stellt eine Unterbrechung des Gateanschlusses des p-Kanal-Transistors, der A1 als Anschluss am Gate hat, dar. Modelliert wird diese Unterbrechung durch Ersetzen des parasitären Widerstandes von ca. 50  $\Omega$ , der die entsprechende Leitung verkörpert, durch einen Widerstand mit einem Wert von 500 k $\Omega$ . Wie in der Abbildung 4 zu erkennen ist, überlappen sich beide Histogramme. Damit würden einige Exemplare der Schaltung mit dem Fehler 1 in Abhängigkeit von einer gegebenen Spezifikation unter ausschließlicher Betrachtung der Verzögerungszeit beim Test als fehlerfreie und einige als fehlerhafte Schaltungen erkannt werden. Es ist weiterhin zu erkennen, dass die Streuung der Verzögerungszeit für den Fehler 1 größer ist als für den fehlerfreien Fall.

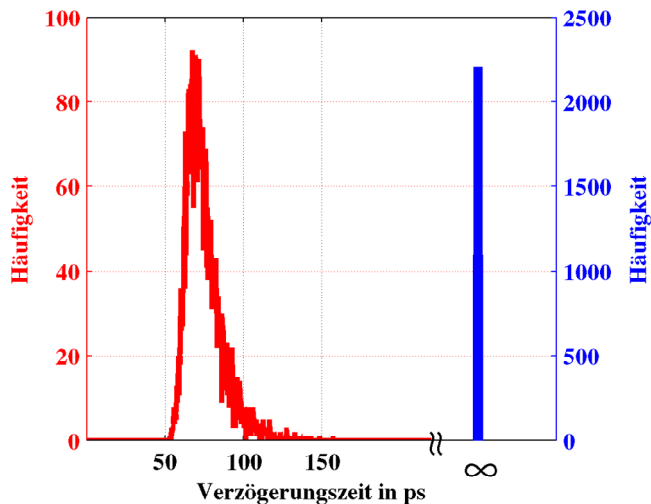


Abbildung 6: Histogramm über alle Parameterwerte für die Schaltung mit Fehler 2

Jedes der für jeden Fehler und jede Eingangsbelegung generierten Histogramme kann als eine Approximation der

Verteilung der Verzögerungszeit über alle Parameterwerte verwendet werden. Allerdings gibt es auch Fehler, bei denen keine Verzögerungszeit während des Beobachtungszeitraumes bestimmt werden kann. Bei diesen Fehlern findet am Ausgang kein Signalwechsel nach dem Signalwechsel des Eingangssignals im betrachteten Beobachtungszeitraum statt. Es liegt somit ein Verhalten wie bei einem Haftfehler vor, dass auch als unendliche Verzögerungszeit interpretiert werden kann.

Bei einigen Fehlern tritt auch eine gemischte Variante auf. Für einige der Parameterwertetupel kann eine Verzögerungszeit bestimmt werden und für den Rest der Tupel ist die Verzögerungszeit unendlich groß. Als Beispiel ist in Abbildung 6 das Resultat des Fehlers 2 dargestellt. Der Fehler 2 stellt ein Drain-Source-Kurzschluss des p-Kanal-Transistors mit dem Signal A1 am Gateanschluss dar. In Abbildung 7 ist der Fehler 2 in das Schematic des NAND2-Gatters eingezeichnet. Modelliert wird dieser Fehler 2 durch Einfügen eines Widerstandes zwischen dem Drain- und dem Source-Anschluss des Transistors mit einem Widerstand von 7500  $\Omega$ . Für die Parameterwertetupel, für die Verzögerungszeiten bestimmt werden können, gibt es eine Verteilung der Verzögerungszeiten. Die Fälle, bei denen keine Verzögerungszeit bestimmt werden kann, werden in eine spezielle Klasse  $\infty$  eingeordnet. Die Elemente in der Klasse  $\infty$  können als Haftfehler interpretiert werden.

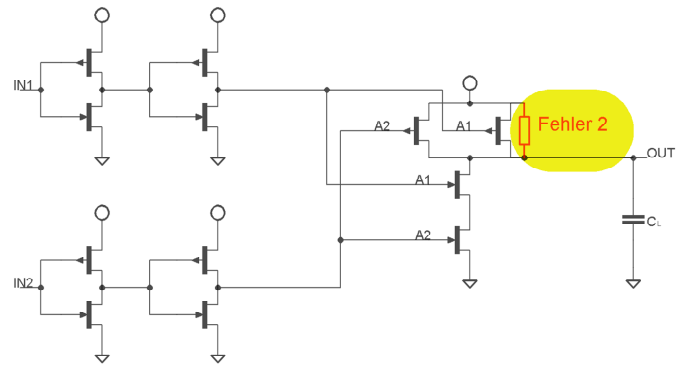


Abbildung 7: Schematic des eingebetteten NAND2-Gatters mit injiziertem Fehler 2

Von den 14 400 000 durchgeführten Simulationen für das NAND2-Gatter wird für 67,7% eine Verzögerungszeit bestimmt. Bei den verbliebenen 32,3% der Simulationen findet während des Simulationszeitraums am Ausgang kein Signalwechsel statt. Somit werden diese als unendliche Verzögerungszeit interpretiert, was einem Verhalten wie bei Haftfehlern entspricht. Durch das Zusammenfassen über die Parameterwerte ergeben sich 1440 Einzelergebnisse in Form von Histogrammen. Davon enthalten 64,0% der Histogramme kein Element der Klasse  $\infty$ , für 26,7% der Ergebnisse werden alle Elemente in die Klasse  $\infty$  eingeordnet und für 9,3% der Einzelergebnisse sind sowohl Elemente in der Klasse  $\infty$  als auch in den anderen Klassen enthalten.

Mit den bisher erzielten Ergebnissen können Simulationen auf der Logikebene durchgeführt werden. Dabei wird für jede Instanz in der zu simulierenden Schaltung ein Histogramm als Approximation der Verzögerungszeit gewählt. Die Auswahl

erfolgt nach Art des Bauelementes, der Eingangsbelegung und dem Aspekt, ob es sich um ein fehlerfreies Gatter oder ein Gatter mit einem bestimmten Fehler handeln soll.

#### IV. ZUSAMMENFASSUNG UND AUSBLICK

Im vorliegenden Beitrag wurde ein Verfahren für die Fehlersimulation auf der elektrischen Ebene unter Parameterschwankungen vorgestellt. Zum Durchführen der Simulationen wird der vorhandene und für neue Anforderungen weiterentwickelte Fehlersimulator aFSIM verwendet. Die ersten Untersuchungen wurden für digitale Grundgatter aus der 45 nm Nangate OCL-Bibliothek durchgeführt. Der Ablauf der Untersuchungen wurde am Beispiel des NAND2-Gatters vorgestellt. Zur Vorbereitung der Simulationen ist die Einbettung der Schaltung, die Auswahl der Eingangssignale, das Definieren der zu injizierenden Fehler und das Auswählen der Parameter mit entsprechenden Parameterwerten notwendig. Während der Simulationen werden die Verzögerungszeiten über alle Fehlersimulationsläufe, Parametervariationen und Eingangsbelegungen aufgezeichnet und in einer Datenbank abgelegt.

Als Ergebnis wurden für die Verzögerungszeiten Histogramme für jeden injizierten Fehler über alle Parameterwerte erstellt. Diese können als Approximation der Verteilung der Verzögerungszeiten verwendet werden. Die Ergebnisse zeigen, dass nicht in allen Fällen unterschieden werden kann, ob es sich um eine Fehlerwirkung oder eine durch Parametervariation hervorgerufene Auswirkung handelt. Diese Effekte sollen künftig auch im Hinblick auf eine gegebene Spezifikation untersucht werden. Es gibt erwartungsgemäß auch Fehler in Kombination mit Parameterwerten, für die keine Verzögerungszeit bestimmt werden kann.

In den nachfolgenden Arbeiten soll der Aufbau der Bibliothek weiter verfolgt werden. Dazu sind Fehlersimulationen mit anderen Anstiegszeiten der Eingangssignale und anderen Lasten für die bereits simulierten Grundgatter und weitere Gatter, wie zum Beispiel Flip-Flops, durchzuführen. Insbesondere sollen bei den Simulationen realistische Parameterschwankungen verwendet werden. Beim Vorhandensein entsprechender Daten können dabei auch Korrelationen zwischen den einzelnen zu variierenden Parametern berücksichtigt werden.

Es ist ebenfalls vorgesehen, Möglichkeiten zu untersuchen, den Simulationsaufwand zu reduzieren, ohne dass die Genauigkeit der Ergebnisse wesentlich beeinträchtigt wird. Insbesondere sollen die aus der Datenbank extrahierten Informationen über die Verzögerungszeiten für vorgesehene Simulationen auf der Logikebene weiter verdichtet werden.

#### LITERATUR

[1] ITRS, "International Technology Roadmap for Semiconductors," 2007 Edition and 2008 Update, <http://www.itrs.net>.  
 [2] DATE Workshop on Process Variability, "New Techniques for the Design and Test of Nanoscale Electronics", Proc. Design,

Automation and Test in Europe, DATE 2009, Nice, France, April 20-24, 2009.  
 [3] R. C. Aitken, "Defect or Variation? Characterizing Standard Cell Behavior at 90 nm and Below," IEEE Tr. on Semiconductor Manufacturing, Vol. 21, No. 1, February 2008, pp. 46-54.  
 [4] D. Sylvester, K. Agarwal, and S. Shaha, "Variability in nanometer CMOS: Impact, analysis, and minimization," Integration, the VLSI Journal, Vol. 41, No. 3, May 2008, pp. 319-339.  
 [5] M. Sachdev and J. Pineda de Gyvez, "Defect-Oriented Testing for Nano-Metric CMOS VLSI Circuits," 2nd Edition. Series: Frontiers in Electronic Testing, Vol. 34, New York: Springer, 2006.  
 [6] C. Visweswariah, "Fear, uncertainty and statistics," Proc. International Symposium on Physical Design, ISPD 2007, Austin, Texas, USA, March 18-21, 2007.  
 [7] N. Menezes, "The Good, the Bad, and the Statistical," Proc. International Symposium on Physical Design, ISPD 2007, Austin, Texas, USA, March 18-21, 2007.  
 [8] D. Gizopoulos (Ed.), "Advances in Electronic Testing: Challenges and Methodologies," Series: Frontiers in Electronic Testing, Vol. 27, Springer, 2006.  
 [9] A. Bounceur, S. Mir, E. Simeu, and L. Rolindez, "Estimation of Test Metrics for the Optimisation of Analogue Circuit Testing," Journal of Electronic Testing: Theory and Applications (JETTA), Vol. 23, No. 6, December 2007, pp. 471-484.  
 [10] S. J. Spinks, C. D. Chalk, I. M. Bell, and M. Zwolinski, "Generation and Verification of Tests for Analog Circuits Subject to Process Parameter Deviations," Journal of Electronic Testing: Theory and Applications (JETTA), Vol. 20, No. 1, February 2004, pp. 11-23.  
 [11] A. Khousas and A. Derieux, "Fault Simulation for Analog Circuits Under Parameter Variations," Journal of Electronic Testing: Theory and Applications (JETTA), Vol. 16, No. 3, Juni 2000, pp. 269-278.  
 [12] K. Saab, N. Ben-Hamida, and B. Kaminska, "Parametric Fault Simulation and Test Vector Generation," Proc. of the Conference on Design, Automation and Test in Europe, DATE 2000, Paris, France, March 27-30, 2000, pp. 650-657.  
 [13] G. Devarayanadurg, P. Goteti, and M. Soma, "Hierarchy based Statistical Fault Simulation of Mixed-Signal ICs," Proc. IEEE International Test Conference 1996, Test and Design Validity, Washington, DC, USA, October 20-25, 1996, pp. 521-527.  
 [14] A. V. Gomes, R. Voorakaranam, and A. Chatterjee, "Modular Fault Simulation of Mixed Signal Circuits with Fault Ranking by Severity," Proc. 13th International Symposium on Defect and Fault-Tolerance in VLSI Systems (DFT '98), Austin, TX, USA, November 2-4, 1998, pp. 341-348.  
 [15] U. Schlichtmann, M. Schmidt, H. Kinzelbach, M. Pronath, V. Glöckel, M. Dietrich, U. Eichler, J. Haase, "Digital Design at a Crossroads – How to Make Statistical Design Industrially Relevant" Proc. Design, Automation and Test in Europe, DATE 2009, Nice, France, April 20-24, 2009, pp. 1542-1547.  
 [16] J. Peralta, G. Peretti, E. Romero, C. Marqués, "A New Performance Characterization of Transient Analysis Method," International Journal of Electronics, Communications and Computer Engineering (IJECCE), Vol. 1, No. 1, 2009, pp. 12-19.  
 [17] F. Liu, S. Ozev, "Statistical Test Development for Analog Circuits Under High Process Variations," IEEE Trans. on CAD of Integrated Circuits and Systems (TCAD), Vol. 26, No. 8, August 2007, pp. 1465-1477.  
 [18] B. Straube, B. Müller, W. Vermeiren, C. Hoffmann, S. Sattler, "Analogue fault simulation by aFSIM," Design, Automation and Test in Europe Conference and Exhibition, DATE 2000 – User Forum, Paris, March 27-30, 2000, pp. 205-210.  
 [19] A. Hirata, H. Onodera, and K. Tamaru, "Estimation of Propagation Delay Considering Short-Circuit Current for Static CMOS Gates," IEEE Trans. on Circuits Syst. I, Fundamental Theory and Applications. Vol. 45, No. 11, Nov. 1998, pp. 1194-1198.  
 [20] Nangate 45nm Open Cell Library, <http://www.nangate.com>.