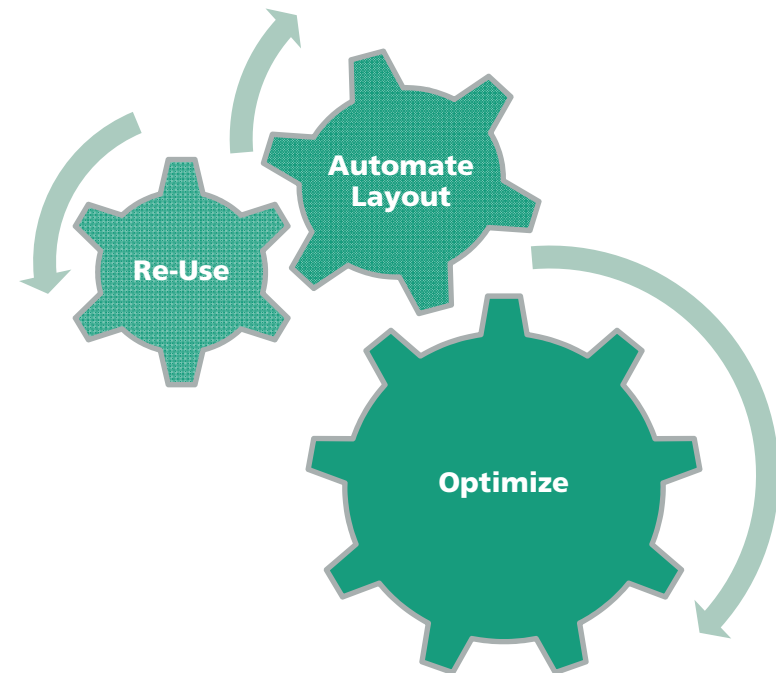
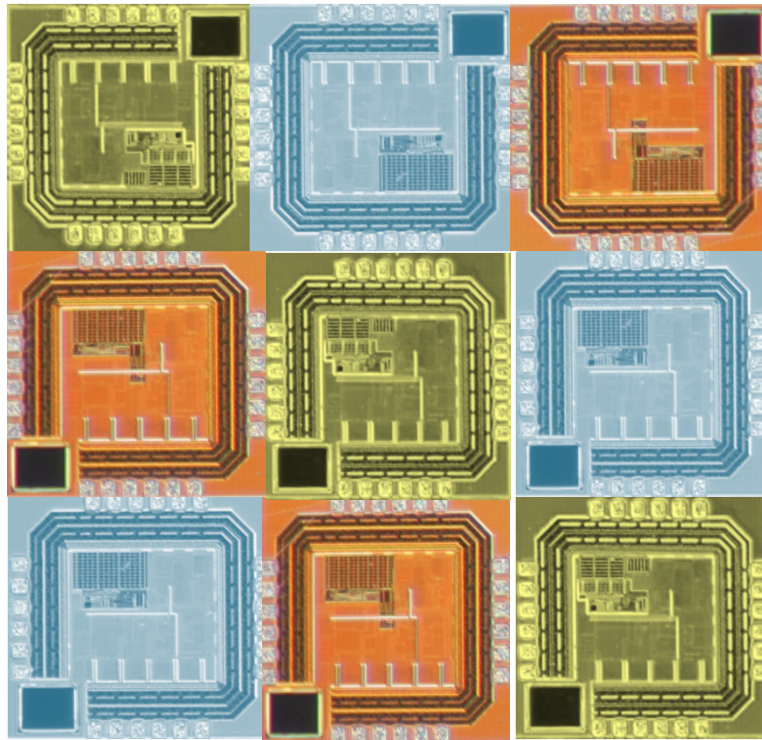


AUTOMATISIERTER ANALOG-ENTWURF IN MIKRO- UND NANOTECHNOLOGIEN

Zuverlässigkeit und Test 2013 – 24.09.2013
Tutorial

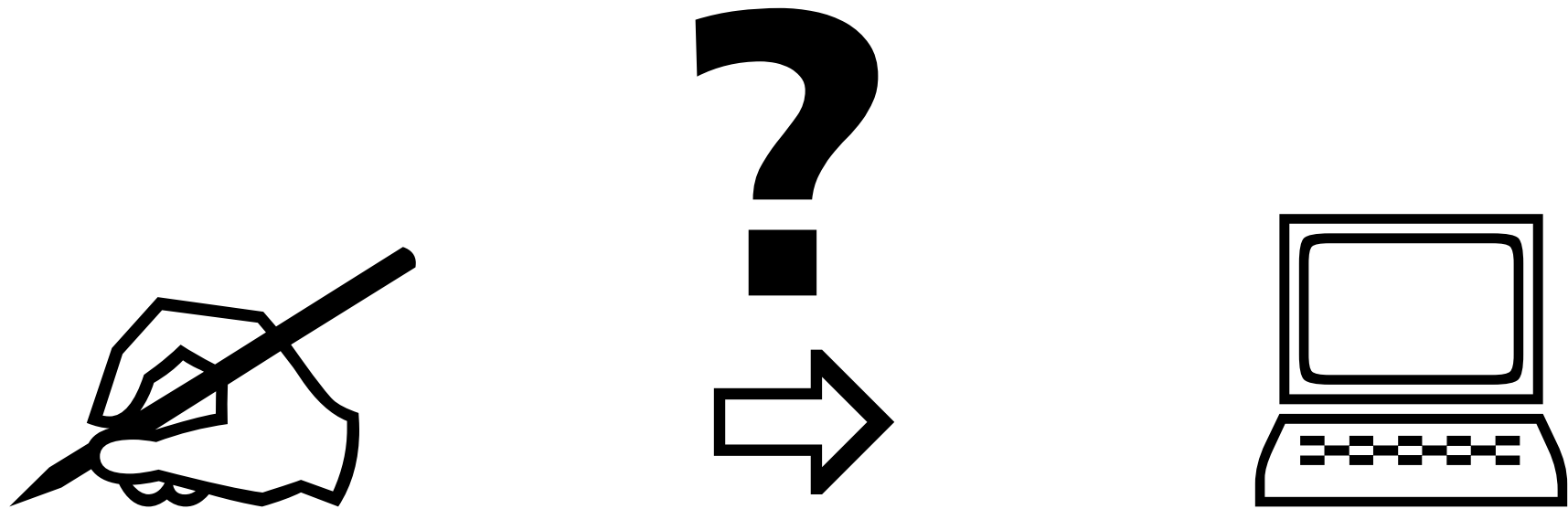


Automatisierter Analog-Entwurf in Mikro- und Nanotechnologien

- **Motivation:** Warum Automatisierung im Analogentwurf?
(Torsten Reich – Fraunhofer IIS/EAS)
- **Anforderungen aus der Praxis:** Mixed-Signal_Design am FhG IIS
(Elmar Herzer – Fraunhofer IIS)
- **Stand der Technik:** Ansätze zur Layoutautomatisierung
(Achim Graupner – ZMDi AG)
- **Intelligente Analog-IP:** Entwicklung am FhG IIS/EAS
(Uwe Eichler – Fraunhofer IIS/EAS)
- **Intelligente Analog-IP:** Anwendung im Entwurf am FhG IIS
(Torsten Reich – Fraunhofer IIS/EAS)
- **Nanoscale-Technologien:** neue Herausforderungen im Analogentwurf
(Jörg Schreiter – RacylCs)

MOTIVATION: WARUM AUTOMATISIERUNG IM ANALOAGENTWURF?

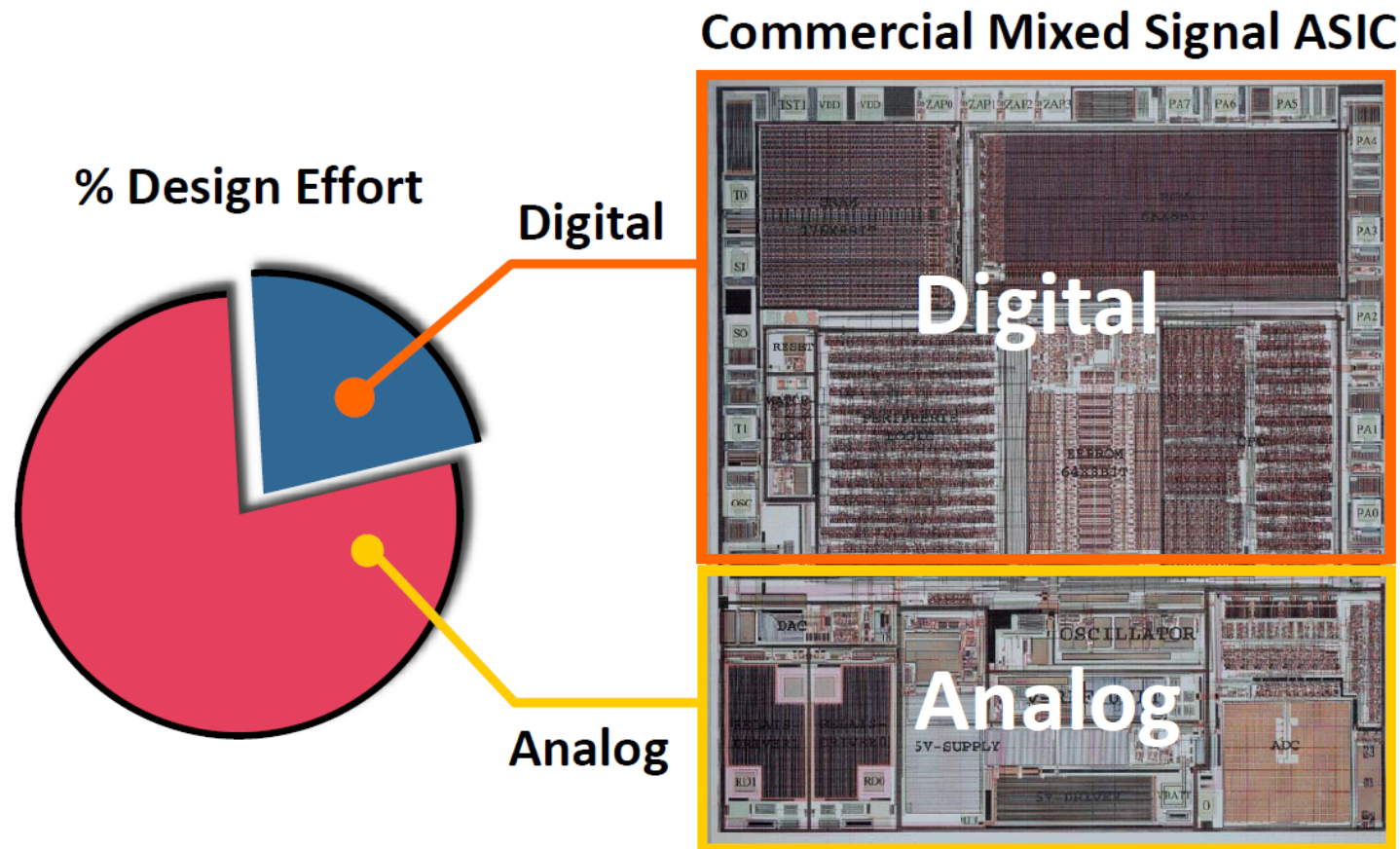
Torsten Reich



Inhalt

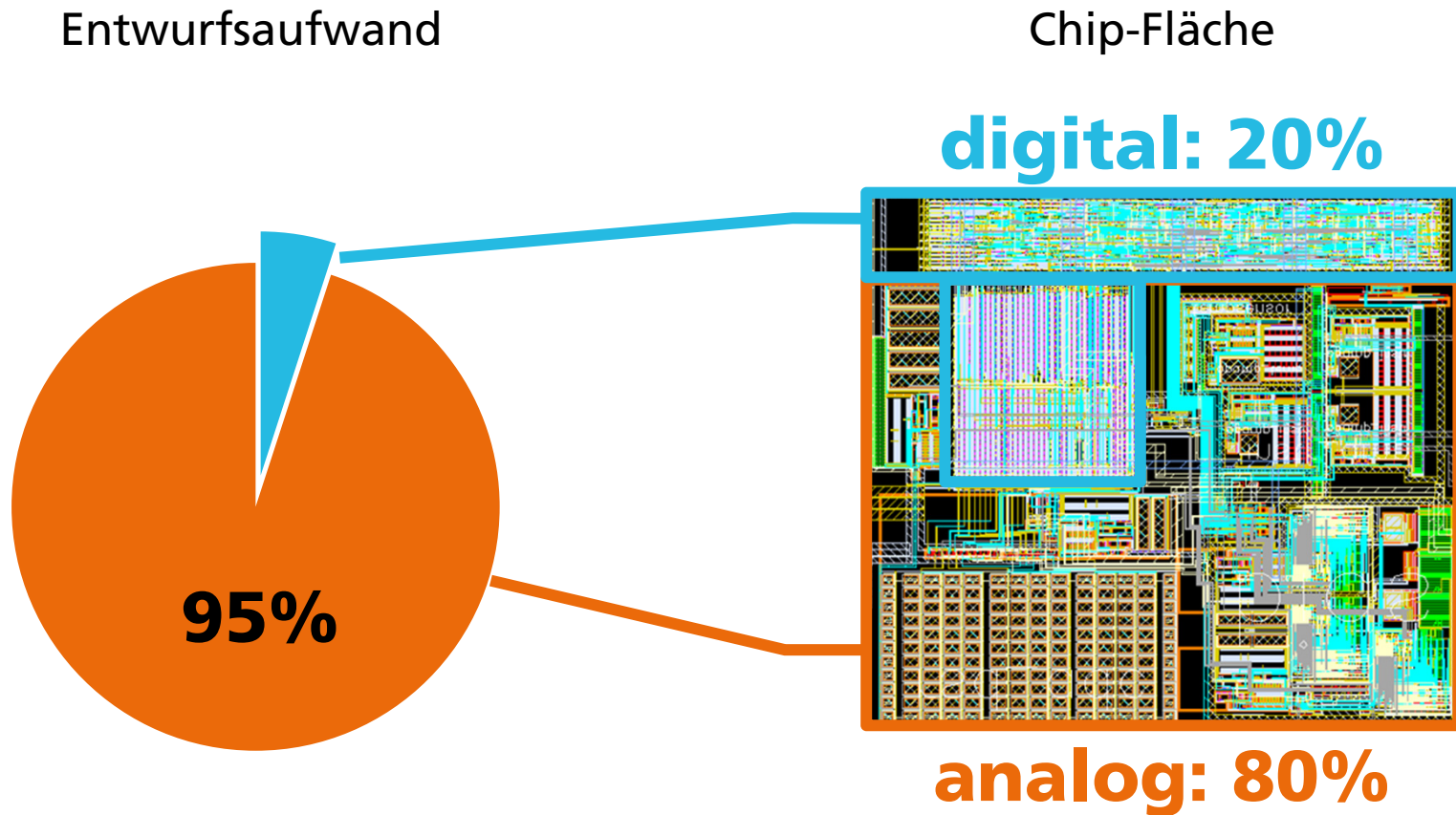
- Kostenfaktor Mixed-Signal-IC-Entwurf
- Mixed-Signal Designflow: Analog vs. Digital
- Ansätze zur Automatisierung

Kostenfaktor Mixed-Signal-IC-Entwurf



[Quelle: Rob Rutenbar, ISPD, März 2010]

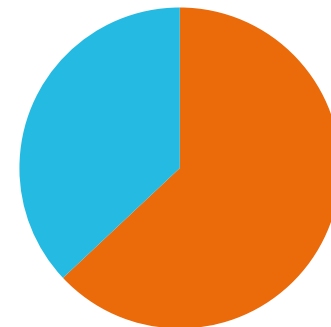
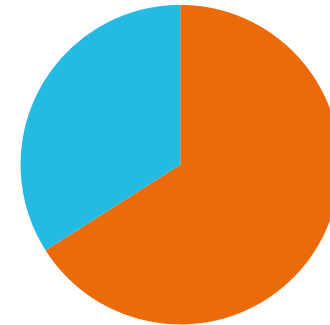
Kostenfaktor Mixed-Signal-IC-Entwurf



[Quelle: Fraunhofer IIS: November 2012]

Mixed-Signal ist größter Marktanteil

- ca. 2/3 aller ICs enthalten analoge Komponenten [Rutenbar 2010, IC Insights 2013]
 - Sensorik / Aktorik
 - Telekommunikation
 - Stromversorgung
- 2/3 des Entwurfsaufwand für analoge Komponenten in Mixed-Signal-Projekten am Fraunhofer IIS seit 2010

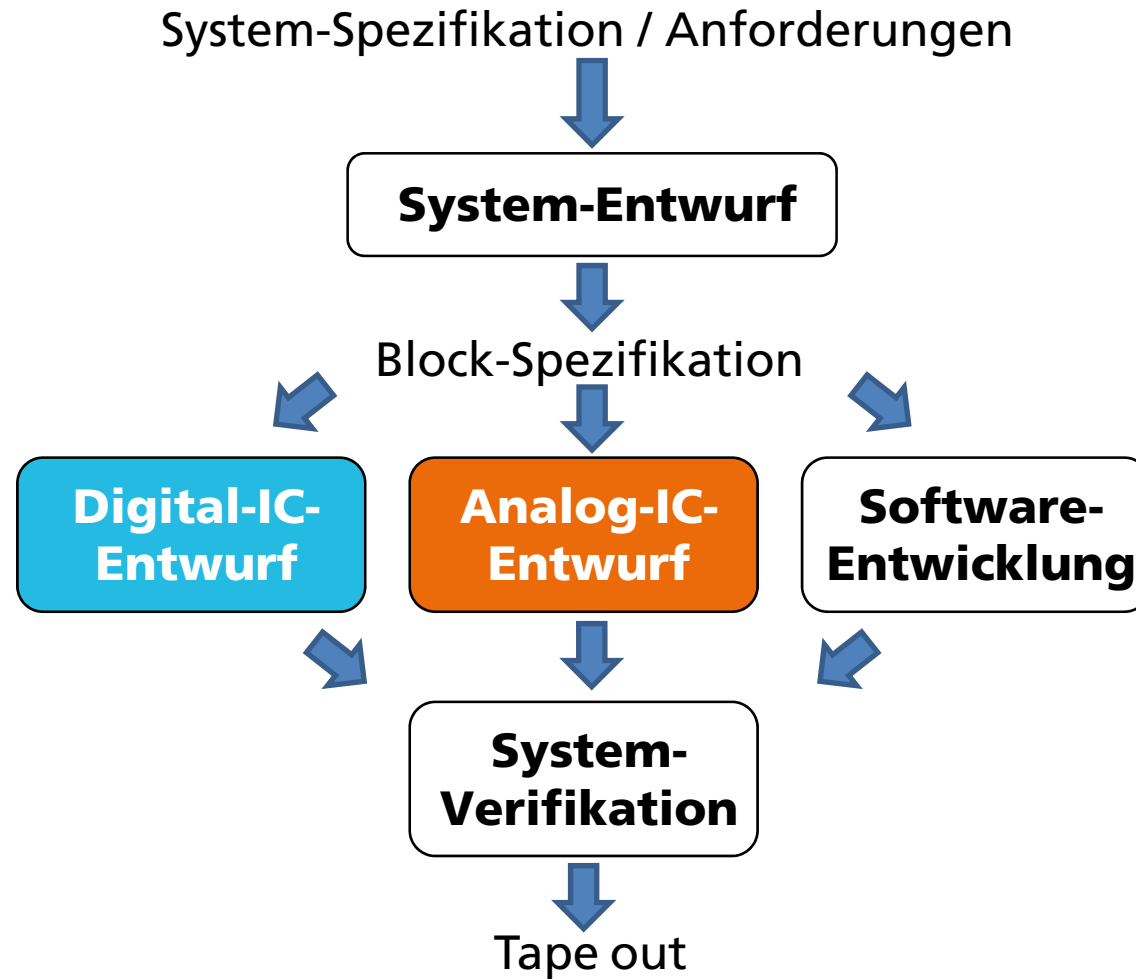


Warum ist Analogentwurf teuer?

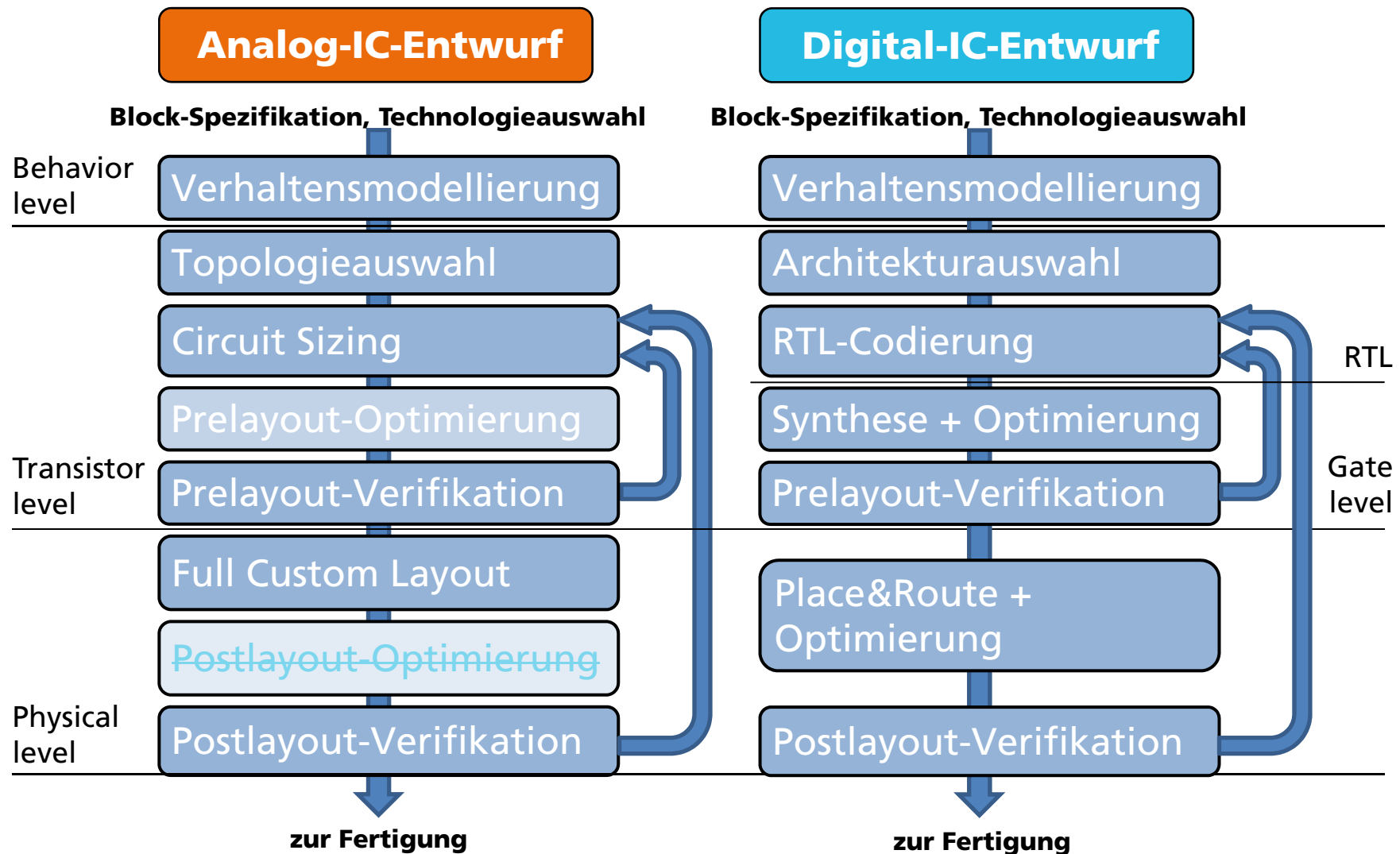
- Komplexität von Design- und Ziel-Parametern
 - → Full-Custom-Lösungen mit geringer Wiederverwendbarkeit
 - → wenig automatisierter Designflow
 - → hoher Personaleinsatz für Entwurf und Verifikation (Handarbeit)
 - → hohe Fehlerquote, teure Re-Designs

- Lösungsansätze
 - Komplexität vermeiden → digitally-assisted analog
 - Komplexität reduzieren → Zell-Bibliotheken, Re-Use
 - Komplexität handhaben → Optimierung, Layoutsynthese

Mixed-Signal-Designflow



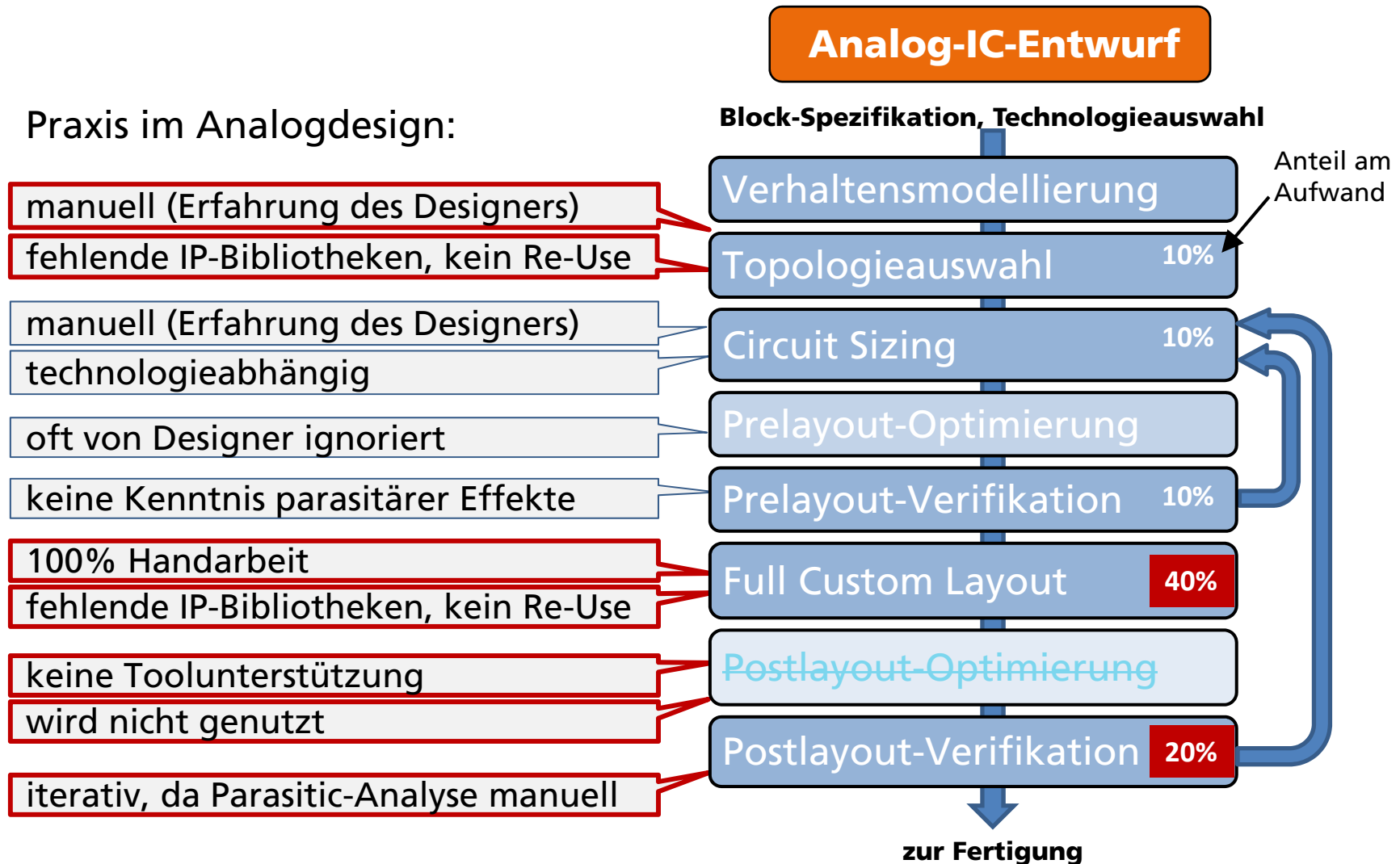
Analog- vs. Digital-Designflow



10

Aufwand Analog-Designflow

Praxis im Analogdesign:



Ansätze zur Automatisierung

- Komplexität vermeiden → digitally-assisted analog
 - abhängig von Spezifikation, nicht immer einsetzbar
- Komplexität reduzieren → Zell-Bibliotheken, Re-Use
 - Einsparung mehrerer Entwurfsschritte (→ Effizienz)
 - weniger Freiheitsgrade für Lösungssuche (→ Effizienz)
 - sichert IP, Qualität und Kompatibilität (→ Designsicherheit)
- Komplexität handhaben → „Intelligente“ Funktionen im Designflow
 - automatisierte Topologieauswahl
 - Parameter- und Ausbeute-Optimierung
 - Parametergesteuerte Layoutgenerierung
 - Layoutoptimierung mit Berücksichtigung von Parasitics

Ansätze zur Automatisierung

- kommerzielle EDA-Tools unterstützen nur einzelne Schritte im konventionellen Designflow
 - Topologieauswahl
 - nur akademische Ansätze
 - Circuit-Sizing / Optimierung
 - MunEDA WiCkeD, Cadence Virtuoso GXL
 - versierte Bedienung nötig
 - hohe Lizenzkosten
 - Layoutsynthese
 - Modulgeneratoren geringer Komplexität
 - Constraint-basierte Layoutgenerierung („IP“ verteilt auf Design Synthesetool)

13

Anforderungen aus der Praxis

Mixed Signal Design am Fraunhofer IIS in Erlangen

Abteilung Integrierte Schaltungen und Systeme

Elmar Herzer

Inhalt

- Marktzahlen
- Wo ist noch Marktpotential?
- Wo hilft Automatisierung der Produktivität?
- Was brauchen die Designer?
- Vorteile schrittweiser Einführung von Automatisierung
- Akzeptanz bei den Entwicklern
- Eine Lösung passt nicht für alle
- Wohin wollen wir?

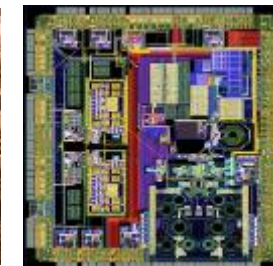
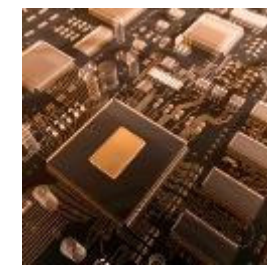
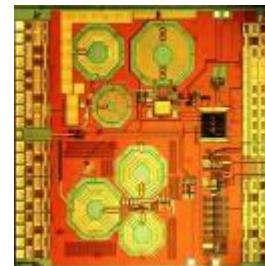
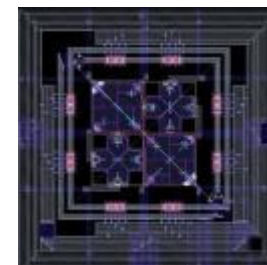
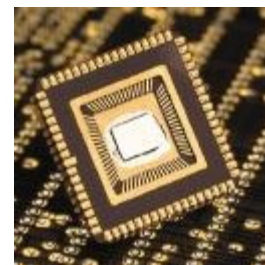
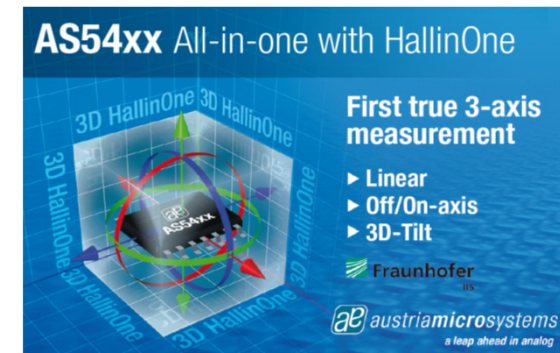
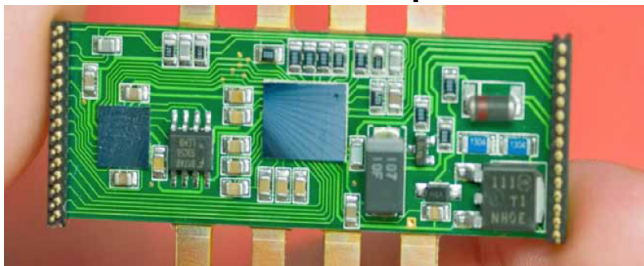
Interessanter Wachstumsmarkt

Mixed-Signal- Designprojekte Abteilung ICS

- Analyse der Projekte seit 2010:

Im Mittel 63% der Kosten
für Analogentwicklung

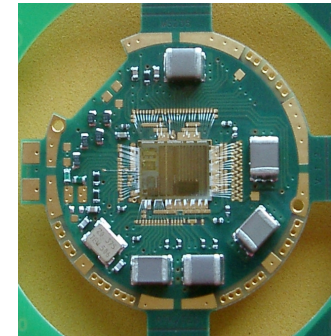
- Projektvolumen 4 Mio EUR
mit 6% Wachstum pro Jahr



Wo ist noch Marktpotential für ASICs?

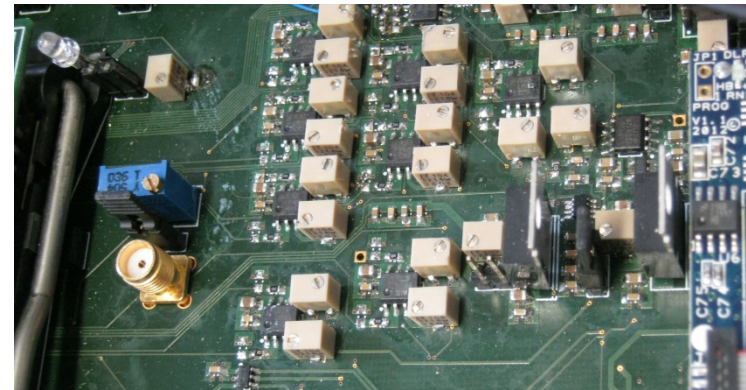
- Spezielle Anwendungen

- Entwicklungskosten bei kleinen Stückzahlen
- Flexiblere Entwicklung macht Varianten billiger und möglich



- Rapid System Prototyping

- Bisher oft Standard Analog ICs auf PCB + FPGA + μ C
- Kosten nicht so heikel, aber Flexibilität und Zeit
- Mit Analog-ASIC näher an den Eigenschaften des Zielsystems



- Lösung:

Schneller und preiswerter durch Automatisierung im Analogentwurf
bei mindestens gleichbleibender Qualität

Produktivität

- Kosten (Außer in großen Arrays):

Wer z.B. einzelne contacts als Rechtecke gezeichnet ist zu teuer!
Künstlerische Ambitionen können nicht mehr bezahlt werden



- ZMDI Tapeout, ähnlich IIS :
Früher 2-3, jetzt 6-7 Layouter

das heißt:

alles dauert länger trotz kleinerer time-to-market-Anforderung

- Wust neuer rules, layers und devices in neu eingeführten Prozessen kann nur mühsam erfasst werden.

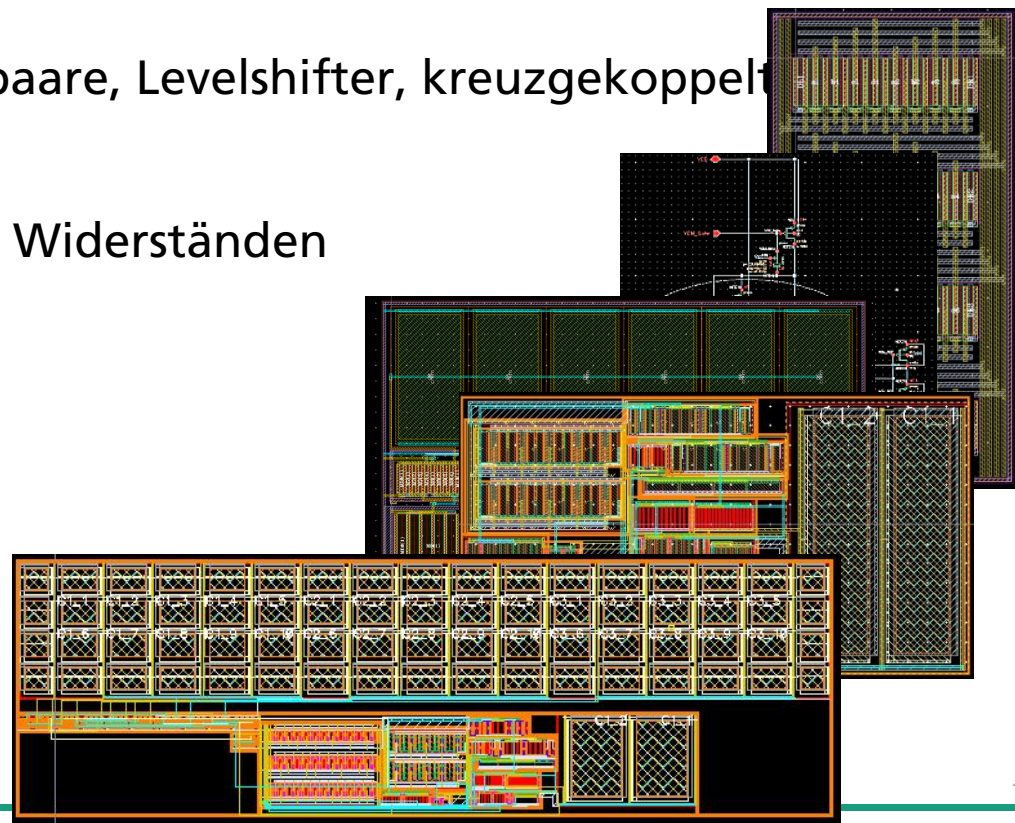
- Generator oder pCell bietet einheitliches Interface
- Gute Software trennt die einzelnen Probleme voneinander

- Bisher erstellter Generatorkode muss nicht komplett neu geschrieben werden, kann erweitert werden.

Was gebraucht wird

Automatisierung oberhalb der Vendor-pCells (Primitive-Level):

- Low-Level !!
 - Stromspiegel, Eingangspaare, Levelshifter, kreuzgekoppelt
- Mid-Level !
 - Arrays von Transistoren, Widerständen
 - Einfache OP-Amps
- High-Level
 - Aufwändige OP-Amps
 - Bandgaps
 - VCO
- System-Level ?
 - ADC, DAC
 - Spannungsregler, ...



19

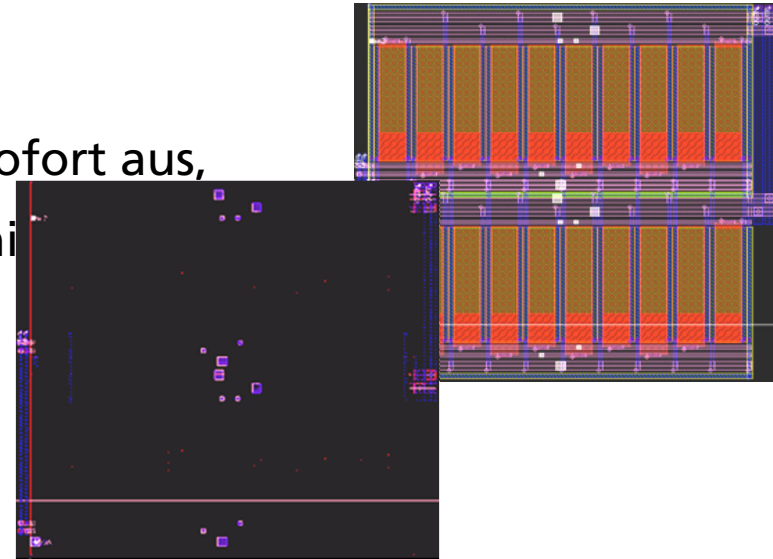
Schrittweise Einführung:

- Invest in jede einzelne Zelle zahlt sich sofort aus,

- auch wenn der nächste Level noch nicht fertig ist, denn Zellen können Basis für Handlayouts sein.

- selbst wenn die Codeentwicklung noch nicht abgeschlossen ist,

denn die Zellen liefern schon oft einen guten Ausgangspunkt für Handarbeit, auch wenn der Generator noch nicht alles perfekt macht.



- Layouter

- gewöhnen sich langsam an die Arbeitsweise und

- lernen Eigenschaften der Zellen kennen

- Verabschieden sich Stück für Stück vom Zeichnen einzelner Rechtecke¹⁵

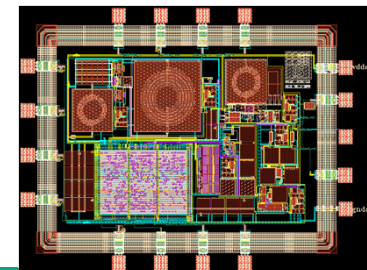
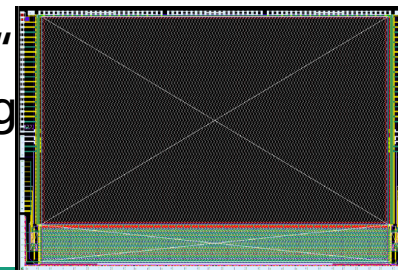
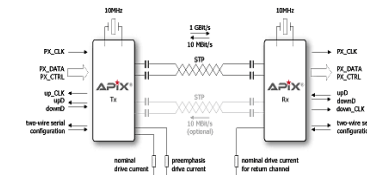
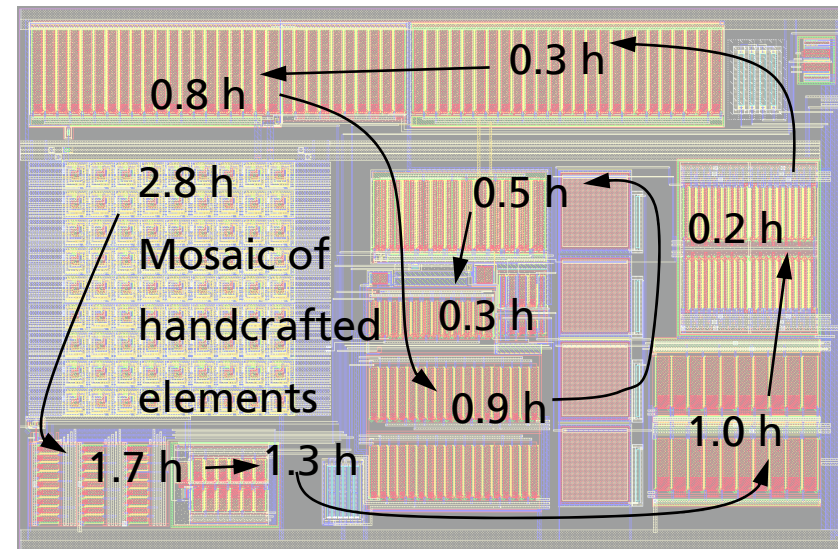
Akzeptanz

- Layouter
 - Nicht nur vor die Nase gesetzt bekommen
 - Lönnen Vorstellungen einbringen, wenn Entwickler
 - Ihnen zuschauen
 - Sie einbinden
 - Genau die Arbeitsergebnisse liefern, aber leichter und schneller oder Genau die mühsamen Arbeiten abnehmen
- Manager: Entscheiden für diese Methode als strategisches Ziel
 - Bereitstellung von Zeit und Geld
 - Kümmerer, dem das am Herzen liegt, bei den Layoutern finden
- Schematic designer
 - Sollen die Parameter auch verstehen können

21

Eine Lösung passt nicht für alle

- Unilib: CMOS pCell-Bibliothek
 - Primitive und Low level Module
 - In komplexen und präzisen Analogschaltungen für große Mixed-Signal-Chips (industrial & automotive).
 - Vor allem in den Gruppen „Mikrosystemtechnik“, „Imager“ und „Messen Steuern Regeln“, zum Teil „RF-ICs“
- „RF-ICs“, „Schnelle Kommunikation“ „Imager“ benutzen eigene Skill-Prog (Generatoren) zum
 - Verdrahten & Anordnen
 - Generieren von Layern und RF-Strukturen (Spulen...)



Wohin wollen wir?

- Strategische Entscheidung für Automatisierung
- Von pCells nur für Layout zu generatorbasierter Lösung für Layout, Schematic, Symbol, Testbench, ...
- Mittelfristig (2016): mindestens 50% des Analogentwurfs mit Hilfe von Generatoren
- Vermehrter Einsatz von Optimierern
- Automatisierung auch bei der Dokumentation

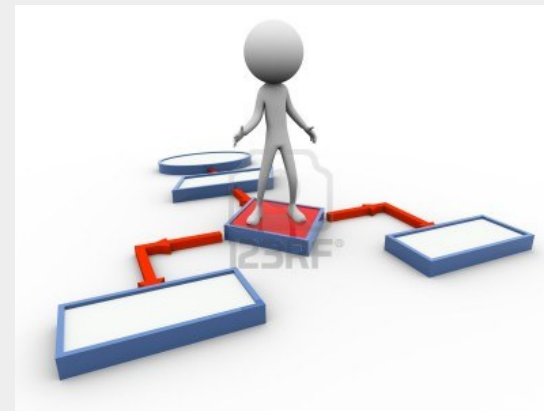
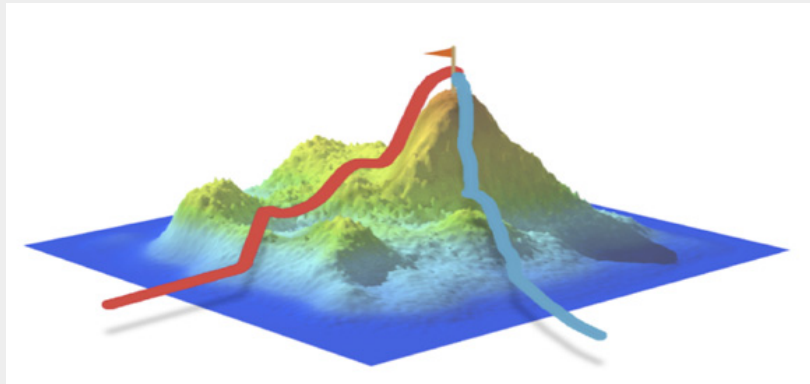
STAND DER TECHNIK: ANSÄTZE ZUR LAYOUTAUTOMATISIERUNG

Dr. Achim Graupner, ZMDI AG

Ansätze zur Automation im Analoglayout

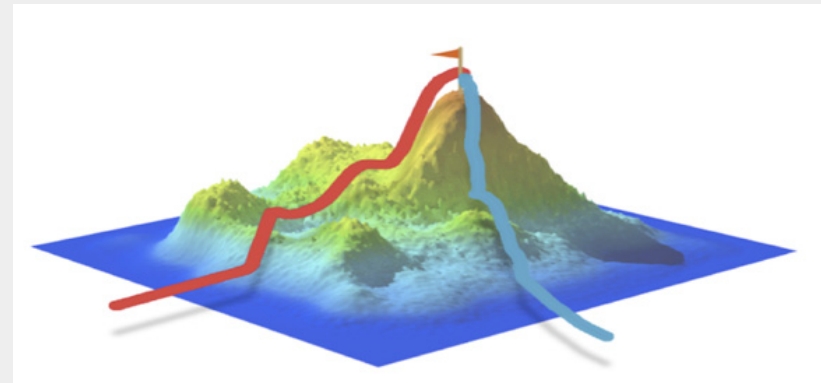
Approaches for layout automation

- Algorithmic approaches, optimization based
- Generator approaches, sequence based



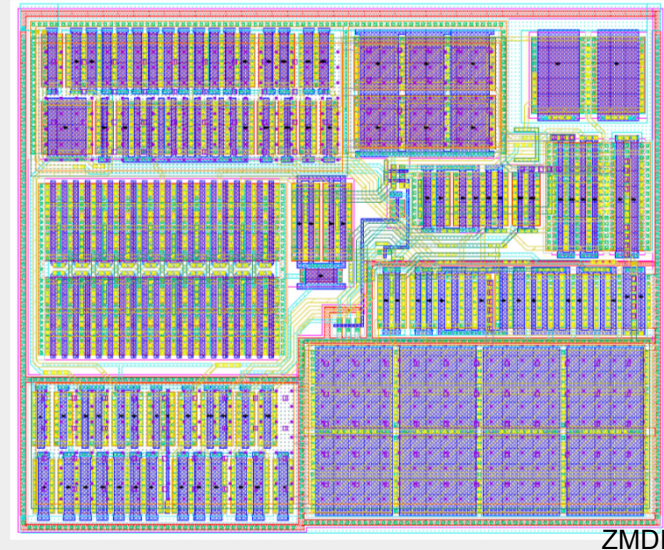
Algorithmic approaches for layout automation

- in digital domain algorithmic based approaches are state of the art for placement and routing
- algorithmic approaches to some extent are also used in analog domain, in both academic research as well as in commercial tools
- Efficiency features (see below)
- Based on optimization engines
 - layout porting: Synopsys® ALX (former Magma®), Cadence® Virtuoso® Layout Migrate, IN2FAB®, ...
 - Placement, Router (see below)
 - see. Gräb, Analog Layout Synthesis A Survey of Topological Approaches



Algorithmic approaches for layout automation

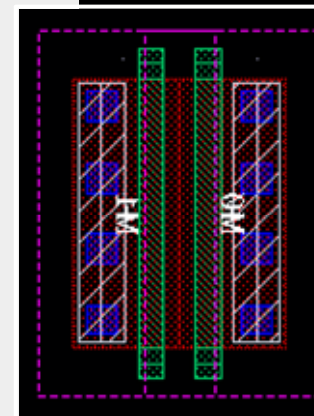
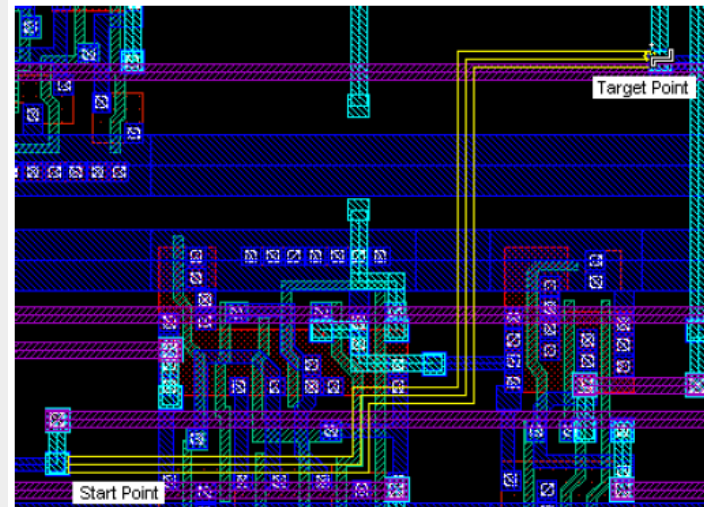
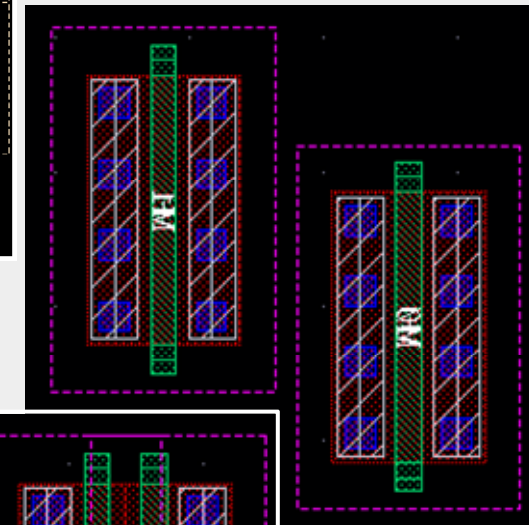
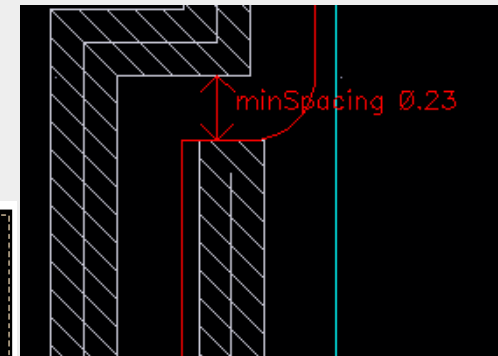
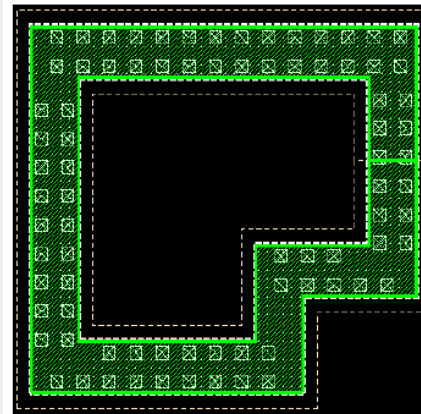
- prerequisite for algorithm based automation are comprehensive constraints
 - Layout implementation is traditionally the expertise of the analog layout engineer based on experience, trade-off between a multitude of written and informal rules (symmetry, spacing between critical devices, matching rules, etc)
- manually created layouts are taken as benchmark for quality and area efficiency



Efficiency features

Plenty of features added

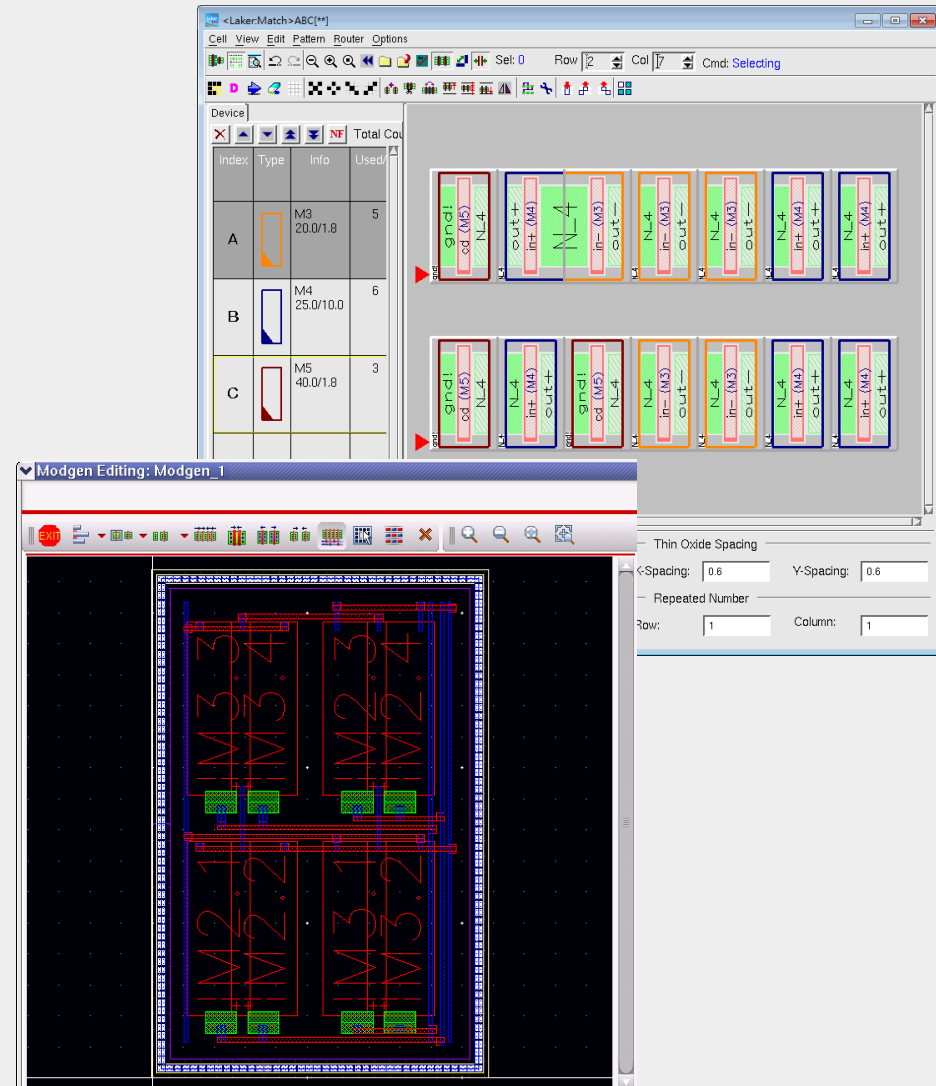
- Schematic Driven Layout
- Interactive DRC
- Creation/ chop of rings
- Autoabutment
- Assisted Router
- ...



Efficiency features

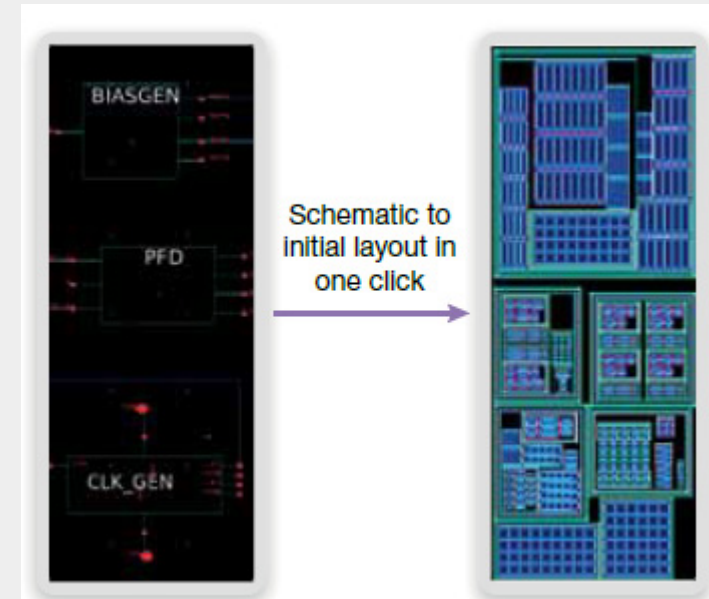
Support for creation of arbitrary array-like structures w/ multiple devices

- Synopsys ® Laker Matching Device Creator
- Cadence ® Modgen: tool supported array creation
- ...

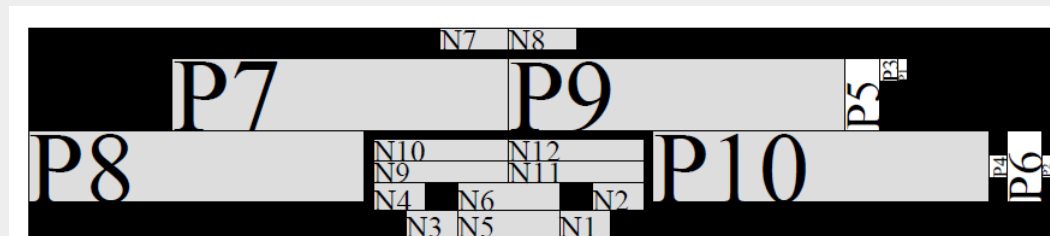


Tool supported device placement

- Placement based on schematic netlist
- Additional constraints to be provided by user or automatically by structure recognition
- Synopsys Helix
- Cadence Virtuoso Analog Placer
- Research



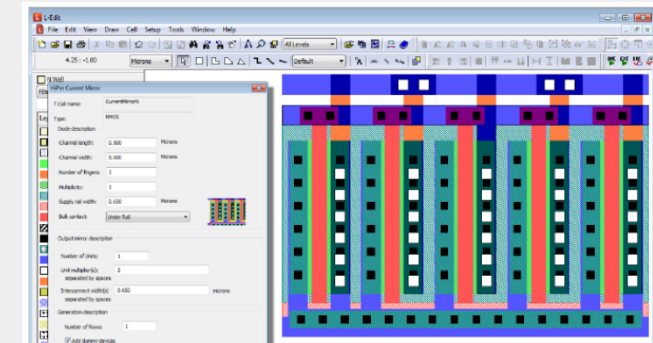
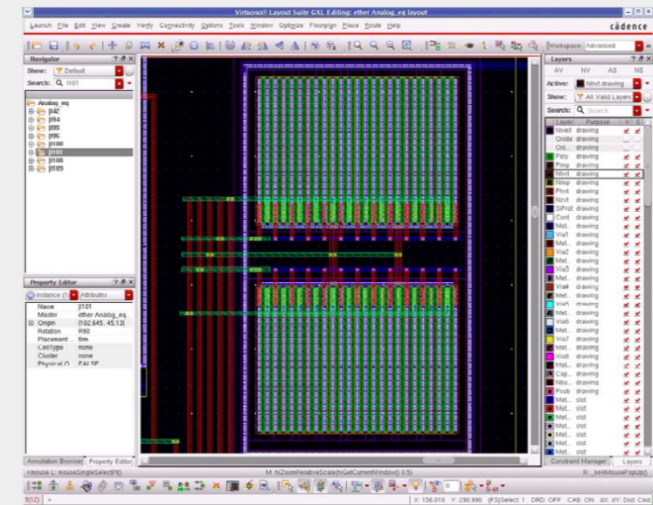
Synopsys, Helix, Datasheet



Strasser, Gräß, Schlichtmann: Plantage - A Deterministic Analog Placement Approach, DATE 2009

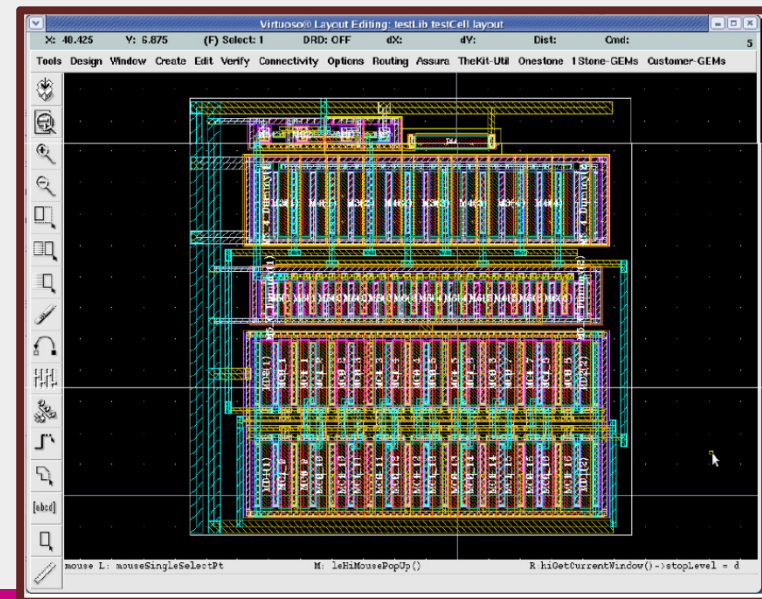
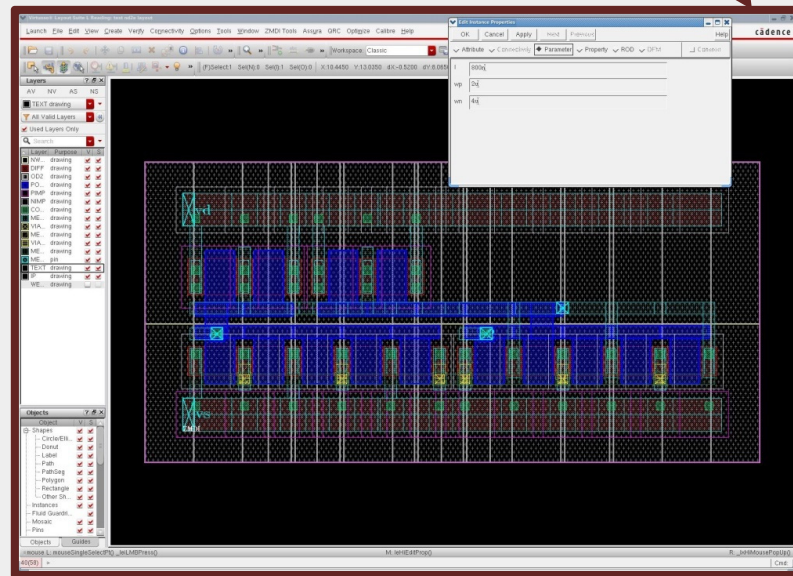
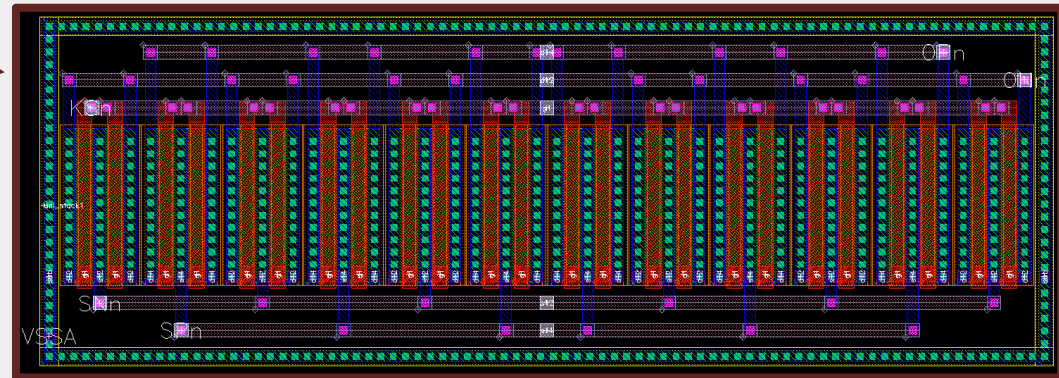
Generator based approach for layout automation

- Layout generators are implemented for dedicated circuits of group of devices
- all available experience is used during implementation of generator
- implementations for device primitives
 - Cadence® Pcell,
 - Synopsys® PyCells
 - Laker Magic Cells (Mcells)
- more complex cells/ device assemblies
 - Tanner® Hiper DevGen,
 - Cadence VCAD Pcell Designer
 - proprietary solutions
- results can easily be as good as manually created layout



Generator based approach for layout automation

- Fraunhofer IIS UNILIB
- IPGEN GEM PIT
- Cadence Pcell Editor
- ➔ Full parametrizable created w/ single click

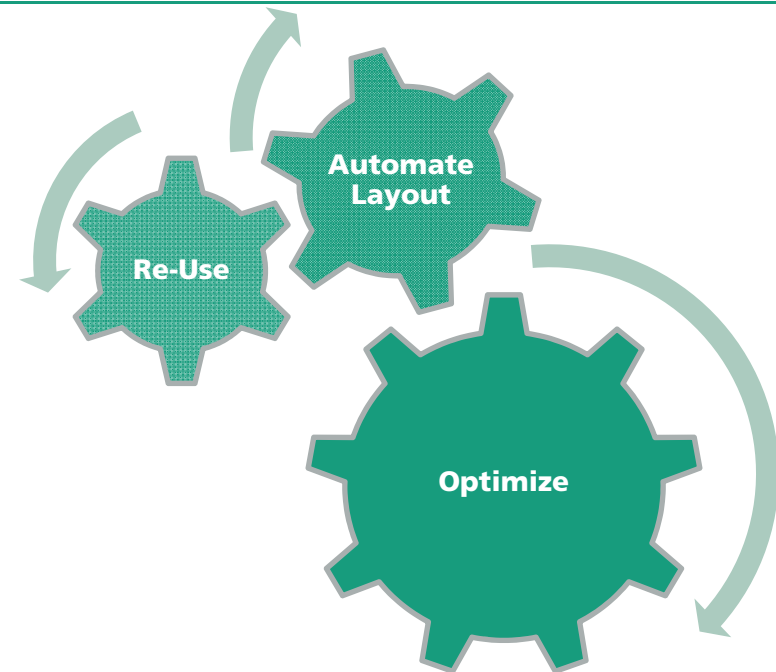


Summary

- evolutionary approaches: automation of today's workflows and repetitive tasks
expected benefit ~30% effort reduction (per generation)
- revolutionary approaches: new methodologies
expected benefit ~90% effort reduction (per revolution)
- next future both algorithmic and generator-based approaches will be developed and deployed
- State-of-the-art nanometer technologies are much more complex and thus require more automation compared to deep-submicron technologies

INTELLIGENTE ANALOG-IP: ENTWICKLUNG AM FRAUNHOFER IIS

Uwe Eichler



Inhalt

- Was bedeutet Intelligent Analog-IP?
- IIP – Die Intelligente Analog-IP-Bibliothek
- Intelligente Analog-IP-Generatoren im Designflow

Intelligent Analog IP in detail

What does it mean?

Analog IP ?

- (Intellectual Property) overall consistent data base of analog or mixed-signal IC

Intelligent ?

- Technology independence
- parametric and easy to optimize
- Automatic layout generation

Robust ?

- DfR and DfY included
- high reproducibility and design safety
- signoff awareness

Was ist der Analog-IP-Generator?

- Parameter:
Topologie, Verhalten, Matching, Geometrie
- generische Beschreibung aller Views:
Layout, Schematic, Symbol, Testbench, ...
- berücksichtigt Constraints (elektrisch, geometrisch)
- Tool-unabhängige
Beschreibungssprache
- hierarchischer Aufbau
→ Re-Use!

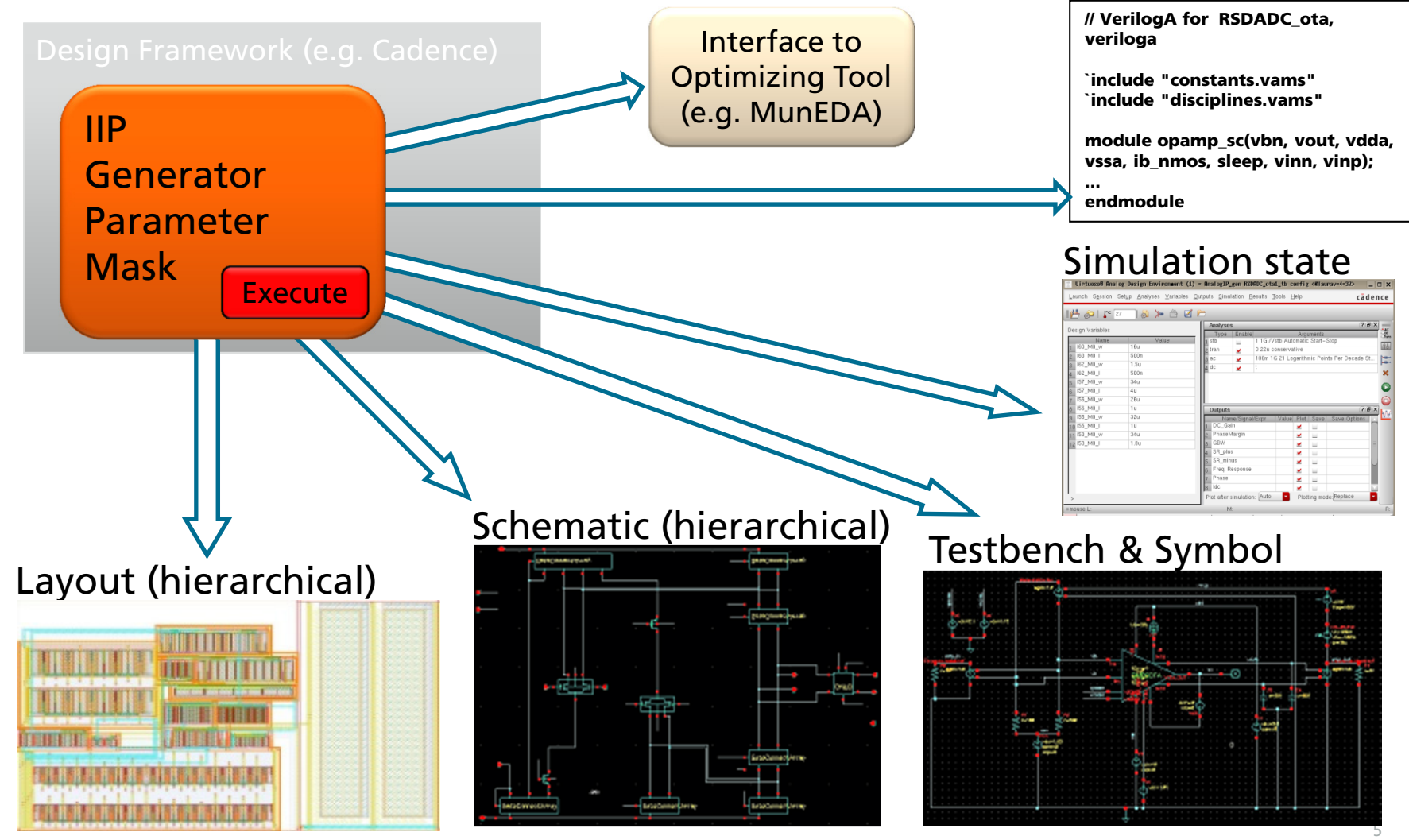
Execute

- nur Generator-interne Intelligenz zum Erreichen der Parameter-Vorgaben

→ Enthält IP-Design-Know-How

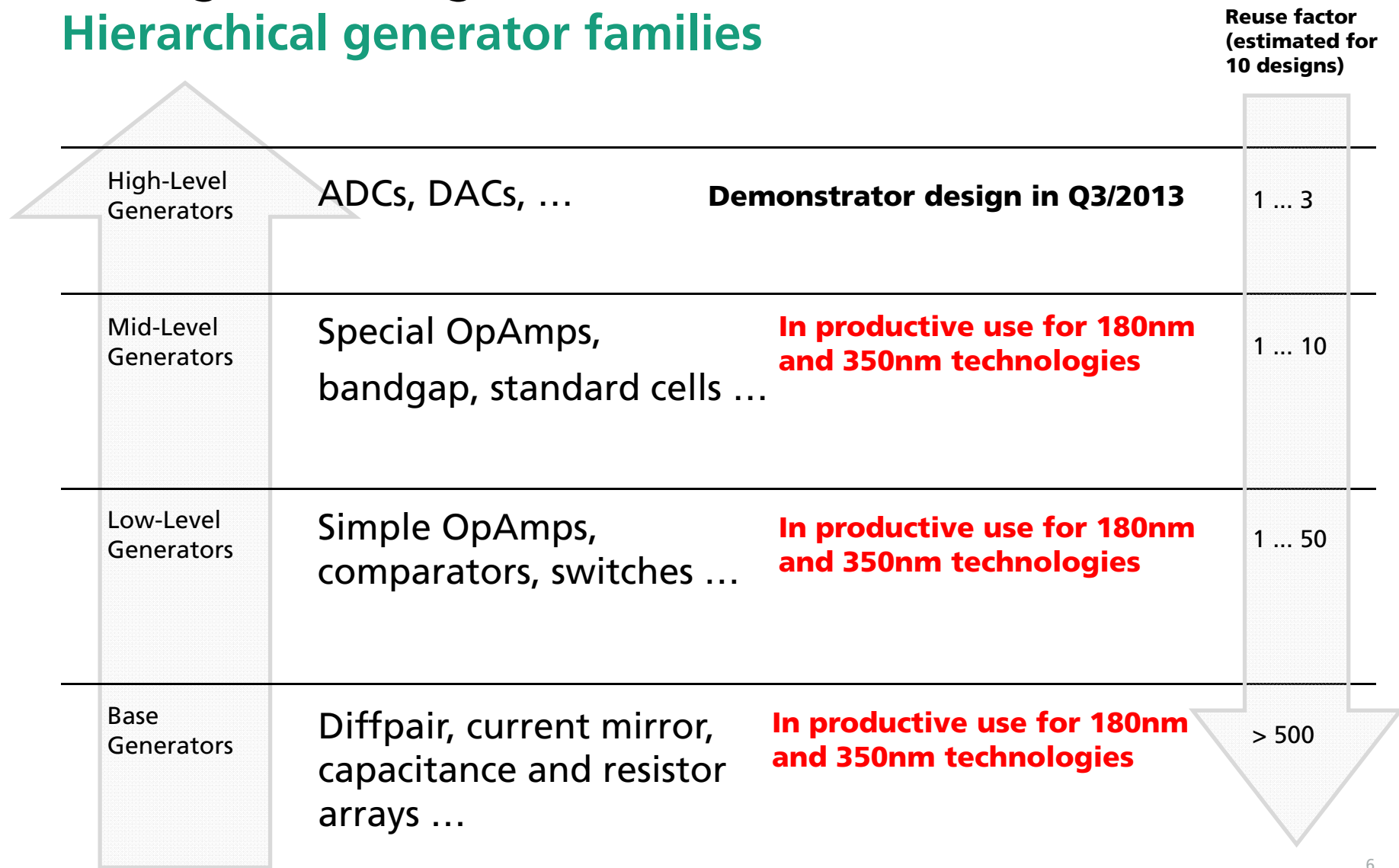
Intelligent Analog IP in detail

Example: single-source generator



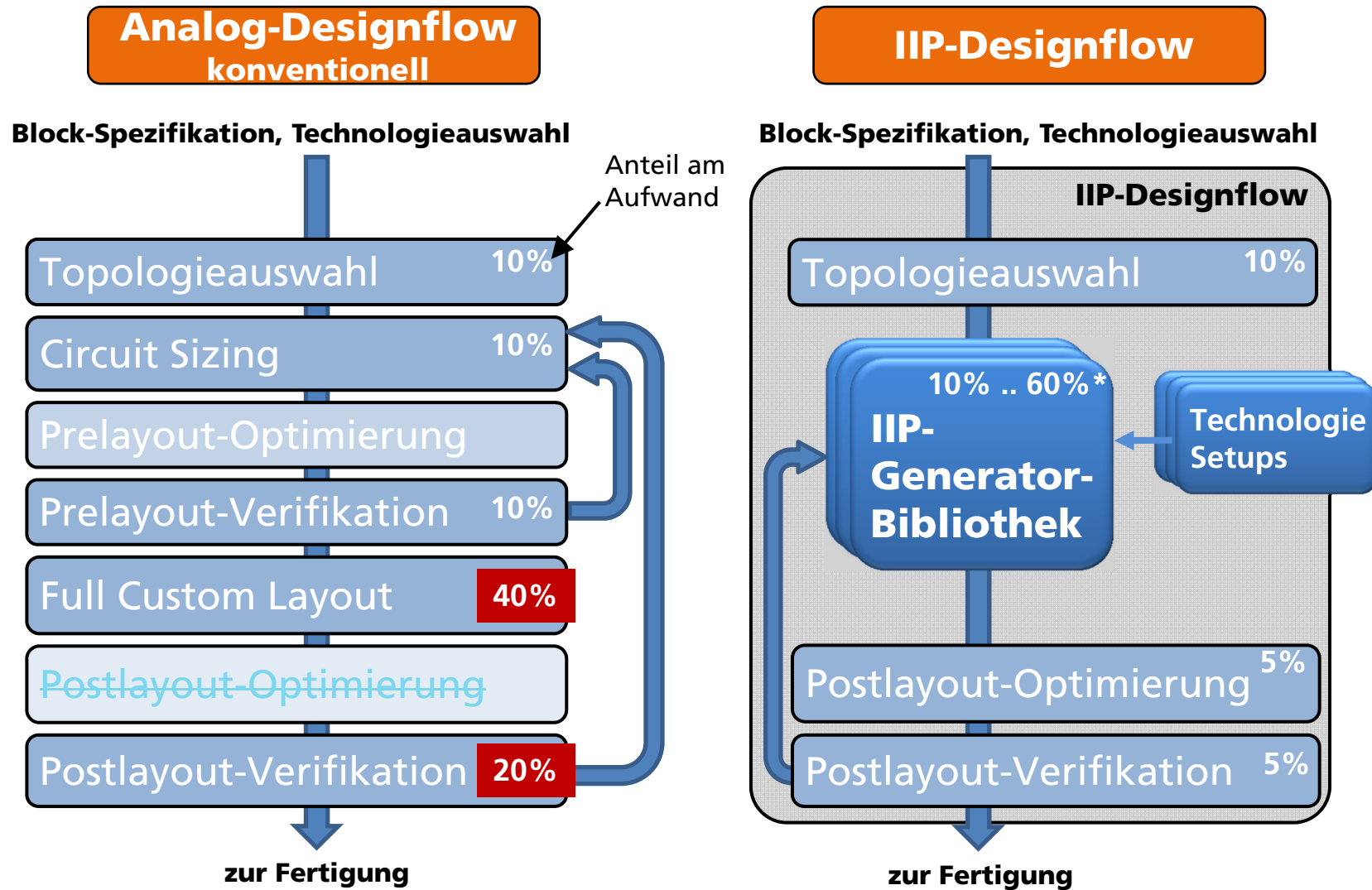
Intelligent Analog IP in detail

Hierarchical generator families



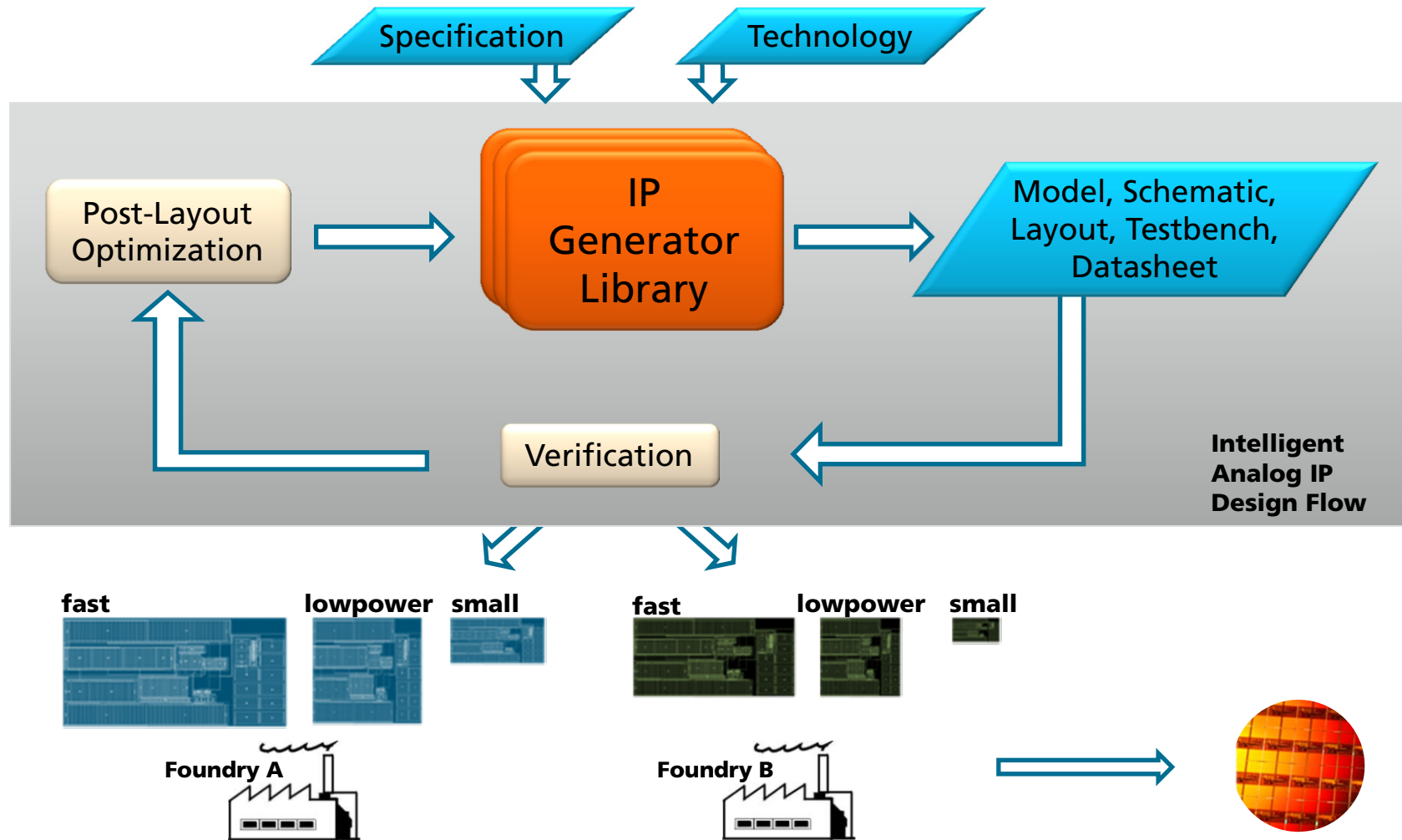
6

Intelligenter Analog-IP-Designflow



Intelligent Analog IP in detail

Simplified Design Flow



Intelligent Analog IP in detail

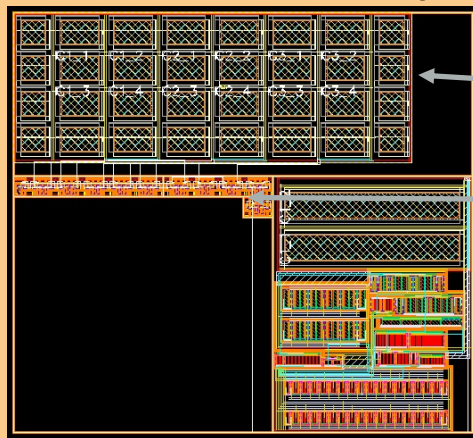
Example: post-layout optimization

- „Push-button“ for different RSD ADC cores
- „close-to-silicon“ performance (postlayout optimized)

Low power version: 12 bit, 12 kS/sec, **72 μ W**



Fast version: 10 bit, **62 kS/sec**, 860 μ W



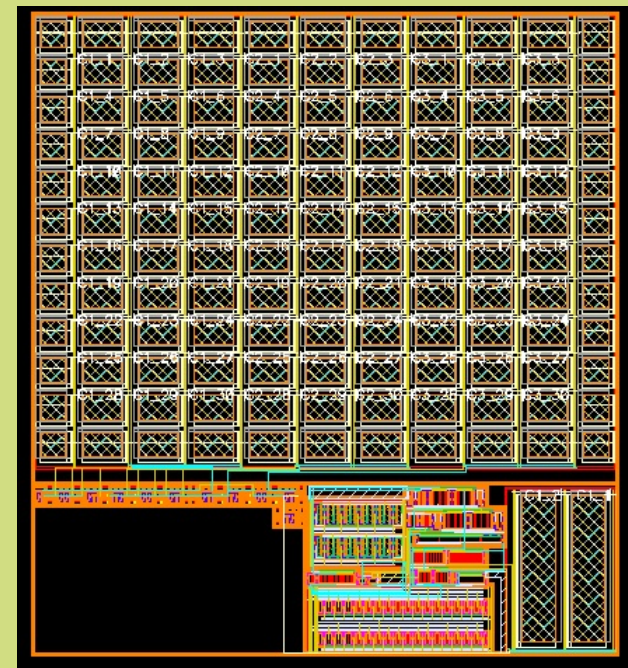
sC - Matrix

switches

OpAmp (with
placement
intelligence)

Accurate version:

13 bit, 12 kS/sec, 160 μ W



9

Intelligent Analog IP in detail

Example: post-layout optimization (2)

post-layout performance	initial	goal high res	goal low power	goal high speed
Accuracy (MonteCarlo) [bit]	9,5	13,1	12,9	10,0
Speed [kS/sec]	12	12	12	62
Consumption [μW]	390	160	72	860

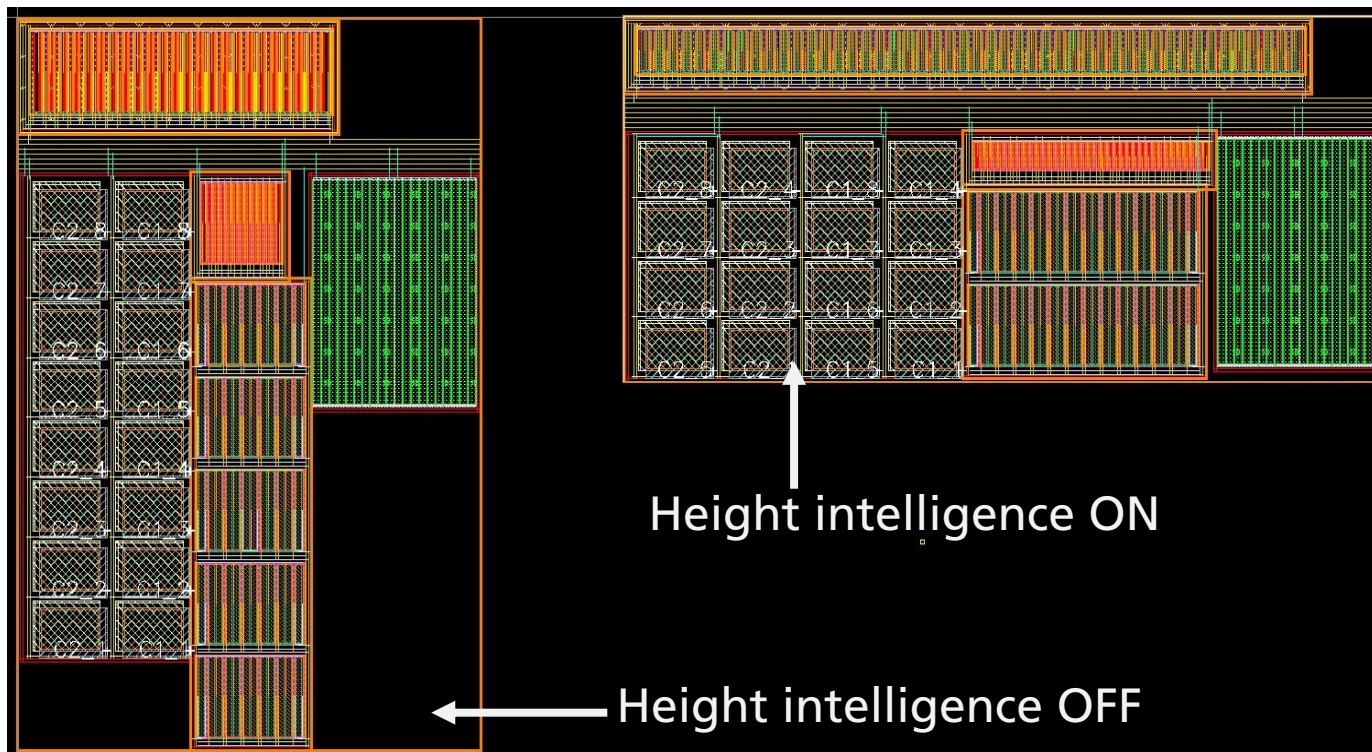
Why is post-layout optimization so efficient?

- Effort:
Setup + Optimization + IP Generation: 6 hours
- discrepancy pre- und postlayout performance is no problem anymore!

Intelligent Analog IP in detail

Example: intelligence (1)

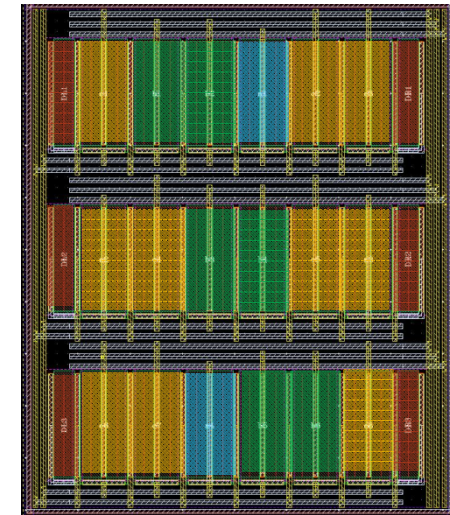
- Effective floorplaning
- automatic layout shaping including schematic update



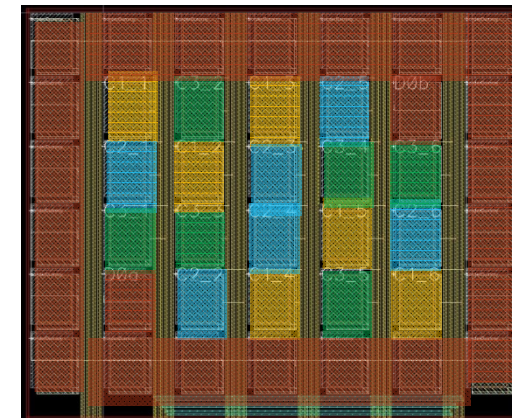
Intelligent Analog IP in detail

Example: intelligence (2)

- Base-level generators for basic topologies
 - Current mirror, differential pair, capacitance arrays, ...
- Best matching algorithm for mos, cap and res arrays
- Parameters for aspect ratio, dummies, routing variants, pin placement



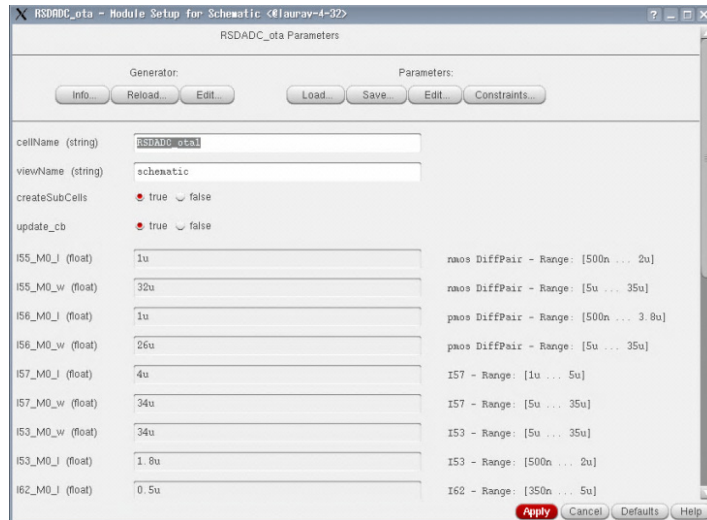
mos_array



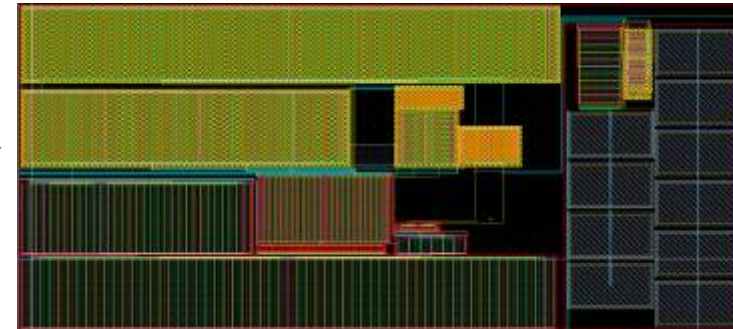
cap_array

12

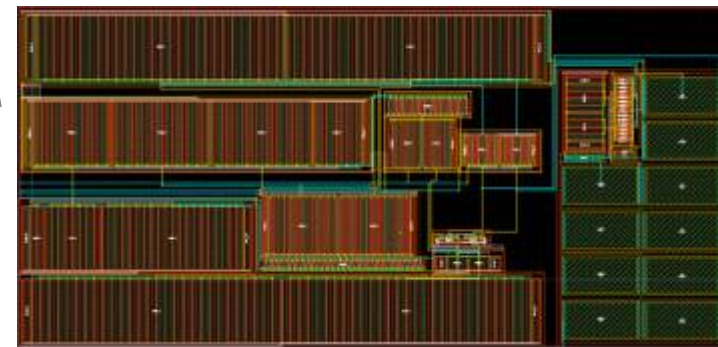
Generator-basierte Technologiemigration



180nm - CMOS



350nm - CMOS



- Technologieunabhängiger Generator
- Stand heute:
Unterstützung von 3 Technologien
180nm und 350nm
- aktuelle Technologien in Vorbereitung

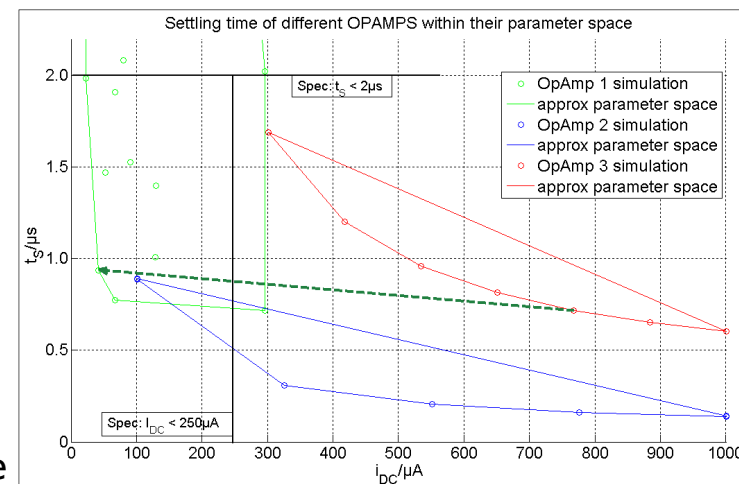
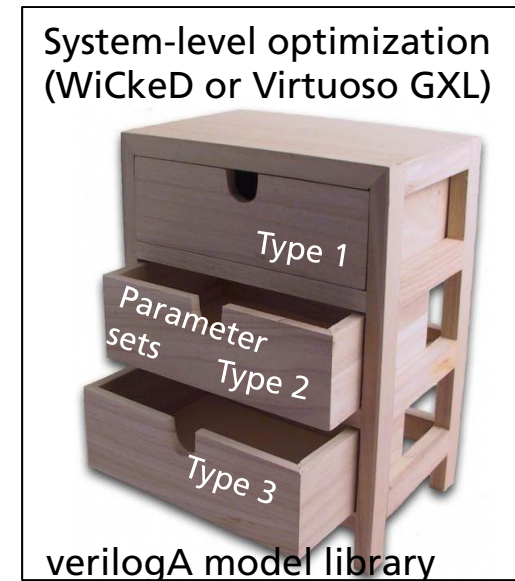
Intelligent Analog IP in detail

Example: system-level optimization

- Input requirements:
 - Specification
 - Technology
- Optimization result
 - OpAmp Type X
 - with parameter set Y



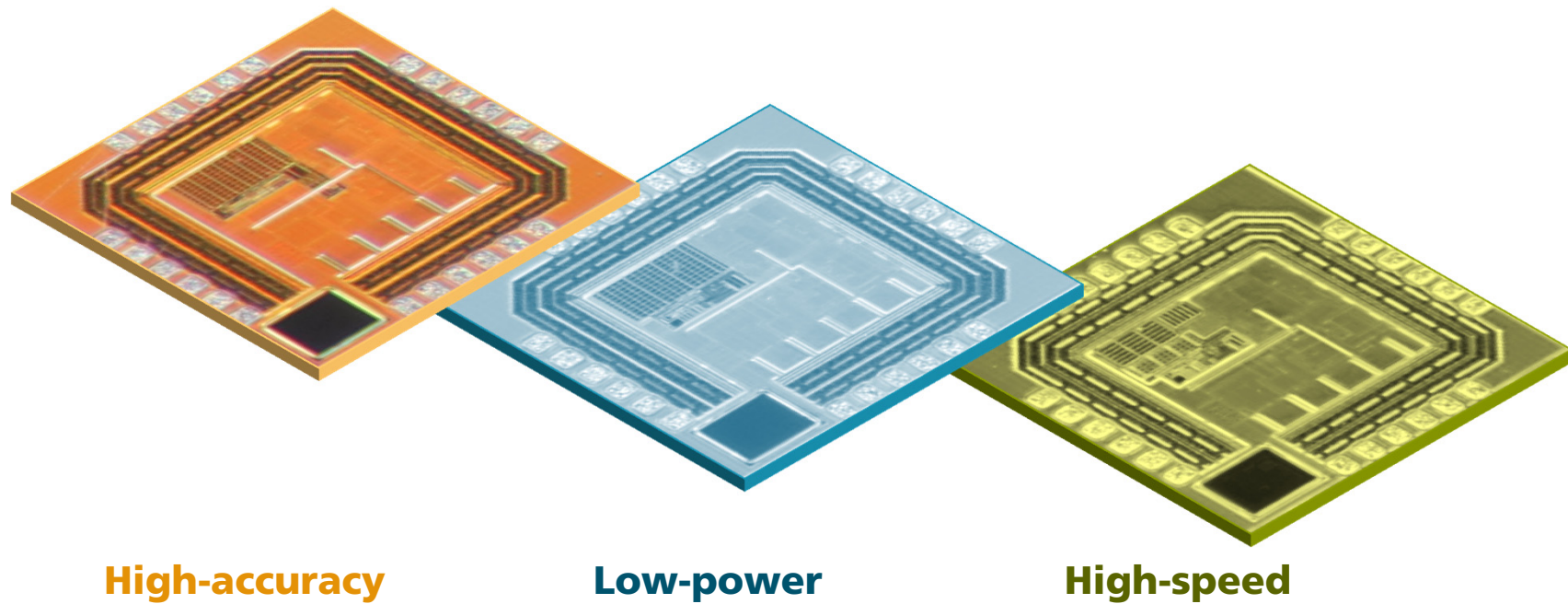
Optimization example



14

INTELLIGENT ANALOG IP: ANWENDUNG IM ENTWURF AM FHG IIS

Torsten Reich



Inhalt

- Einleitung: Intelligent Analog-IP am FhG IIS
- Intelligent Analog-IP-Methodik in der Praxis
 - (1) single-ended 12bit RSD-ADC
 - (2) flexibler single-ended 10-13bit RSD-ADC
 - (3) flexibler 2-6bit Flash-ADC
 - (4) flexible Low-Voltage-Bandgap
 - (5) flexibler differentieller 10-13bit RSD-ADC
- Intelligent Analog-IP: Bewertung und Ausblick

Motivation

Situation Analogautomatisierung am FhG IIS

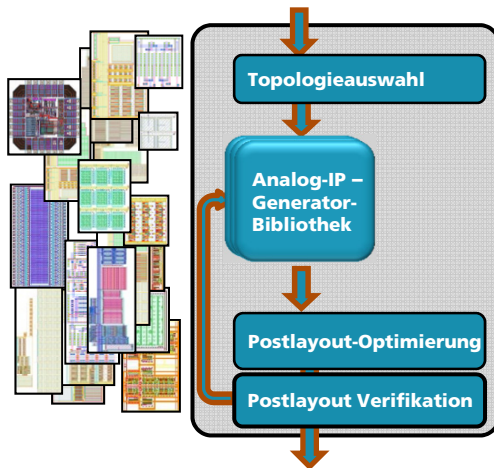
2010...
Entwicklung

ILIAS

Fraunhofer
IIS

Fraunhofer
COMEDD

ZMDI
The Analog Mixed Signal Company



2013
Nutzung FhG IIS/EAS

Nutzer :



Entwickler:



2015 ...
Nutzung FhG IIS

Nutzer:



Entwickler:

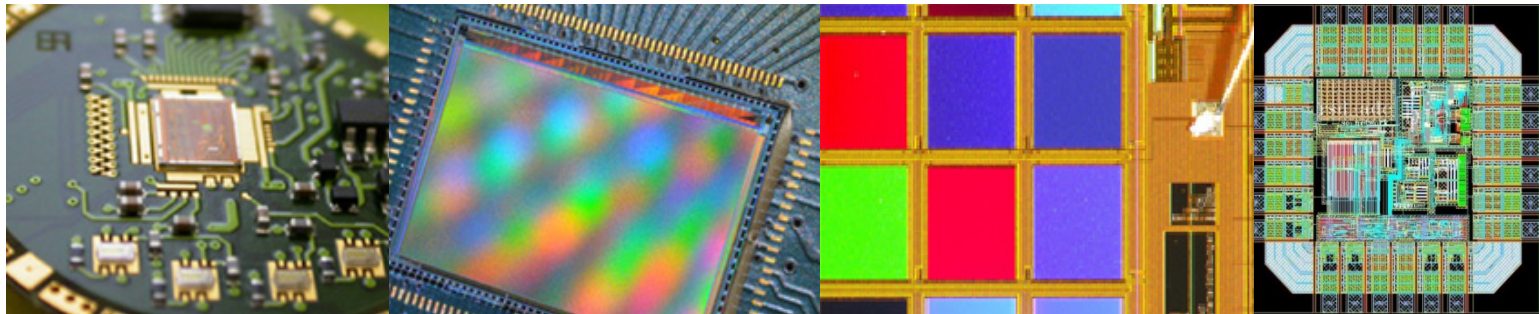


Einleitung

Intelligent Analog IP für unseren IC-Designservice

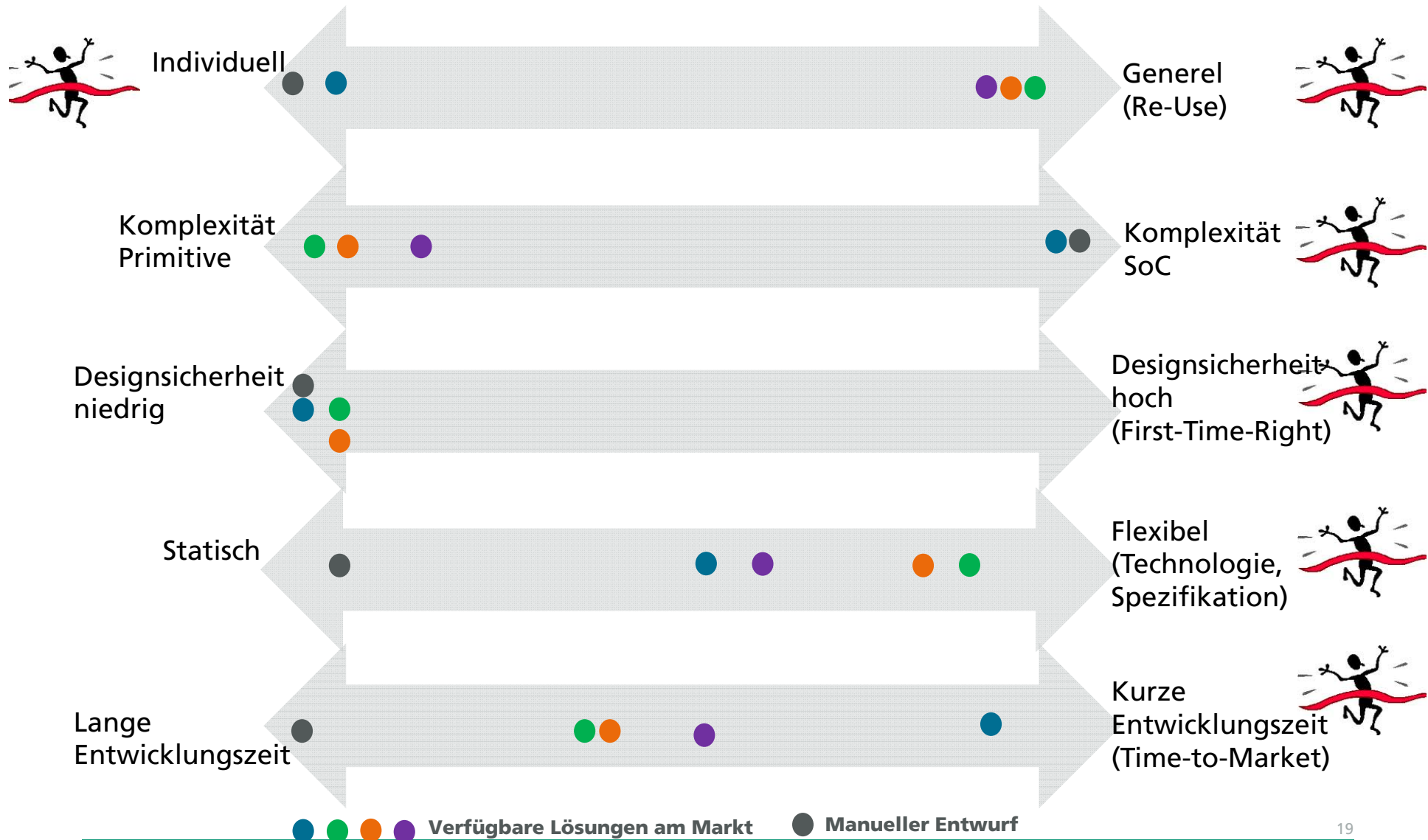
Langjährige Erfahrung im Mixed-Signal-Entwurf für

- embedded sensor, SMART sensor systems
- energy-efficient (wireless) ASICs
- automotive, medical, consumer electronics
- RF and microwave applications
- (optical) communication, CMOS image sensors
- **+ IIP-Methodik für mehr Effizienz und hohe Designsicherheit**

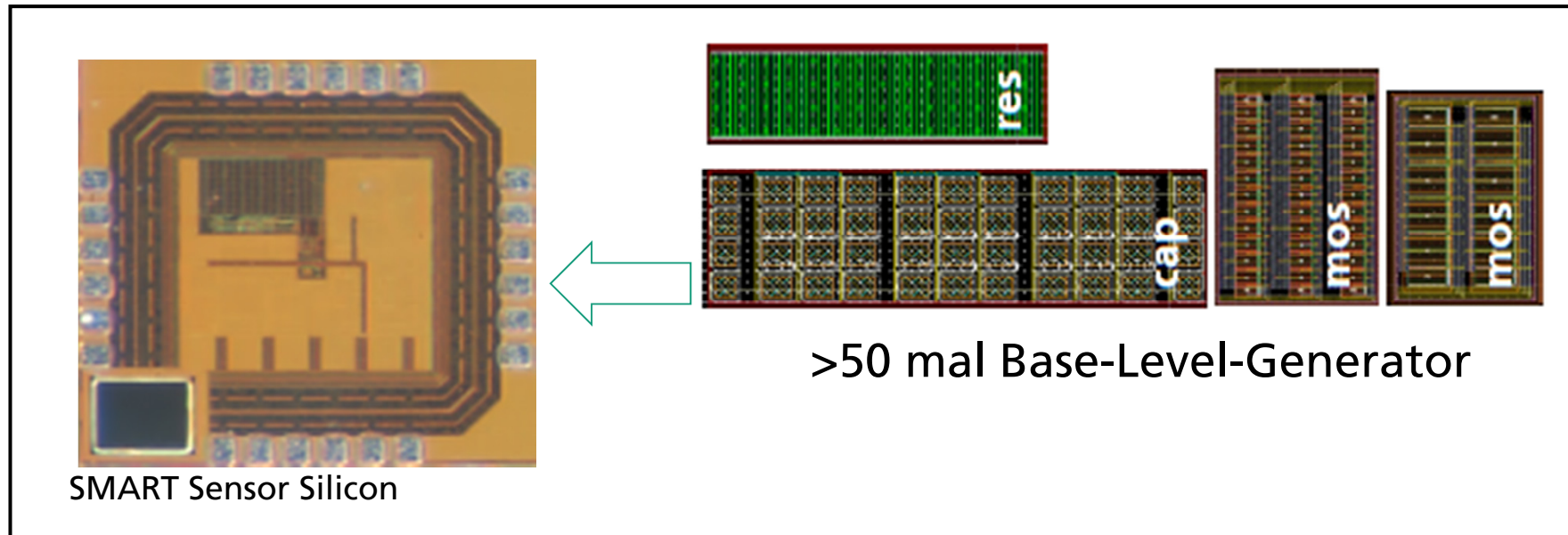


18

EDA Analog: Herausforderung - Lösungsansätze

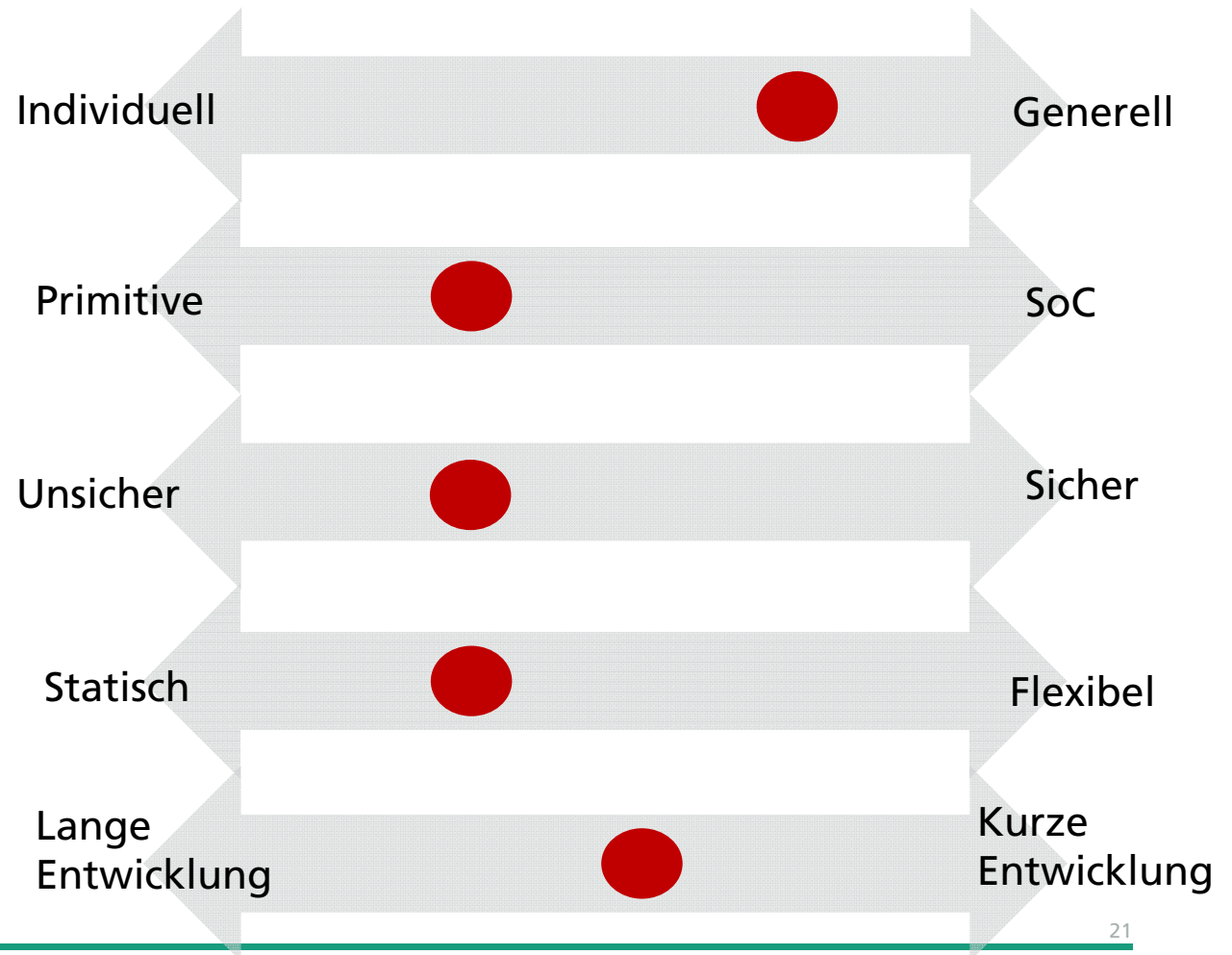
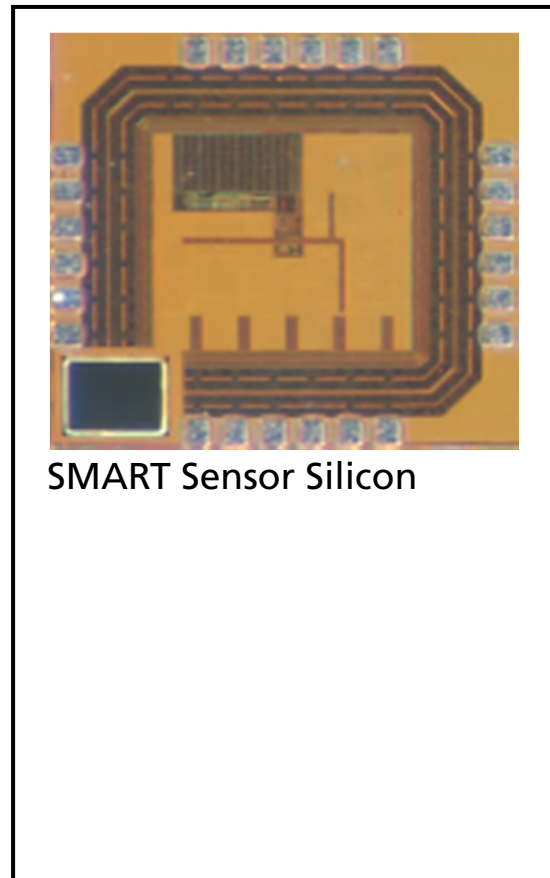


Intelligent Analog IP in der Praxis (1): Base-level-Generatoren für SMART-Sensor ASIC

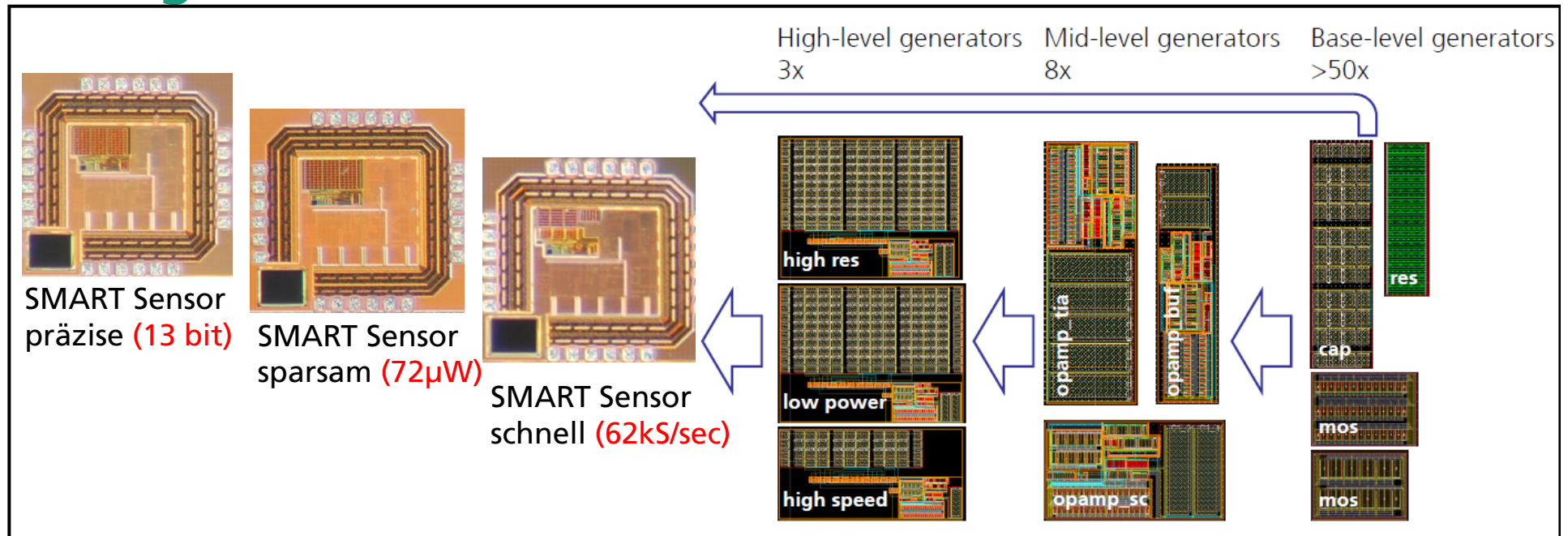


- SMART Sensor ASIC: 12 bit, Temp.- /Light- / high Ω -Sensor
- Manueller Entwurf: 70%
- Kürzere Designzyklen
- Höhere Designsicherheit
- **20%** effizienter in der Layoutphase

Intelligent Analog IP in der Praxis (1): Base-level-Generatoren für SMART-Sensor ASIC

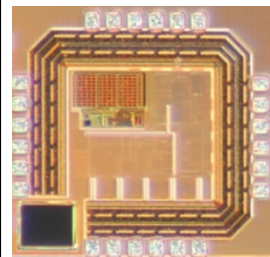


Intelligent Analog IP in der Praxis (2): High-level-Generator flexibler RSD-ADC

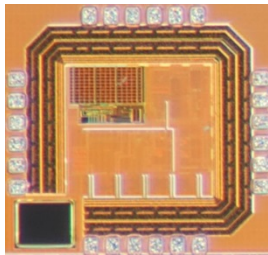


- SMART Sensor ASIC mit 3 Specs.
- Manueller Entwurf < 50%
- Noch kürzere Designzyklen, noch höhere Designsicherheit
- Post-Layout-Optimierung (6 Stunden anstatt 2 Wochen konventionell)
- **40%** effizienter in Designphase, **30%** effizienter in Verifikation/ Analyse

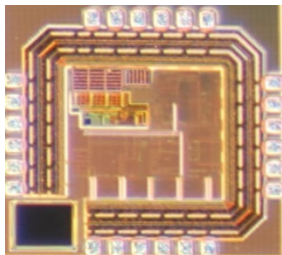
Intelligent Analog IP in der Praxis (2): High-level-Generator flexibler RSD-ADC



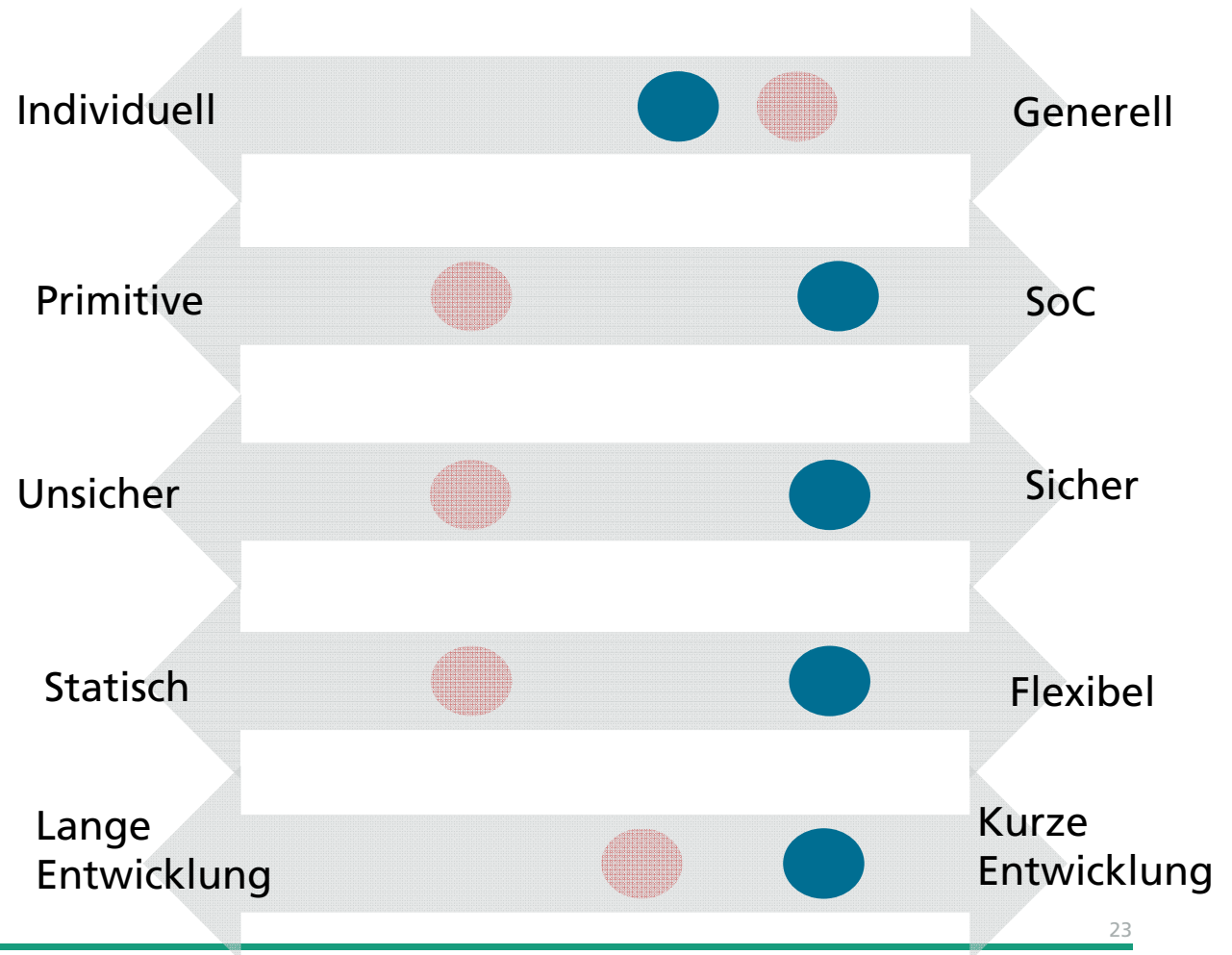
SMART Sensor präzise (13 bit)



SMART Sensor sparsam (72µW)

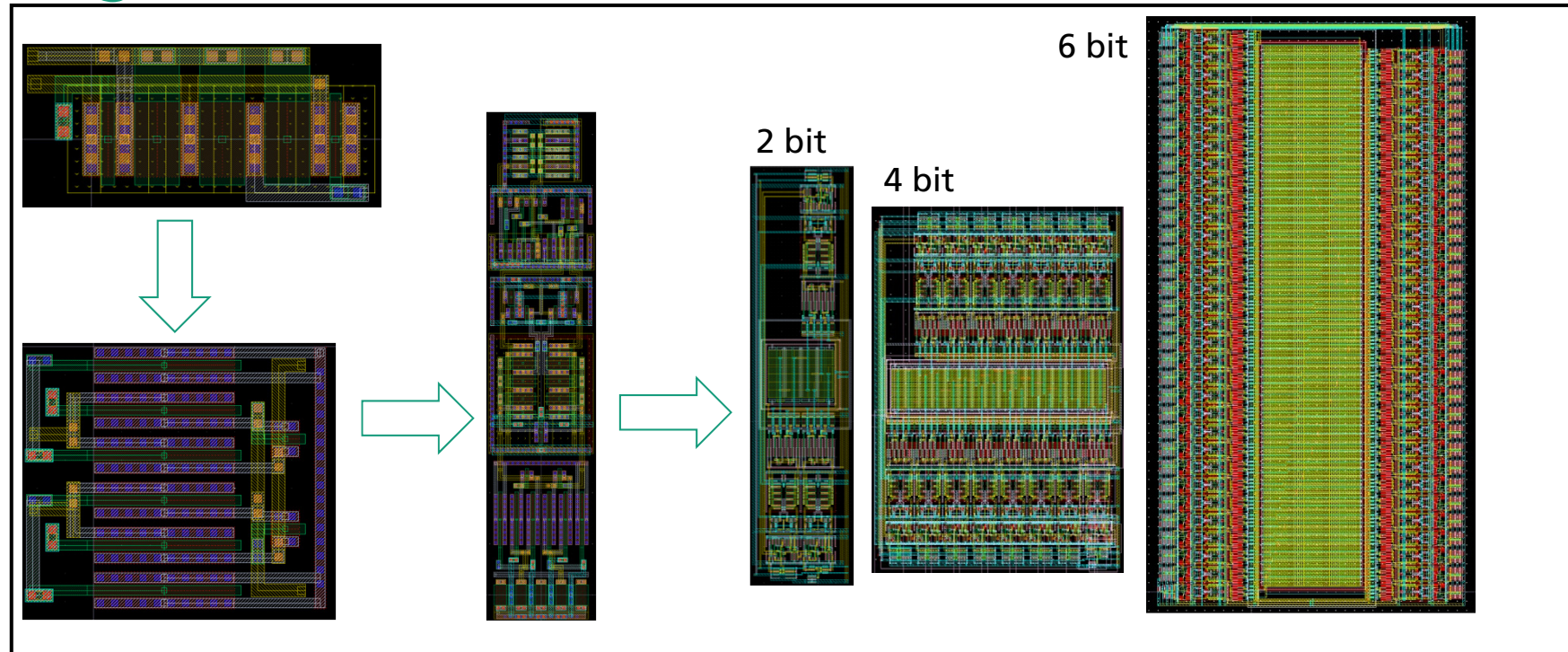


SMART Sensor schnell (62kS/sec)



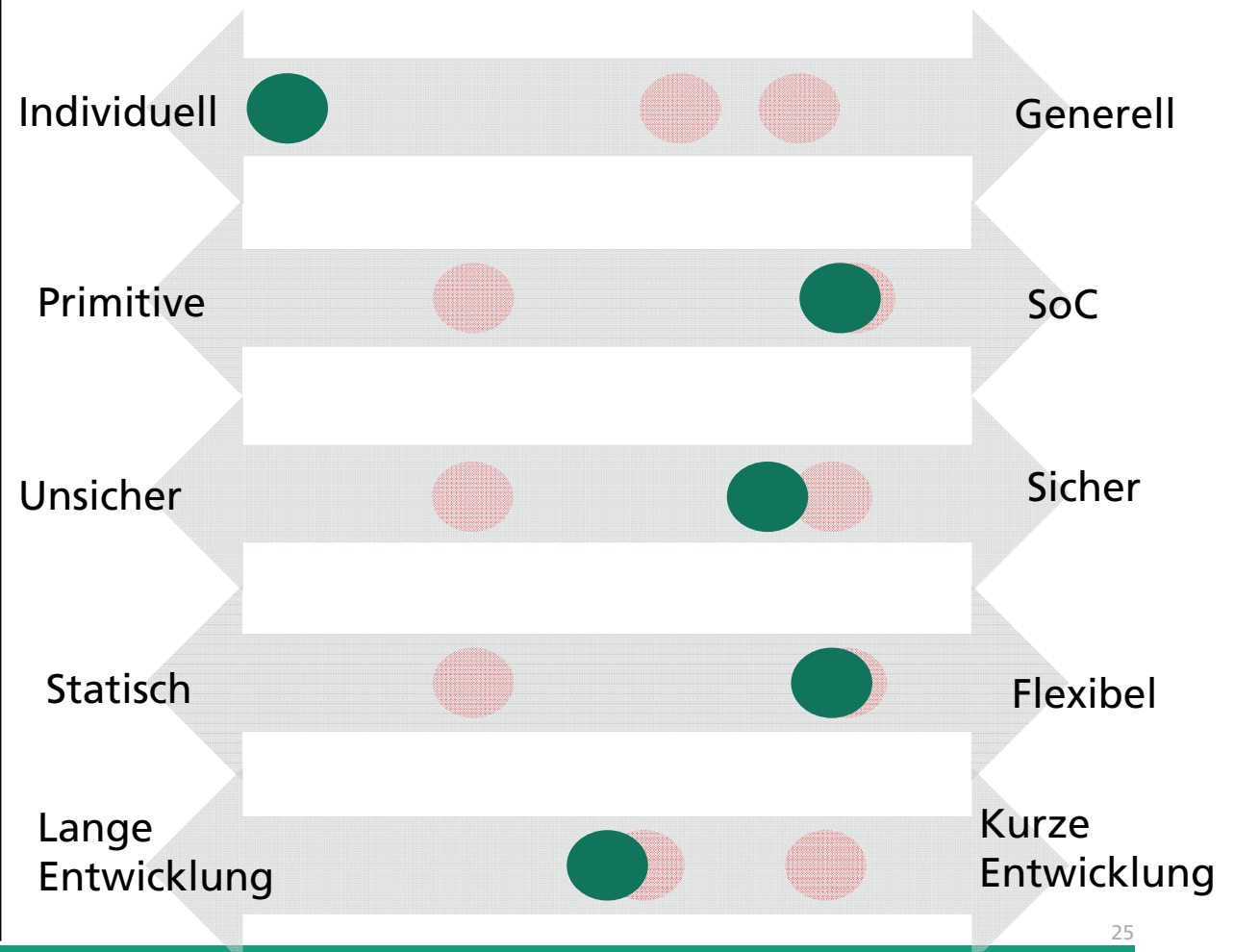
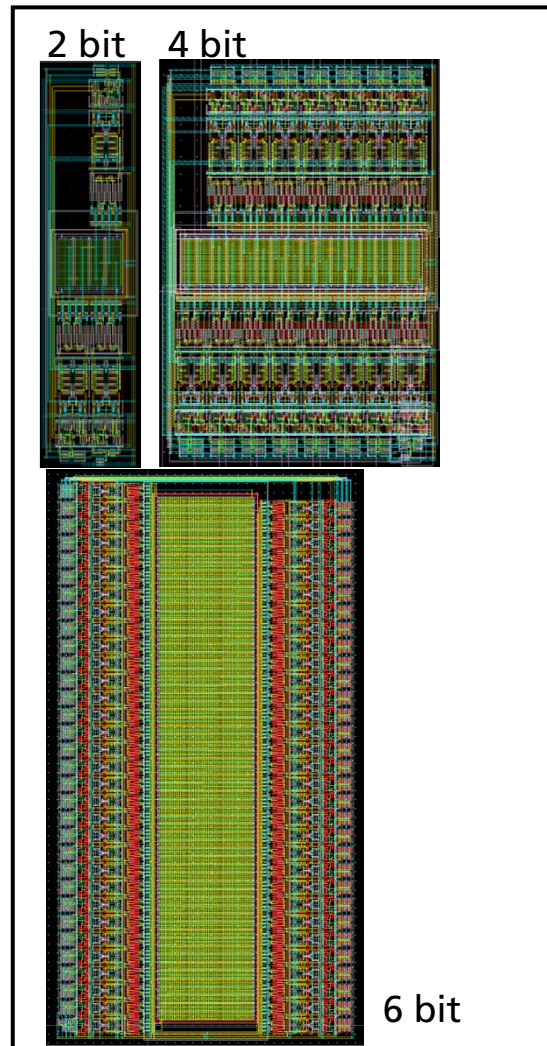
23

Intelligent Analog IP in der Praxis (3): High-level-Generatoren für Flash-ADC-IP



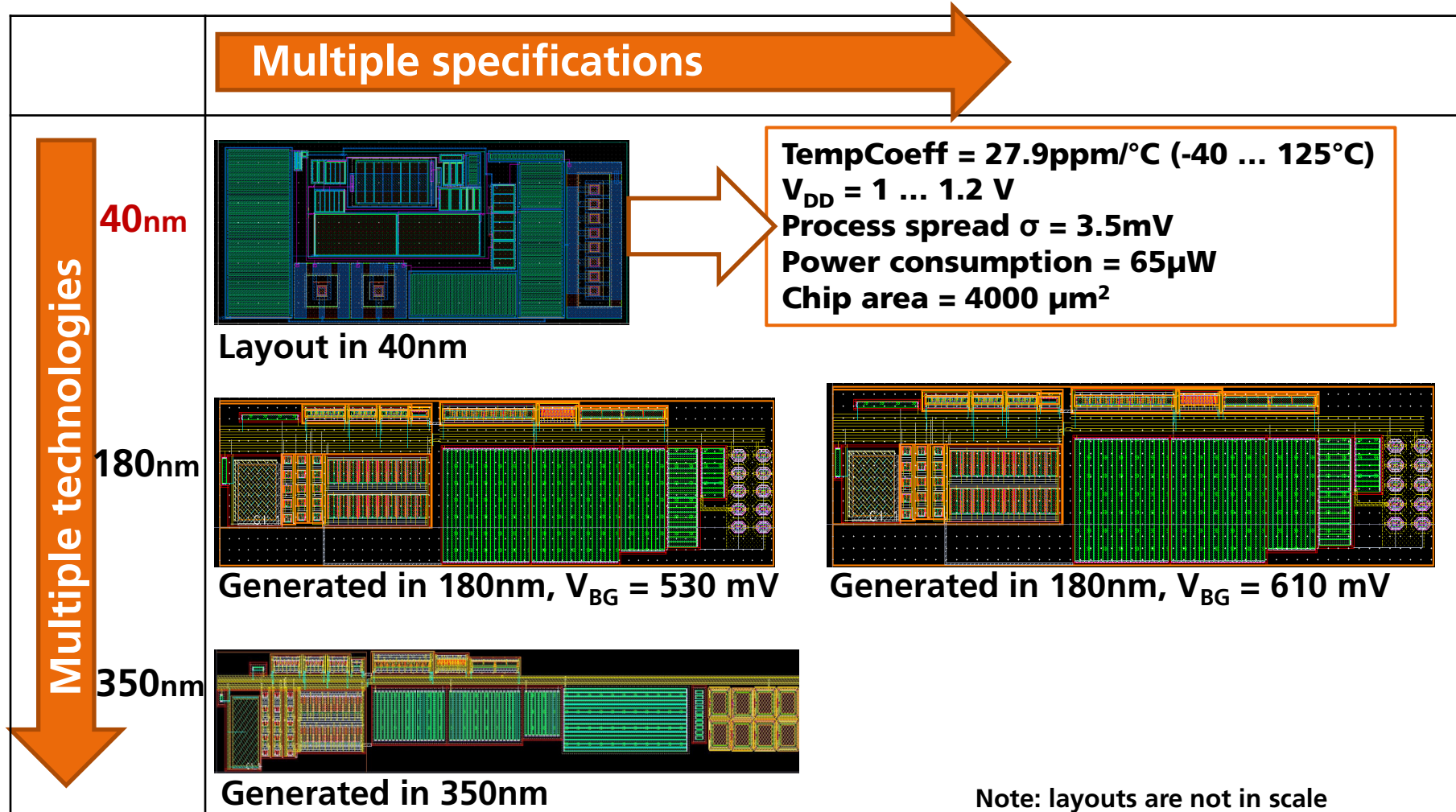
- High-Speed flexible-bit Flash-ADC
- Anforderung: individuelles Layout für minimale parasitäre Effekte und maximale Symmetrie
- Flexibel: Auflösung/Genauigkeit, Verbrauch, Topologie

Intelligent Analog IP in der Praxis (3): High-level-Generatoren für Flash-ADC-IP



25

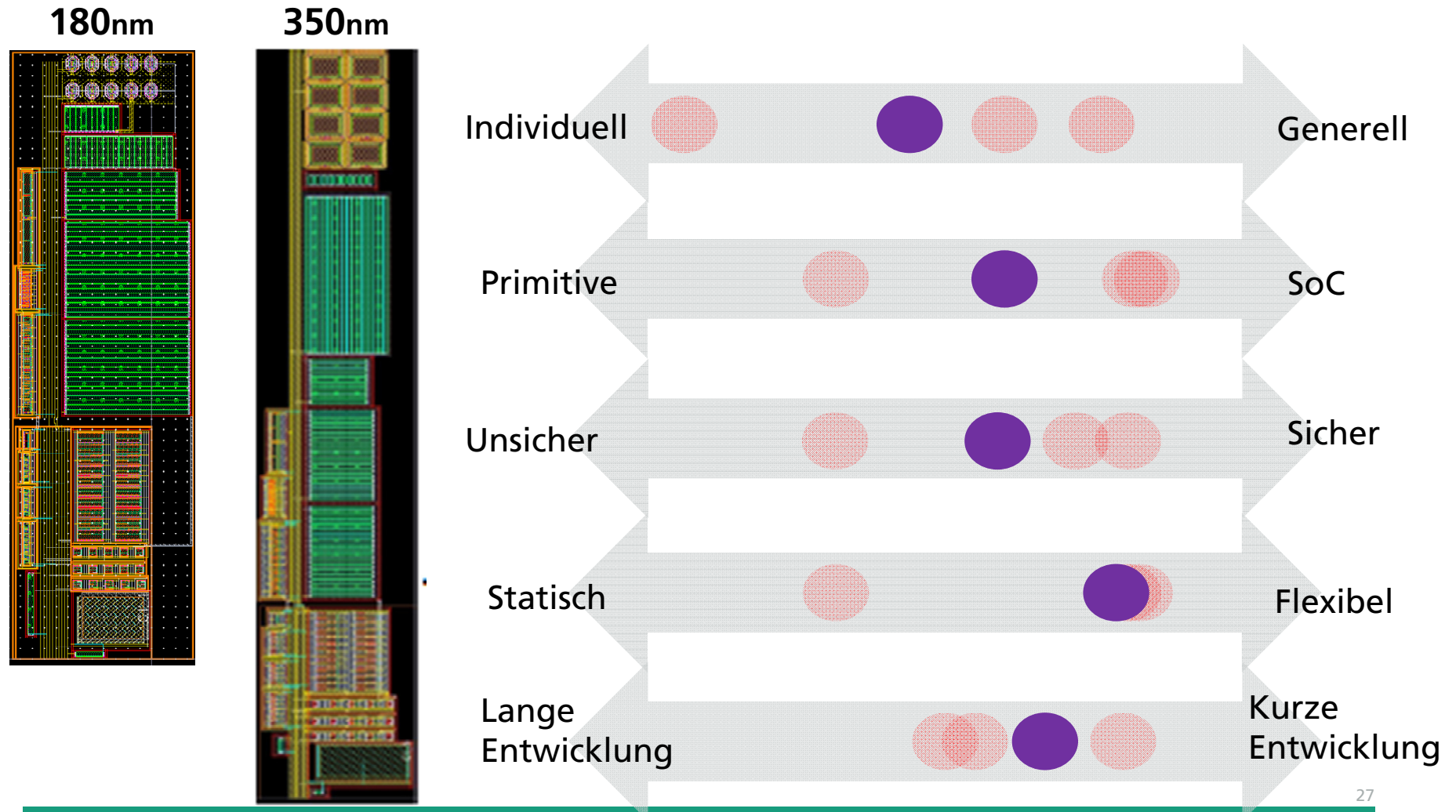
Intelligent Analog IP in der Praxis (4): High-level-Generator low-voltage Bandgap



26

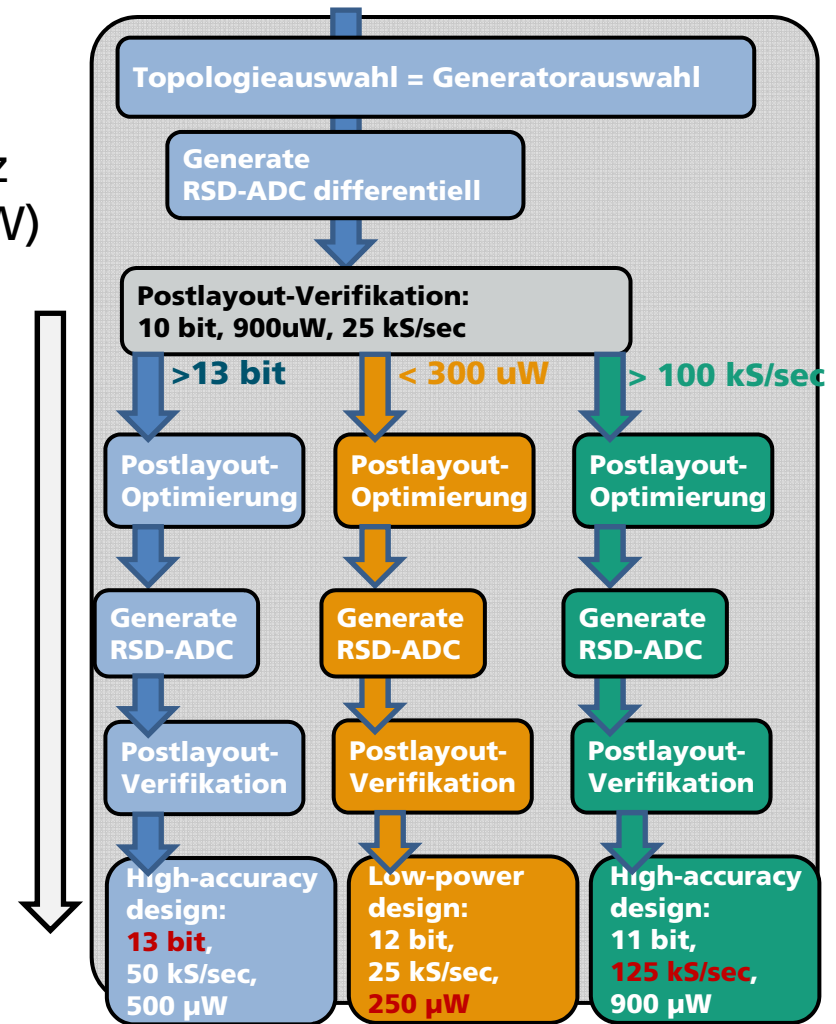
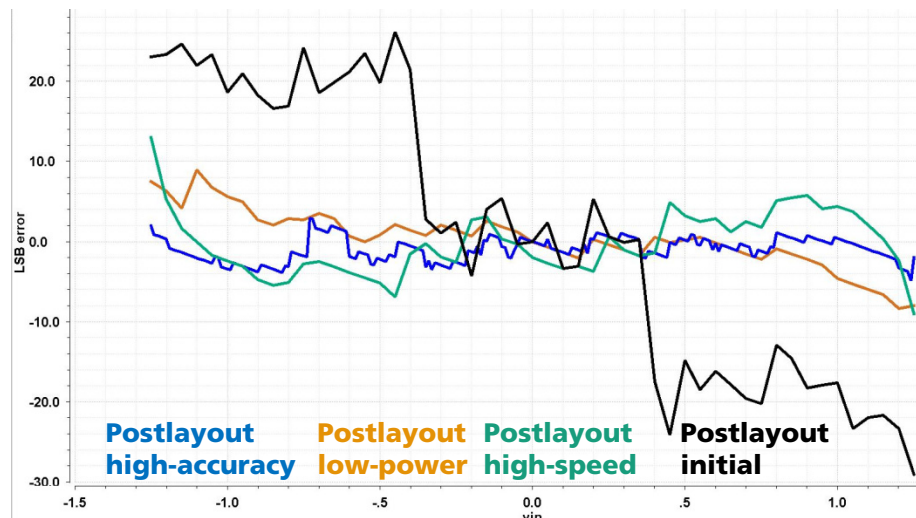
Intelligent Analog IP in der Praxis (4): LV-Bandgap

High-level-Generator low-voltage Bandgap

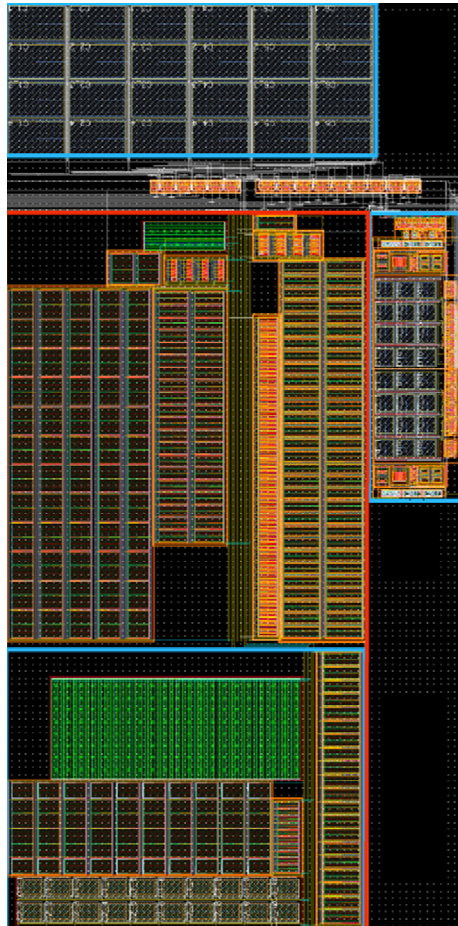


Intelligent Analog IP in der Praxis (5): High-level-Generator differentieller RSD-ADC

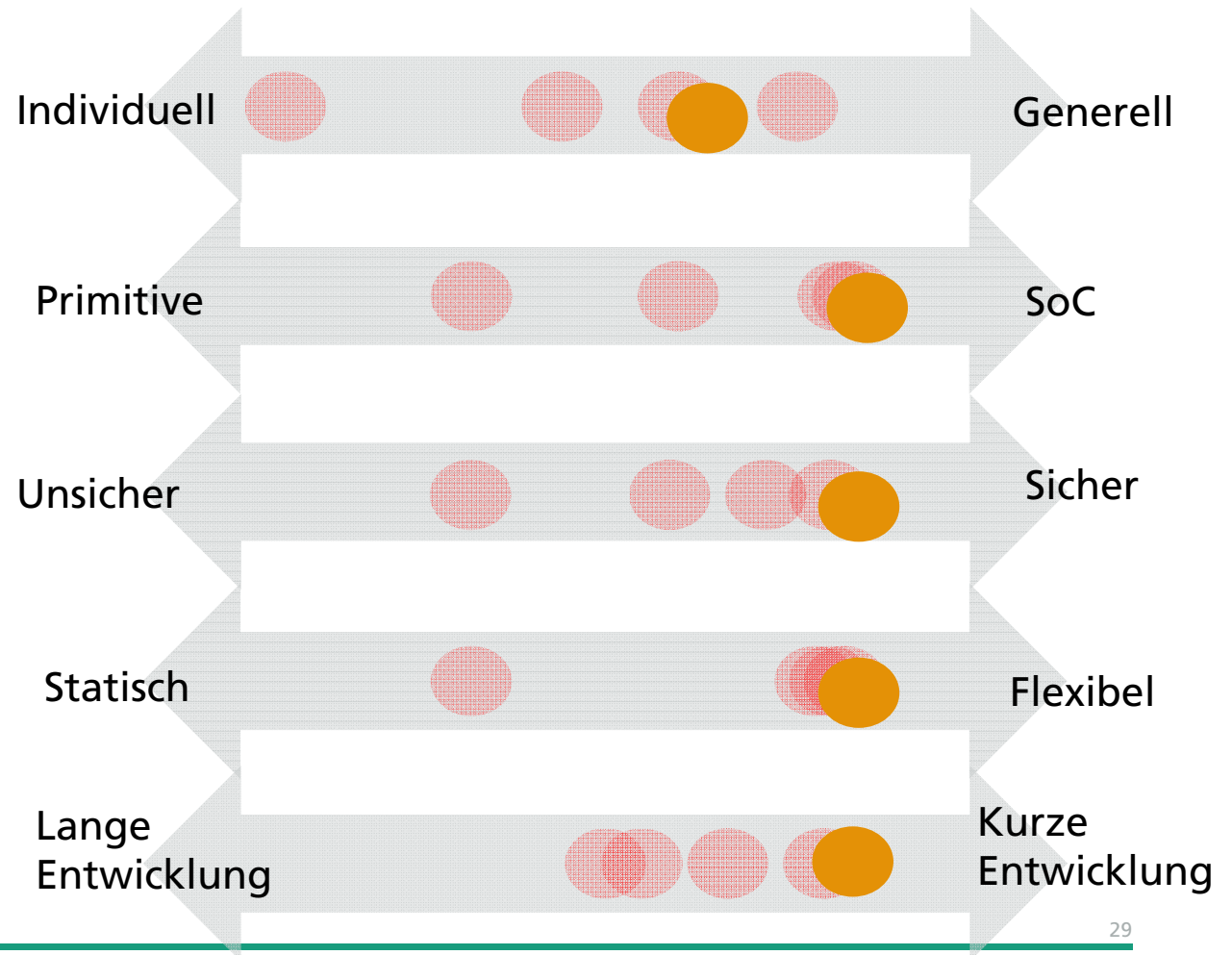
- Flexibler differentieller RSD-ADC
- Wir kennen Close-To-Silicon-Performanz eines sC-Systems (12 bit, 25kS/sec, 500µW)
- Spec. Varianten in 1 Stunde:
>13 bit, 125kS/sec, 200uW
- > 50% weniger Entwicklungszeit



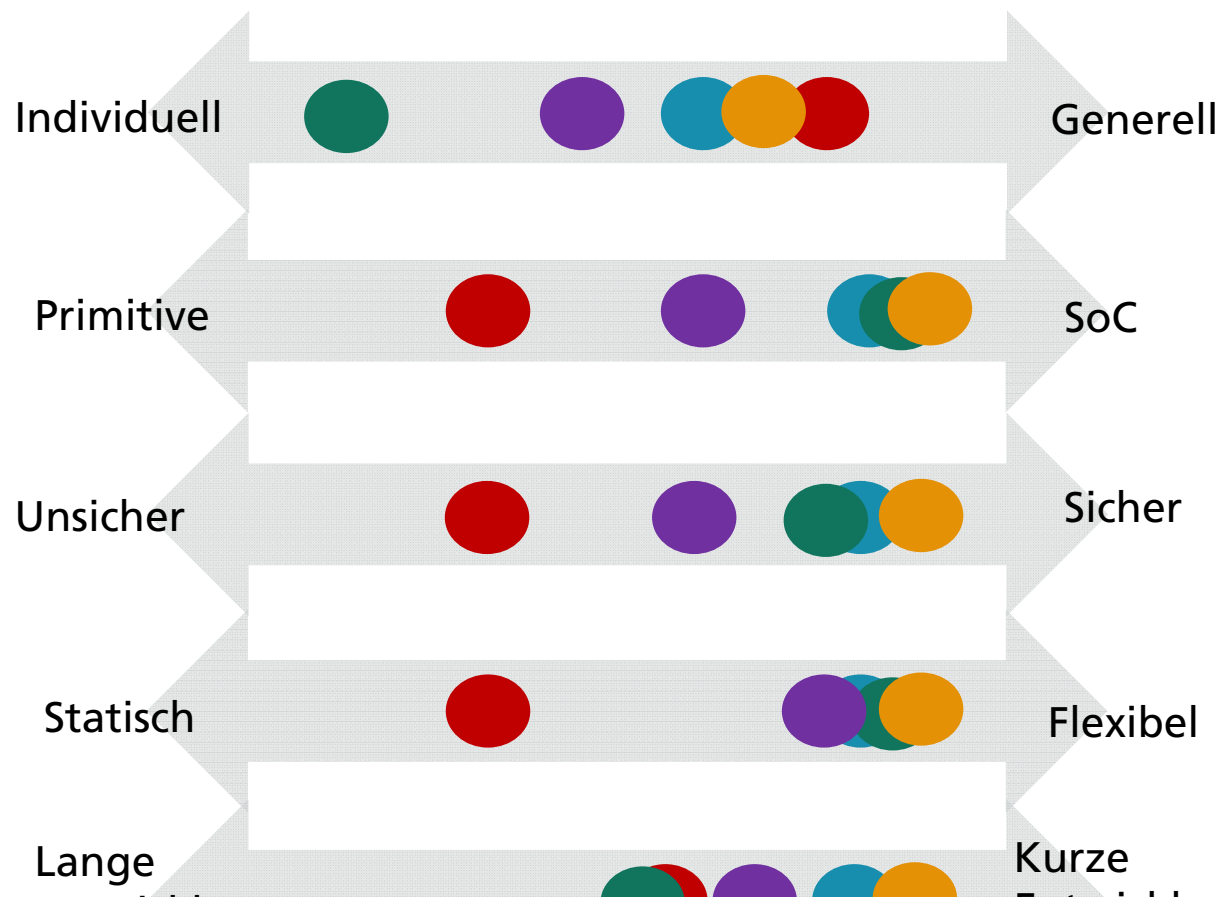
Intelligent Analog IP in der Praxis (5): High-level-Generator differentieller RSD-ADC



180nm RSD-ADC:



29



Intelligent Analog IP am FhG IIS: Bewertung

Produktiver Einsatz im Mixed-Signal-Entwurf am FhG IIS/EAS

Re-Use flexibler IPs

→ Effizienzsteigerung unserer Designdienstleistung > 30% nachgewiesen

Kombination mit innovativen EDA-Methodiken

→ noch effizienter, aus Kostennachteil wird Kostenvorteil

Aber: wir stoßen an Grenzen der jetzigen Entwicklungssoftware

(Technologieunabhängigkeit, Nanotechnologien < 40nm, Akzeptanz
beim Designer, initialer Entwurfsaufwand)

Intelligent Analog IP am FhG IIS: Ausblick

Weiterentwicklung am FhG IIS/EAS mit Fokus auf...

- **Anforderungen** Designgruppen IIS und Kunden
- **Akzeptanz** der Designer (am IIS: > 30 Mixed-Signal-Designer)
- **Minimaler Entwurfsaufwand** IP-Generatoren
- **Effektive Kombination** mit etablierten Entwurfstools
- **Kurzfristige Verwertung** in Mixed-Signal-Entwurfsprojekten

Kooperationen mit EDA-Experten (Universitäten, EDA-Toolanbieter)

- Layoutsynthese, Schaltungssynthese, System-Optimierung, elektrische Constraints, ...
- Analogautomatisierung für Nanotechnologien: 28nm, 22nm, 14nm ...
- Evaluierung des Reifegrades → Integration in den IIS Designflow

Nanoscale Technologies New Challenges in Layout

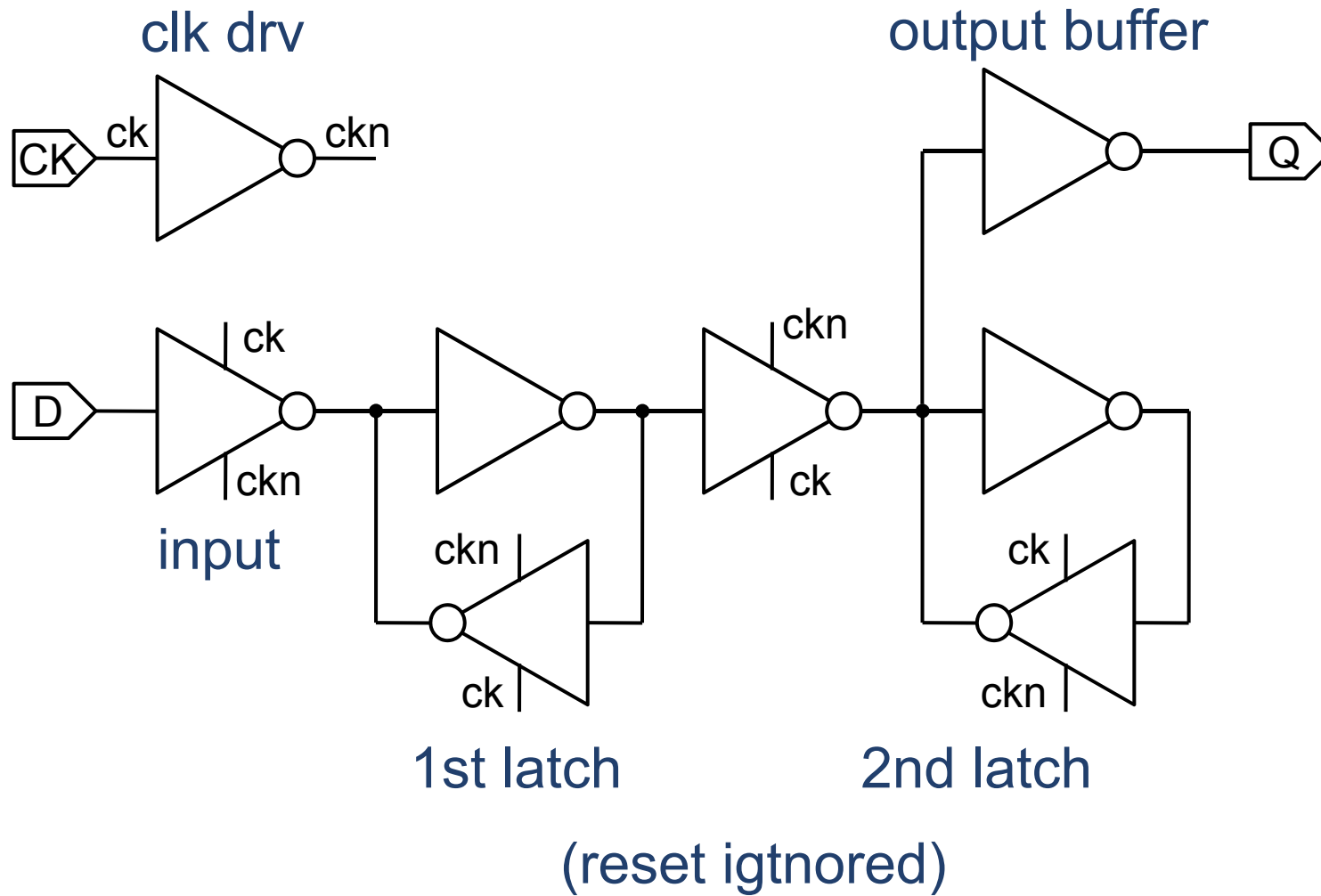
Racyics GmbH

ZuE Dresden, 24.9.2013

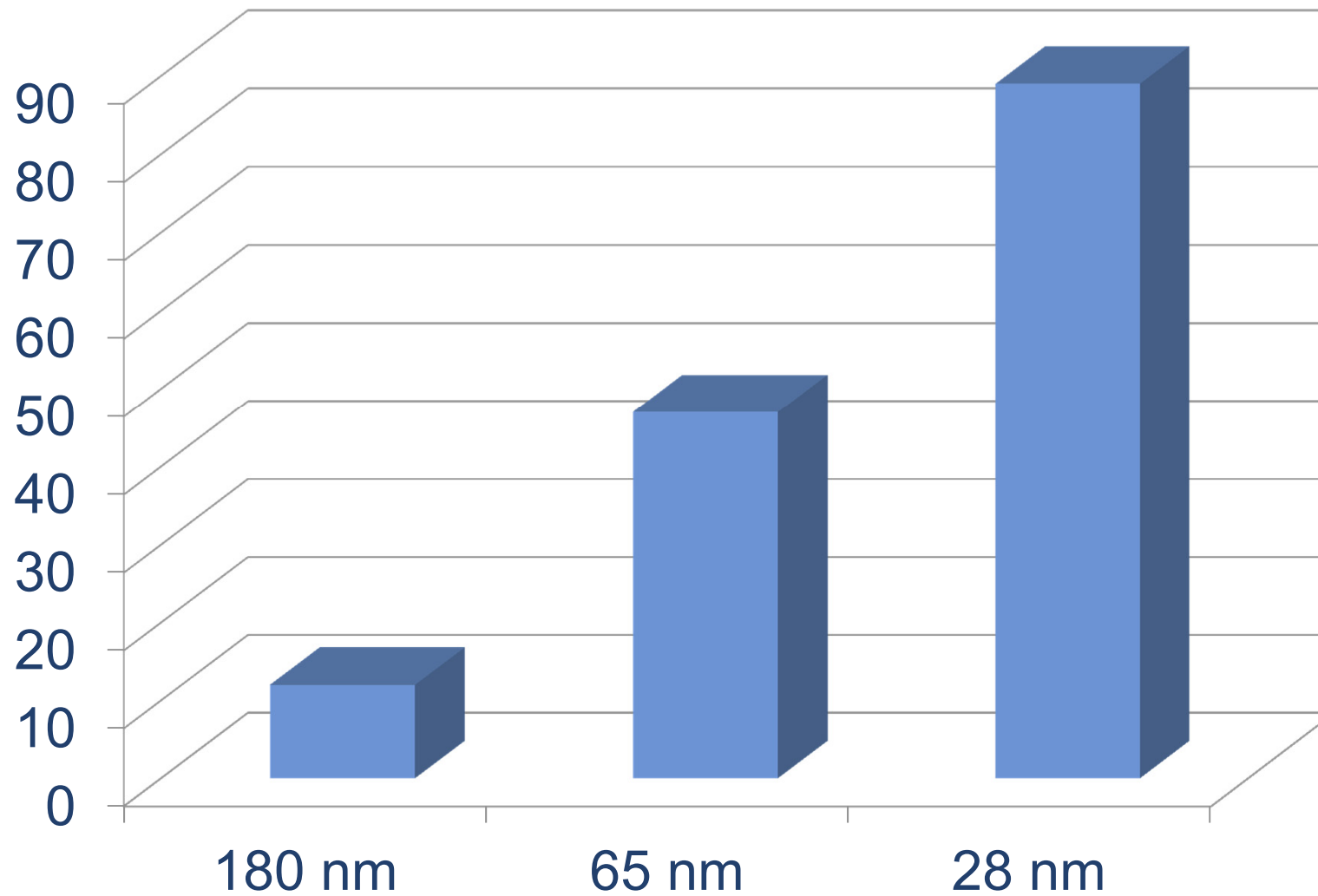
- New rules for shorter gate lengths with thinner oxide
 - Long-channel devices not much effected
 - I/O devices not effected
 - Analog either scales badly
 - Or complex rules effect the design

- Most rules have the most visible effect at shortest gate lenthls
 - Examples from standard cells, here: D-FF

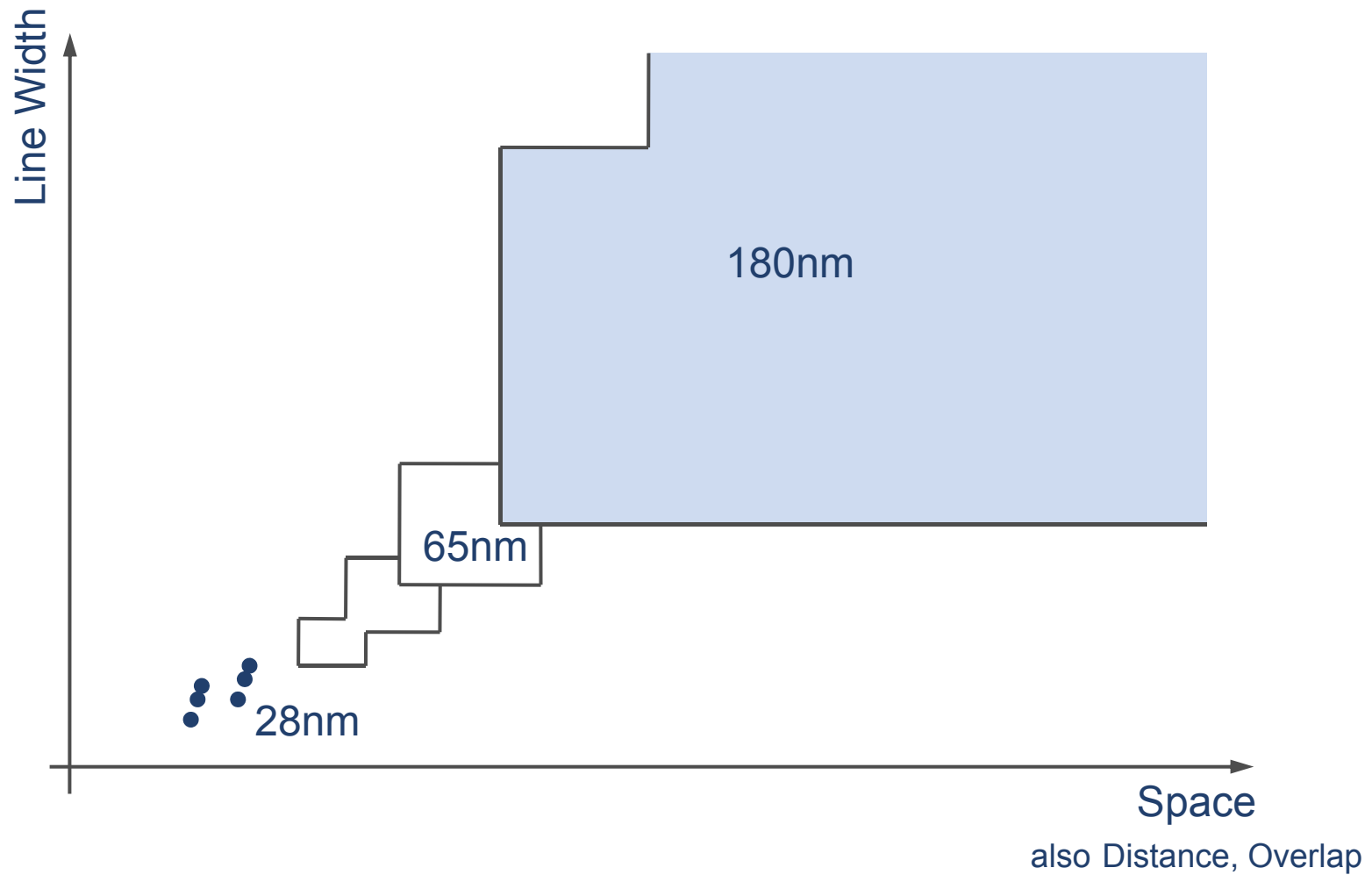
D-Flip-Flop Schematic



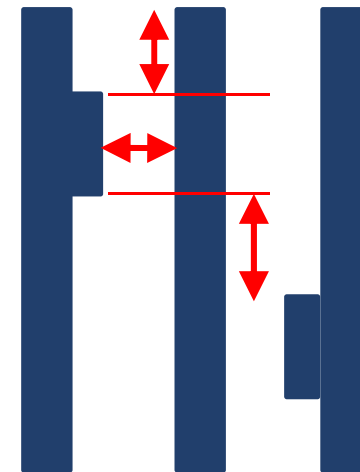
Gate Conductor – Number of Design Rules



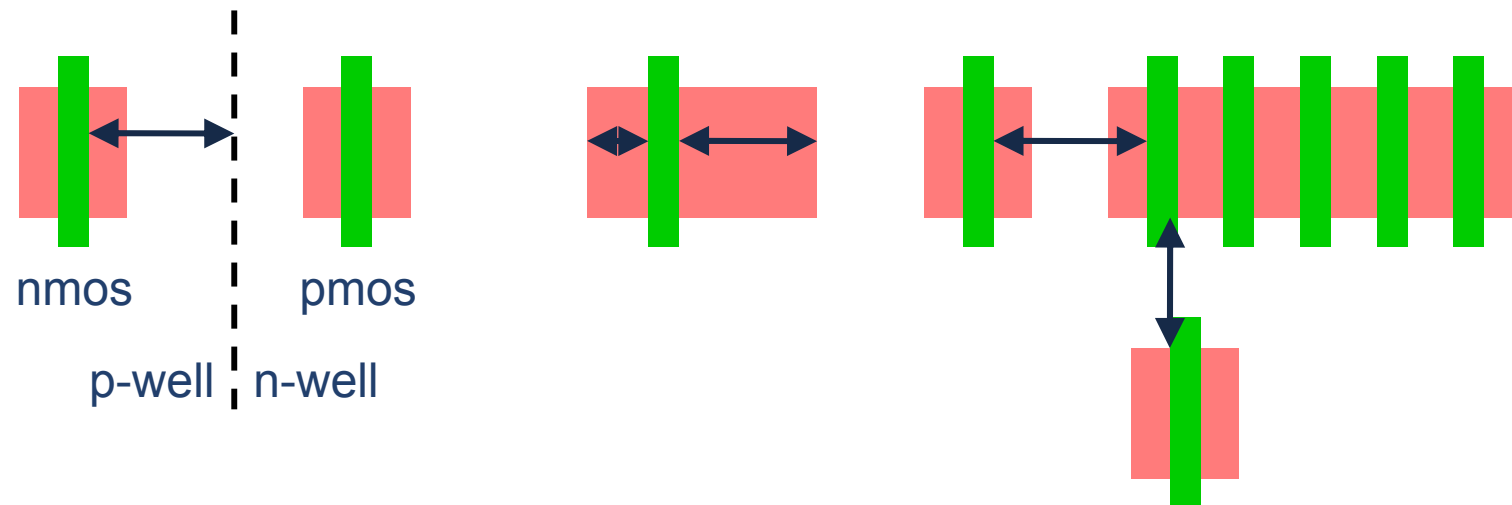
Gate Conductor Rules: Width and Space



- Gate Orientation:
 - 180nm: random, including 45 degree
 - 65nm: preferred orientation recommended
 - 28nm: fixed orientation on complete wafer
- Proximity Rules
- 3-Element Rules
- Recommended Yield Rules
 - Required TO Rules



- Well Proximity: increased V_{th}
- Stress Effects
 - Unintentional: STI / diffusion edge distance
 - Intentional stress engineering to increase mobility: degrades with device proximity



- Design Rules: Higher number and increased complexity
- Voltage Scaling: Reduced overdrive, less stacking
- Short channel effects: Analog scales worse than digital
- On-Chip Variations $\sim d_{ox} / \sqrt{W \cdot L}$
 - Same-size device improved, scaled device worse
→ Analog scales worse than digital
- Noise
- Leakage

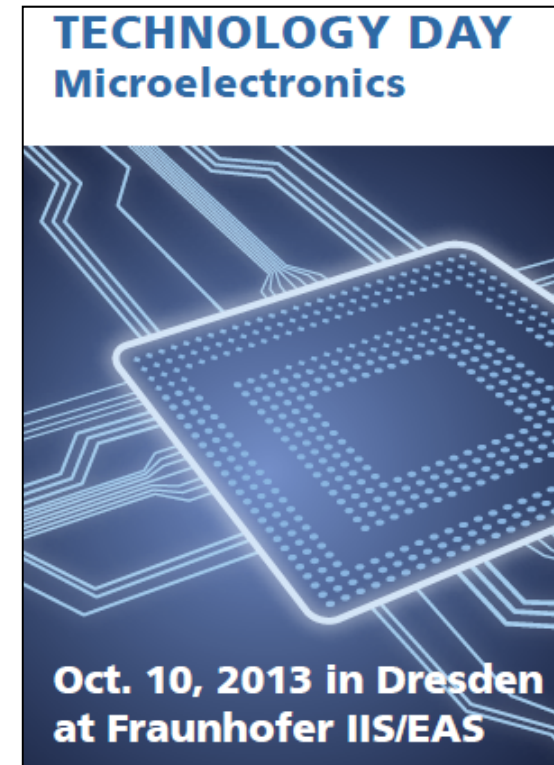
Thank you for your attention!

Nähere Informationen zum Thema ...

- Technologie-Tag am 10. Oktober 2013
- Kontaktieren sie uns zwecks
 - Detailinformationen
 - Live-Demonstration
 - Ihrer konkreten Anforderungen im Mixed-Signal-Entwurf
 - Kooperationen in der EDA-Entwicklung

torsten.reich@eas.iis.fraunhofer.de
+49-351-4640-761

www.eas.iis.fraunhofer.de



Vielen Dank für Ihre Aufmerksamkeit! Fragen? ...