Testentwicklung für digitale Schaltungen unter Verwendung von elektrischer Fehlersimulation

Fabian Hopsch, Bernd Straube, Wolfgang Vermeiren {fabian.hopsch | bernd.straube | wolfgang.vermeiren}@eas.iis.fraunhofer.de Fraunhofer IIS/EAS Dresden

> Heinrich Theodor Vierhaus htv@informatik.tu-cottbus.de BTU Cottbus, Lehrstuhl Technische Informatik

Kurzfassung

In nanoelektronischen Technologien ist es schwierig, Tests mit einer guten Defekterkennung zu erstellen. In dieser Arbeit wird die elektrische Fehlersimulation genutzt, um Testsätze für digitale Standardzellen zu entwickeln. Dieser Ansatz bietet gegenüber der automatischen Testmustergenerierung (engl. ATPG) den Vorteil, dass Auswirkungen von Defekten adäquat auf der elektrischen Ebene modelliert werden können. Die abgeleiteten Testsätze für die Zellen werden für die Testmustergenerierung von Benchmarkschaltungen verwendet. Die Ergebnisse zeigen, dass die Fehlerüberdeckung gegenüber einer Standard-ATPG gesteigert werden kann, allerdings ist der dafür notwendige Aufwand nicht unerheblich.

1 Einleitung

Die hohe Integrationsdichte integrierter Schaltungen wird durch einen hochkomplexen Herstellungsprozess erreicht. Bei diesem Prozess treten Defekte und Parameterschwankungen auf [1]. Führen diese Abweichungen zu einem fehlerhaften Verhalten, dann müssen sie im Fertigungstest oder beim Test im Feld erkannt werden, um fehlerhafte Chips auszusortieren oder das Fehlverhalten zu kompensieren [2].

Es wird zwischen den Methoden des funktionalen Tests einerseits und des strukturellen Tests andererseits unterschieden. Aufgrund der Komplexität der Schaltungen hat sich bei digitalen Schaltungen der strukturelle Test durchgesetzt [3]. Vorrangig erfolgt die Testentwicklung hierbei durch die automatische Testmustergenerierung (engl. ATPG) [4]. Außer dem Haftfehlermodell wurde durch Anpassung der Testgenerierungsverfahren die Verwendung weiterer logischer Fehlermodelle ermöglicht [5]. Je nach Wahl des Fehlermodells wird für eine gegebene Schaltung eine Menge an Fehlern angenommen. Der generierte Test enthält für jeden Fehler möglichst ein Testmuster, mit dem dieser Fehler entdeckt wird.

Die Testmustergenerierung für kombinatorische Schaltungen wird als gelöst angesehen. Sequentielle Schaltungen werden mit Scanverfahren entworfen [6], um eine kombinatorische Testmustergenerierung anwenden zu können. ATPG ist damit für sehr große Schaltungen mit einer Komplexität von Millionen von Gattern geeignet. Es hat sich allerdings gezeigt, dass die in heutigen Technologien auftretenden Defekte nur unzureichend mit den bisher verwendeten Fehlermodellen beschrieben werden [7]. In letzter Zeit sind neue Ansätze vorgestellt worden, mit denen eine höhere Defektüberdeckung erreicht werden soll [8].

In dieser Arbeit werden zellinterne Defekte in digitalen Standardzellen als Fehler in Form von Kurzschlüssen und Unterbrechungen auf der elektrischen Ebene modelliert. Für diese Fehler werden elektrische Fehlersimulationen durchgeführt. Aus den Simulationsergebnissen einer Standardzelle wird eine Menge von Tests (in dieser Arbeit als "Zellentestsatz" bezeichnet) abgeleitet, mit denen zellinterne Fehler entdeckt werden. Diese Zellentestsätze werden für die Testmustergenerierung kombinatorischer und Scandesign-Benchmarkschaltungen verwendet. Die elektrische Fehlersimulation wird in Abschnitt 2 beschrieben, und im Abschnitt 3 werden aus den Simulationsergebnissen Zellentestsätze abgeleitet. Anschließend werden im Abschnitt 4 die Zellentestsätze für die Testmustergenerierung von Benchmarkschaltungen verwendet. Der Beitrag schließt mit einem Ausblick auf weiterführende Arbeiten.

2 Elektrische Fehlersimulation

Die elektrischen Fehlersimulationen werden mittels des analogen Fehlersimulators aFSIM durchgeführt [9]. Als Eingabedaten werden eine Netzliste der Schaltung, Eingangssignale, eine Fehlerliste und ein Auswertungskriterium benötigt. Extrahierte Netzlisten der digitalen Standardzellen sind der NanGate 45nm Open Cell Library entnommen [10]. Sie werden jeweils in eine Umgebung, bestehend aus Treibern an den Eingängen und einer kapazitiven Last am Ausgang, eingebettet (Abbildung 1). Durch Fehler können kombinatorische Schaltungen ein sequentielles Verhalten zeigen. Deswegen werden hier ausschöpfende digitale Testsequenzen der Länge zwei als Eingangssignale verwendet. Für eine Zelle mit n Eingängen ergeben sich somit $2^n \cdot 2^n$ Testfolgen.

Defekte werden als zellinterne Fehler in Form von Kurzschlüssen und Unterbrechungen modelliert. Dabei gilt die Einzelfehlerannahme. Die Umgebung eines Gatters wird als fehlerfrei angenommen. Die Anschlüsse eines Transistors und die Pins der Zelle werden jeweils paarweise als Fehlerorte für Kurzschlüsse angenommen. Modelliert werden die Kurzschlüsse durch Einfügen eines Widerstandes zwischen den paarweisen Knoten. Um schwach- und starkleitende Kurzschlüsse zu berücksichtigen, werden für jeden Fehlerort zehn verschiedene Widerstandswerte im Bereich von 10 Ω bis 10 k Ω verwendet.

Als Fehlerorte für Unterbrechungen werden die parasitären Leitungswiderstände der extrahierten Netzlisten angenommen. Modelliert werden sie durch Ersetzen der Leitungswiderstände durch hochohmige Widerstände. Für jeden Fehlerort werden ebenfalls zehn verschiedene Widerstandswerte verwendet; allerdings liegen sie hier im Bereich von 100 k Ω bis 1 G Ω . Die Anzahl der zu simulierenden Fehler ergibt sich somit aus der Anzahl der Fehlerorte für Kurzschlüsse und Unterbrechungen multipliziert mit zehn. Die Fehler werden in der Fehlerliste zusammengefasst. Die Verwendung weiterer elektrischer Fehlermodelle ist möglich.

In Abbildung 1 ist das Schaltbild eines NAND2-Gatters inklusive Einbettung dargestellt. Weiterhin sind in der Darstellung einige Widerstände als Beispiele für Fehlerorte eingezeichnet. Sie sind jeweils Einzelfehler, die separat in die Netzliste injiziert werden. Die Fehlerorte F1 bis F3 sind Kurzschlüsse und die Fehlerorte F4 bis F6 sind Unterbrechungen.



Abbildung 1: Schematische Darstellung eines eingebetteten NAND2-Gatters mit injizierten Einzelfehlern

Um die Erkennung eines Fehlers zu bestimmen, wird ein Auswertekriterium festgelegt. Dabei werden von jedem Ausgangssignal fünf Messwerte aufgenommen. Basierend auf den Messwerten wird jedes Ausgangssignal klassifiziert. In dieser Arbeit werden fünf Klassen

Diese Arbeit wurde im Rahmen des von der Deutschen Forschungsgemeinschaft (DFG) geförderten Projektes RealTest – Test und Zuverlässigkeit nanoelektronischer Systeme (Fkz: Str412/1-2) durchgeführt; http://realtest.date.uni-paderborn.de.

verwendet: "logisch-0", "logisch-1", "steigende Transition", "fallende Transition" und eine Klasse "unbestimmt", die alle Signale enthält, die nicht einer der anderen vier Klassen zugeordnet werden können. Den Klassen "steigende Transition" und "fallende Transition" wird zusätzlich eine Verzögerungszeit zugeordnet. Durch den Vergleich der Klassen einer Simulation der fehlerbehafteten Schaltung und der fehlerfreien Schaltung wird bestimmt, ob eine Abweichung im Beobachtungszeitraum auftritt. Der Beobachtungszeitraum ist der Zeitbereich des letzten Signalbestandteils einer Testsequenz ohne Berücksichtigung der ersten 200 ps. Das bedeutet: Für Testsequenzen mit Umschaltvorgang ist dies die maximal zugelassene Verzögerungszeit. Ein Fehler gilt durch eine Testsequenz als sicher erkannt, wenn er eine Abweichung tritt zum Beispiel auf, wenn die Klasse "logisch-0" für fehlerfrei und "logisch-1" oder "steigende Transition" für den fehlerbehafteten Fall gilt.

3 Ableitung von Zellentestsätzen

Um eine Beschleunigung zu erreichen, sind die Fehlersimulationen für die untersuchten 28 digitalen Standardzellen auf einem HPC-Cluster parallel verteilt durchgeführt worden. Der Aufwand für die Simulationen ist in Tabelle 1 für eine Auswahl von Zellen aufgelistet.

Zelle	#Testsequenzen	#Fehler	#Simulationen	Dauer Fehlersimulation in s	
AOI211	256	920	235520	1354	
INV	4	270	1080	170	
MUX2	64	1370	87680	878	
NAND2	16	480	7680	272	
NAND3	64	690	44160	456	
NOR2	16	490	7840	242	
NOR3	64	680	43520	456	
XOR2	16	1110	17760	570	

Tabelle 1: Übersicht Simulationsaufwand für eine Auswahl der simulierten Standardzellen

In diesem Abschnitt werden minimale Zellentestsätze ermittelt, die jeweils die gleiche Fehlerüberdeckung erreichen. Basierend auf den Simulationsergebnissen wird für jede Standardzelle eine Fehlererkennungsmatrix (FDM) erstellt. In dieser Matrix ist angegeben, welcher Fehler mit welcher Testfolge sicher erkannt werden kann. Die FDM wird als ein Boolescher Ausdruck in konjunktiver Form interpretiert. Durch Umformung in eine disjunktive Normalform können die minimalen Zellentestsätze bestimmt werden.

Für das NAND2-Gatter gibt es 48 Fehlerorte mit jeweils zehn Fehlerwerten und 16 Testsequenzen. Damit enthält die FDM 480 Zeilen und 16 Spalten. Aus dieser FDM ergeben sich zwei verschiedene Zellentestsätze. Bei Anwendung eines Zellentestsatzes werden die gleichen Fehler entdeckt wie bei Verwendung aller 16 Testsequenzen. Die zwei Zellentestsätze enthalten jeweils vier Testfolgen. Beispielsweise enthält ein Zellentestsatz für das NAND2-Gatter die Folgen $01 \rightarrow 11|0 \rightarrow 1$, $10 \rightarrow 11|1 \rightarrow 0$, $11 \rightarrow 01|0 \rightarrow 1$ und $11 \rightarrow 10|0 \rightarrow 1$. Das zweite Muster zum Beispiel bedeutet, dass an das Gatter zuerst 10 und anschließend 11 angelegt wird, wobei jeweils der erste Wert an den ersten Eingang und der zweite Wert an den zweiten Eingang angelegt wird. Der Ausgang wechselt dabei im fehlerfreien Fall von 1 nach 0.

Die Tabelle 2 stellt die Ergebnisse einer ATPG, basierend auf dem Transitionsfehlermodell, und der Ableitung von Zellentestsätzen aus den elektrischen Fehlersimulationen für eine Auswahl der Standardzellen gegenüber. Angegeben sind für jede Zelle die Anzahl der Fehlerorte (FO) und die daraus resultierende Menge an Fehlern (F) auf der elektrischen Beschreibungsebene. Für die beiden Testentwicklungsverfahren sind die Anzahl der entdeckten Fehlerorte (ent. FO), die Anzahl der sicher entdeckten Fehler (ent. F) und die Anzahl der dafür notwendigen

Testmuster (TM) angegeben. Ein Fehlerort gilt als entdeckt, wenn es an diesem Fehlerort mindestens einen Fehlerwert gibt, der sicher erkannt wird. Die Entdeckbarkeit von Fehlern und Fehlerorten bezieht sich jeweils auf die entsprechenden Testmuster des jeweiligen Verfahrens für die auf der elektrischen Ebene modellierten Fehler. Das bedeutet, dass für die ATPG eine Testmustergenerierung für die digitale Beschreibung der Zelle durchgeführt wird. Mit der elektrischen Fehlersimulation wird geprüft, welche Fehler durch diesen generierten Testsatz entdeckt werden.

Für das NAND2-Gatter gibt es 48 Fehlerorte und damit 480 Fehler. Eine ATPG mit dem Transitionsfehlermodell liefert für dieses Gatter drei Testmuster. Mit diesem Testsatz werden 43 Fehlerorte bzw. 330 Fehler entdeckt. Bei der Ableitung von Testsätzen sind vier Testmuster notwendig. Damit werden ebenfalls 43 Fehlerorte entdeckt. Allerdings liegt die Entdeckung von Fehlern bei 334. Mit diesem Testsatz kann demnach eine leichte Erhöhung der Fehlerüberdeckung gegenüber dem ATPG Testsatz erreicht werden. Deutlicher wird dieser Unterschied zum Beispiel bei den Standardzellen MUX2 und XOR2. Für den MUX2 werden mit dem ATPG Testsatz 111 Fehlerorte bzw. 885 Fehler und mit dem Zellentestsatz 125 Fehlerorte bzw. 1014 Fehler entdeckt. Allerdings sind dafür sieben verschiedene Testmuster notwendig, wobei im ATPG Testsatz fünf Testmuster enthalten sind.

Tabelle 2: Vergleich ATPG unter Transitionsfehlermodell und der Ableitung von Zellentestsätzen aus den elektrischen Fehlersimulationen bezüglich der Anzahl notwendiger Testmuster und der Entdeckbarkeit von auf der elektrischen Ebene modellierten Fehlern und Fehlerorten

Entueckbarkeit von auf der elektrischen Ebene modemerten Femern und Femerorten								
			ATPG Transitionsfehlermodell			Ableitung von Zellentestsätzen		
Zelle	#FO	#F	#ent. FO	#ent. F	#TM	#ent. FO	#ent. F	#TM
AOI211	92	920	74	607	5	81	667	5
INV	27	270	25	194	2	25	194	2
MUX2	137	1370	111	885	5	125	1014	7
NAND2	48	480	43	330	3	43	334	4
NAND3	69	690	55	424	4	60	472	5
NOR2	49	490	39	326	3	39	329	3
NOR3	68	680	54	455	4	58	489	5
XOR2	111	1110	59	482	4	90	763	6

#FO: Anzahl Fehlerorte; #F: Anzahl Fehler

#ent. FO: Anzahl entdeckter Fehlerorte; #ent. F: Anzahl entdeckter Fehler; #TM: Anzahl Testmuster

Diese Ergebnisse zeigen, dass die Fehlerüberdeckung durch die Ableitung von Zellentestsätzen aus den elektrischen Fehlersimulationen gegenüber ATPG Tests erhöht werden kann. Weiterhin kann durch die elektrischen Fehlersimulationen für jeden entdeckbaren Fehlerort angegeben werden, wie groß der minimale Fehlerwert, d. h. Widerstandswert, für Unterbrechungen und der maximale Fehlerwert für Kurzschlüsse an diesem Ort ist, der entdeckt wird. Die Auswertung von nicht entdeckbaren Fehlerorten zeigt, dass es vor allem sogenannte Floating-Gate-Fehler sind. Diese Fehlerart gilt mit Simulation generell als schwer entdeckbar.

4 Testmustergenerierung unter Verwendung von Zellentestsätzen

Die abgeleiteten Zellentestsätze für digitale Standardzellen werden verwendet, um Testmuster für kombinatorische und Scandesign-Benchmarkschaltungen zu generieren. Die Entwicklung von Tests wird für eine Menge an ISCAS85 und ISCAS89 Schaltungen durchgeführt. Die Testgenerierung erfolgt mittels eines kommerziellen ATPG-Tools unter Verwendung der Zellentestsätze für die Standardzellen.

Als illustrierendes Beispiel wird die Benchmarkschaltung ISCAS85 c17 verwendet. Der Beispieltestsatz aus Abschnitt 3 enthält als zweite Testfolge $10 \rightarrow 11|1 \rightarrow 0$. In der Abbildung 2 wird die Generierung eines Tests für das Gatter NAND2_3 der Schaltung c17 veranschaulicht.

Die Testfolge (blau) soll an das Gatter NAND2 3 angelegt werden. Mit einem kommerziellen ATPG-Tool wird ein Testmuster für die Gesamtschaltung generiert (orange), so dass die Testfolge des Zellentestsatzes am Gatter anliegt und der Ausgabewert zu den primären Ausgängen propagiert wird (grün).





Der Zellentestsatz für ein NAND2-Gatter enthält vier Testfolgen. Die c17-Schaltung enthält sechs NAND2-Gatter. Somit wird bei der Testgenerierung ein Testsatz mit 24 Testmustern erstellt. Eine Testmusterkompaktierung dieses Testsatzes wird durch das verwendete ATPG-Tool nicht unterstützt. Es wurde aber eine Kompaktierung implementiert, die allerdings nicht garantiert, dass das Endergebnis minimal ist. Sie liefert einen reduzierten Testsatz mit neun Testmustern. Eine ATPG für c17 unter Verwendung des Transitionsfehlermodell generiert einen Testsatz, der kompaktiert acht Testmuster enthält. Bei einer Testgenerierung für c17 unter Verwendung eines Zellentestsatzes ist somit ein Testmuster mehr erforderlich. Es wird jedoch eine Steigerung der Fehlerüberdeckung um 24 Fehler erreicht.

Schaltung	#Instanzen	#Instanzen Zellen- testsätze verfügbar	#Instanzen TGaZTS erfolgreich	Zeitaufwand TGaZTS in s	Zeitaufwand ATPG in s
c17	6	6	6	0.43	0.45
c432	160	156	132	0.63	0.51
c499	202	194	168	0.98	0.58
c880a	383	383	354	0.9	0.52
c1355	546	538	120	1.43	0.72
c1908	880	834	713	1.99	0.74
c2670	1269	1260	716	3.67	1.21
c3540	1669	1651	1261	26.89	1.27
c5315	2307	2286	1822	7.9	0.95
c6288	2416	2416	1473	1388.4	3.05
c7552	3513	3457	2512	14.39	9.68

Tabelle 3: Testmustergenerierung für Benchmarkschaltungen unter Verwendung von abgeleiteten Zellentestsätzen (TGaZTS)

In der Tabelle 3 sind die Ergebnisse der Testmustergenerierung unter Verwendung der abgeleiteten Zellentestsätze (TGaZTS) für einige Benchmarkschaltungen dargestellt. Dabei wurde für jede Standardzelle ein Zellentestsatz festgelegt. Angegeben sind in der Tabelle die Gesamtzahl der enthaltenen Instanzen und in der dritten Spalte die Anzahl der Instanzen, für die Zellentestsätze abgeleitet wurden. Die nächste Spalte erfasst die Instanzen, für die die festgelegten Zellentestsätze angewendet wurden konnten. Enthält ein Zellentestsatz ein Muster, das aufgrund von Einschränkungen an einer Instanz in der Schaltung nicht angelegt werden

kann, so wird die Generierung für diese Instanz übersprungen, und es werden dafür keine Tests erzeugt. Die letzten beiden Spalten stellen den Zeitaufwand für die Testmustergenerierung unter Verwendung der Zellentestsätze und der ATPG mit dem Transitionsfehlermodell dar.

5 Zusammenfassung und Ausblick

In diesem Beitrag wurde ein Verfahren vorgestellt, das die Berücksichtigung zellinterner Defekte durch elektrische Fehlersimulation mit der Leistungsfähigkeit von ATPG kombiniert. Die Fehlersimulationen wurden für eine Menge an digitalen Standardzellen in 45 nm PTM Technologie mittels des analogen Fehlersimulators aFSIM durchgeführt. Aus den Simulationsergebnissen wurden Testsätze für die Standardzellen abgeleitet. Diese Zellentestsätze weisen eine erhöhte Erkennbarkeit von Fehlern als Standard-ATPG Testsätze aus. Die abgeleiteten Zellentestsätze wurden für die Testmustergenerierung für Benchmarkschaltungen mit einem kommerziellen ATPG-Tool verwendet. Mit dem hier vorgestellten Verfahren können somit für komplexe Schaltungen Tests entwickelt werden, mit denen eine hohe Defektüberdeckung erreicht wird. Dies trägt auch zu einem zuverlässigen Produkt bei.

In weiteren Arbeiten soll bei der Testableitung ein Ausgleich zwischen Testkosten und Testqualität berücksichtigt werden. Wenn für eine Instanz mit dem festgelegten Zellentestsatz kein Test generiert werden kann, dann sollte einer der anderen möglichen Zellentestsätze für diese Instanz verwendet werden. Dies muss noch praktisch in der Testmustergenerierung umgesetzt werden. Weiter soll neben der Wirkung von Defekten auch noch der Einfluss von Parameterschwankungen [11] auf den Test beachtet werden. In dieser Arbeit wurde die Eignung des Verfahrens für den Produktionstest gezeigt. In fortführenden Arbeiten soll auch untersucht werden, wie die Ergebnisse für einen Test im Feld verwendet werden können.

Literatur

- [1] http://www.itrs.net/Links/2011ITRS/Home2011.htm
- [2] numbers of defects," IEEE Design & Test of Computers, vol. 21, no. 3, pp. 216 – 227, 2004.
- [3] IEEE Transactions on Semiconductor Manufacturing, vol. 21, no. 1, pp. 46-54, Feb. 2008.
- [4] York: Computer Science Press, 1990.
- [5] Christian Landrault. Springer, 2009.
- I. Grout, Integrated Circuit Test Engineering: Modern Techniques. Springer-Verlag, 2006. [6]
- [7] International Test Conference (ITC), 2000, pp. 336-342.
- [8] fault models," in Proc. IEEE International Test Conference (ITC), Sept. 2011, pp. 1–8.
- [9] Electronic Circuits Systems (DDECS), April 2011, pp. 255-260.
- NanGate. (2011, August) 45nm open cell library. [Online]. Available: http://www.nangate.com [10]
- [11] 1826, 2011. [Online]. Available: http://dx.doi.org/10.1007/s11432-011-4367-8

International Technology Roadmap for Semiconductors, 2011. [Online]. Available:

M. Breuer, S. Gupta, and T. Mak, "Defect and error tolerance in the presence of massive

R. Aitken, "Defect or variation? characterizing standard cell behavior at 90 nm and below,"

M. Abramovici, M. Breuer, and A. Friedman, Digital Systems Testing and Testable Design. New

H. Wunderlich, Ed., Models in Hardware Testing: Lecture Notes of the Forum in Honor of

E. McCluskey and C.-W. Tseng, "Stuck-fault tests vs. actual defects," in Proc. IEEE

F. Hapke, J. Schloeffel, W. Redemund, A. Glowatz, J. Rajski, M. Reese, J. Rearick, and J. Rivers, "Cell-aware analysis for small-delay effects and production test results from different

F. Hopsch, M. Lindig, B. Straube, and W. Vermeiren, "Characterization of digital cells for statistical test," in Proc. IEEE 14th International Symposium on Design and Diagnostics of

F. Hopsch, B. Becker, S. Hellebrand, I. Polian, B. Straube, W. Vermeiren, and H. Wunderlich, "Variation-aware fault modeling," SCIENCE CHINA Information Sciences, vol. 54, pp. 1813-