

Schlussbericht zum 31.10.2023 – Eingehende Darstellung

Titel des Verbundprojektes:

Intelligent Reliability 4.0

Kurzbezeichnung (Akronym):

iRel40

Teilprojekt:

Effiziente Verifikation der Zuverlässigkeit im Entwurf integrierter Schaltkreise

ZE: *Fraunhofer Gesellschaft e.V.*

Kontakt: *Fraunhofer-Institut für Integrierte Schaltungen IIS*
 Institutsteil Entwicklung Adaptiver Systeme EAS
 Münchner Straße 16, 01187 Dresden

Förderkennzeichen: *16MEE0083S*

Laufzeit des Vorhabens: *01.05.2020 bis 31.10.2023*

Berichtszeitraum: *01.05.2020 bis 31.10.2023*

Inhaltsverzeichnis

1	Ziele des Teilvorhabens.....	3
2	Projektplanung und durchgeführte Arbeiten	4
3	Darstellung der wissenschaftlichen bzw. technischen Ergebnisse.....	5
3.1	Darstellung der Projektergebnisse	5
3.1.1	Kompaktmodellierung von Lotverbindungen	5
3.1.2	ReliaVision	7
3.2	Wertung der Ergebnisse des Vorhabens.....	15
3.3	Gegenüberstellung der gesetzten Ziele und der erreichten Ergebnisse.....	16
3.4	Vergleich zu Fortschritten bei anderen Forschungseinrichtungen und Unternehmen	16
4	Anwendungsmöglichkeiten und wirtschaftliche Verwertung	16
5	Veröffentlichungen	17
5.1	Konferenzbeiträge mit Paper	17
5.2	Präsentationen zu Workshops ohne Paper.....	17
5.3	Beitrag zum iRel40-Newsletter M24	17
5.4	Webinar, veranstaltet vom Fraunhofer IIS/EAS.....	17
5.5	Buchkapitel.....	17

1 Ziele des Teilvorhabens

Halbleiterbauelemente und elektronische Systeme werden immer leistungsfähiger, allerdings auch extrem empfindlich. Dennoch muss die Verfügbarkeit von elektronischen Systemen in verschiedenen Gebieten und Anwendungen, z.B. Smart Mobility und Energie, weiter erhöht werden. Verfehlte Zuverlässigkeitsziele haben dabei vielfältige Folgen. Wie im Eisberg-Modell in Abbildung 1 dargestellt sind einige direkt sichtbar, andere lediglich indirekt spürbar. Um das zu verhindern, wird die Zuverlässigkeit von Elektronik im Gesamtprojekt durch eine gemeinschaftliche Anstrengung aller Beteiligten nachhaltig gesteigert. In diesem Umfeld hat die europäische Elektronikindustrie einen Vorteil im globalen Wettbewerb, den es zu erhalten und auszubauen gilt. Dazu wird im Rahmen des übergeordneten Projekts die Zuverlässigkeit entlang der gesamten Wertschöpfungskette Chip-Package-Board/System über den gesamten Lebensdauerzyklus in der Elektronik erhöht, indem Anstrengungen aus Physik, Chemie, Materialwissenschaft, Elektronik und neuen Ansätzen wie künstlicher Intelligenz gebündelt werden.

Das Teilvorhaben „Effiziente Verifikation der Zuverlässigkeit im Entwurf integrierter Schaltkreise“ des Fraunhofer IIS/EAS befasst sich in diesem Umfeld mit dem Entwurf integrierter Schaltungen. Um bereits in dieser frühen Phase sicherzustellen, dass ICs und elektronische Systeme in ihrem Einsatzszenario langlebig sein werden, muss die Zuverlässigkeit in Verifikationsschritten analysiert und als Entwurfsziel einbezogen werden. Das ist für Transistorschaltungen im Analogentwurf mit dem Instrument der Alterungssimulation bereits heute möglich, wird unter anderem aber aus Aufwandsgründen selten eingesetzt. Um diese Lücke zu schließen, wird am Fraunhofer IIS/EAS an einer schnellen Analysemöglichkeit für potenzielle Zuverlässigkeitsprobleme geforscht und gearbeitet. Diese wird die Auswirkungen der Degradationsmechanismen Bias Temperature Instability (BTI) und Hot Carrier Injection (HCI) auf integrierte Transistoren erfassen. Das Ziel ist es, Designern in ihrer gewohnten Entwurfsumgebung eine solche Analyse mit hoher Anschaulichkeit und Nutzbarkeit zur Verfügung zu stellen, damit diese potenzielle Zuverlässigkeitsprobleme der integrierten Transistoren frühzeitig erkennen und beheben können.

Im Bereich der Systemzuverlässigkeit werden Hybridmodelle entwickelt, die Stärken physikalischer (keine Test- oder Felddaten notwendig) und datengetriebener Modelle (Spezifität auf das System, nicht abbildbare Effekte sichtbar) kombinieren. So kann schon im



Abbildung 1: Eisberg-Modell zu den Auswirkungen unzureichender Elektronikzuverlässigkeit [aus dem Full Project Proposal des Gesamtprojekts iRel40]

Entwicklungsprozess anhand von Simulationen die Zuverlässigkeit bewertet werden. Da es aber auf Grund der Komplexität heutiger Systeme kaum möglich ist alle Fehlerquellen zu erfassen, können das fertige System in Laborversuchen statistischen Ausfalluntersuchungen unterzogen und Rückläufer aus dem Feld ausgewertet werden. Auf dieser Basis wird das Modell überarbeitet und an die Daten angefügt.

Es wird angestrebt, die Projektergebnisse über das Konsortium hinaus zu demonstrieren und in einschlägigen Wissenschaftskreisen zu publizieren.

2 Projektplanung und durchgeführte Arbeiten

Am Projekt iRel40 sind mehr als 70 Partner aus 14 europäischen Ländern beteiligt. Das Gesamtvorhaben gliedert sich in acht Arbeitspakete (AP) anhand der Darstellung in Abbildung 2. Wie in dieser Darstellung hervorgehoben, ist das Fraunhofer IIS/EAS an den Arbeitspaketen

- AP 2: Analytics, Theory, Cognition & Prediction;
- AP 4: Production & Development Excellence sowie
- AP 7: Dissemination, Exploitation, Standardization

beteiligt. Die geplanten und durchgeführten Arbeiten sind im Folgenden genauer dargestellt.

Im Rahmen des AP 2 sollten in der Projektlaufzeit mit einem Personalaufwand von 4 Personenmonaten Ansätze für die Kompaktmodellierung zuverlässigkeitsrelevanter Effekte auf Systemebene als Teil von Task 2.3.4 erforscht werden.

Für das AP 4 waren 30 PM für die Entwicklung einer schnellen Analysemöglichkeit für die Zuverlässigkeit integrierter Schaltungen bereits in der Entwurfsphase vorgesehen. Diese Arbeiten sortieren sich im Gesamtvorhaben im Task 4.2.3 „Integrate reliability checker concepts and Zero defect designs in development“ als Unterpunkt (a) ein und zählen auf den Industrial Pilot DI-4 „Reliability and Aging Prediction for an integrated Stress Sensor“ unter

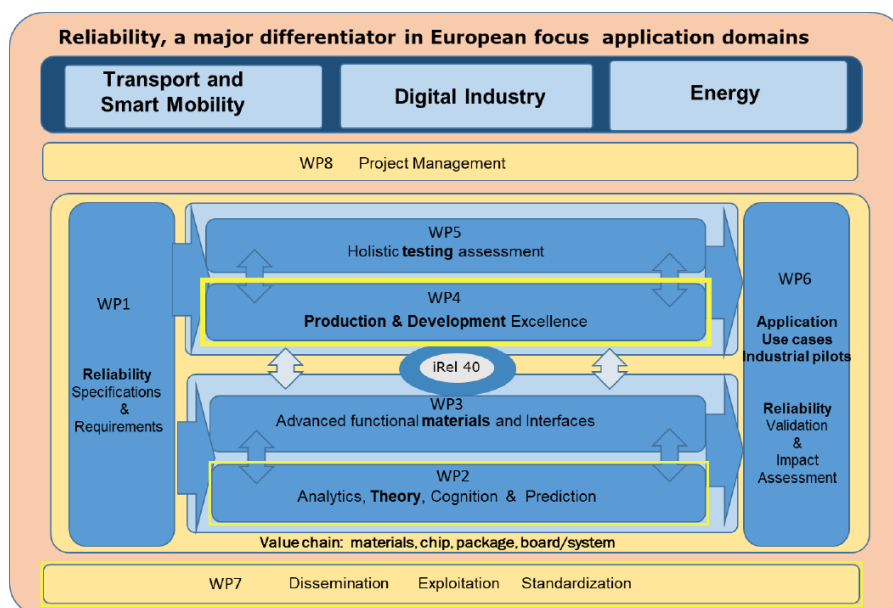


Abbildung 2: AP-Struktur des Gesamtvorhabens iRel40; Beiträge des Fraunhofer IIS/EAS durch gelbe Umrandung hervorgehoben – Dicke der Linien gibt Aufschluss über Verteilung der geplanten Arbeitsaufwände

Führung der X-FAB Dresden GmbH & Co. KG und Beteiligung der Hahn-Schickard-Gesellschaft für angewandte Forschung e.V. ein. Im Ergebnis steht mit ReliaVision ein Add-on zu kommerzieller Entwurfssoftware zur Verfügung, mit dem IC-Designer auf Basis der Zuverlässigkeitsmodelle aus der Technologiequalifizierung effizient Aussagen zur erwarteten Degradation der Transistoren in ihren Schaltungen während des Betriebs bestimmen und auswerten können. Inhaltlich verliefen die Arbeiten weitgehend nach Plan, zeitlich mussten verschiedene Teilaspekte verschoben werden. Genauer ist das im Kapitel 3.1 dargestellt. Neben der bereits erwähnten Kooperation mit den Partnern im Industrial Pilot DI-4 erfolgten Abstimmungen insbesondere mit der ams-OSRAM AG sowie der Elmos Semiconductor AG zu möglichen Erweiterungen für die Zukunft.

Im Rahmen der Aktivitäten im AP 7 wurden am Fraunhofer IIS/EAS mehrere Veröffentlichungen erreicht, die im Abschnitt 5 aufgelistet sind. Zudem haben Demonstrationen des Tool-Prototyps aus AP 4 zu nachfolgenden Gesprächen über Kooperationen geführt.

3 Darstellung der wissenschaftlichen bzw. technischen Ergebnisse

In den folgenden Abschnitten werden die wissenschaftlichen und technischen Ergebnisse des Teilprojekts dargestellt. Dazu werden die konkreten Ergebnisse aufgeführt, bewertet und den gesetzten Zielen gegenübergestellt. Das Kapitel schließt mit einer Betrachtung ähnlicher Arbeiten außerhalb des Projektkonsortiums ab.

3.1 Darstellung der Projektergebnisse

3.1.1 Kompaktmodellierung von Lotverbindungen

Kompaktmodelle vereinfachen und beschleunigen Zuverlässigkeitsanalysen auf der Systemebene. Im Task 2.3.4 hat das Fraunhofer IIS/EAS am Beispiel der Ermüdung von Lotverbindungen unter mechanischer Belastung, wie sie durch unterschiedliche thermische Ausdehnungskoeffizienten bei Temperaturänderungen entstehen, geforscht. Das übergeordnete Ziel besteht darin, solche Modelle für die Ausfallvorhersage im Betrieb eines Systems einzusetzen.

Die relevanten Effekte werden typischerweise mit Hilfe von Simulationen auf Basis der Finiten Elemente Methode (FEM) untersucht. Zunächst war es geplant, kompaktere und effizientere Modelle für den Einsatz in Werkzeugen wie Simulink, Modelica oder SPICE mit Hilfe der Model Order Reduction (MOR) zu erzeugen. Deren Konzept ist in Abbildung 3 dargestellt.

Prinzipiell können solche Modelle für alle Fehlermechanismen aufgestellt werden. Nur wenn ein Mechanismus dominant ist, können die anderen vernachlässigt werden. Oft ist die Ermüdung von Lötstellen ein dominanter Mechanismus, so dass sich die Arbeiten auf diesen Mechanismus konzentriert haben und ein einfaches Test-Board, gezeigt in Abbildung 4, als Test-Vehikel genutzt wurde. Das Test-Board ist an vier Punkten fixiert und kann sich dadurch unter thermischer Belastung (durch Eigenerwärmung oder externe Erwärmung) und Vibration nicht ausdehnen, sondern lediglich verbiegen.

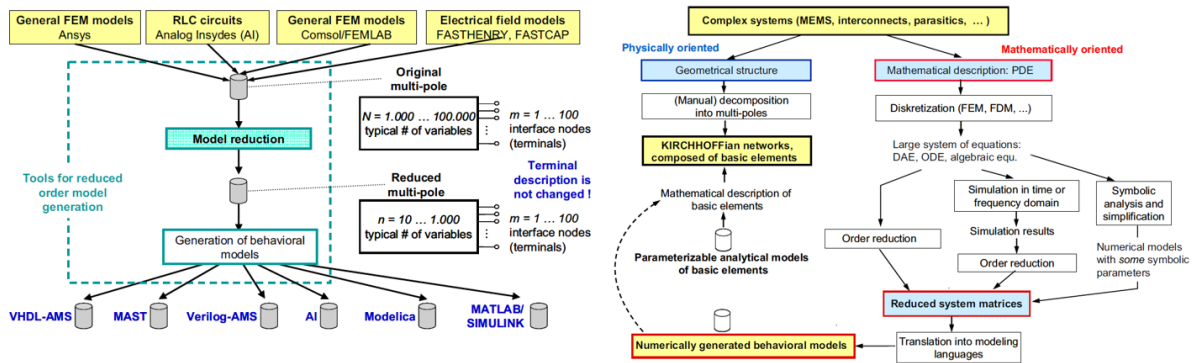


Abbildung 3: Konzept der Model Order Reduction

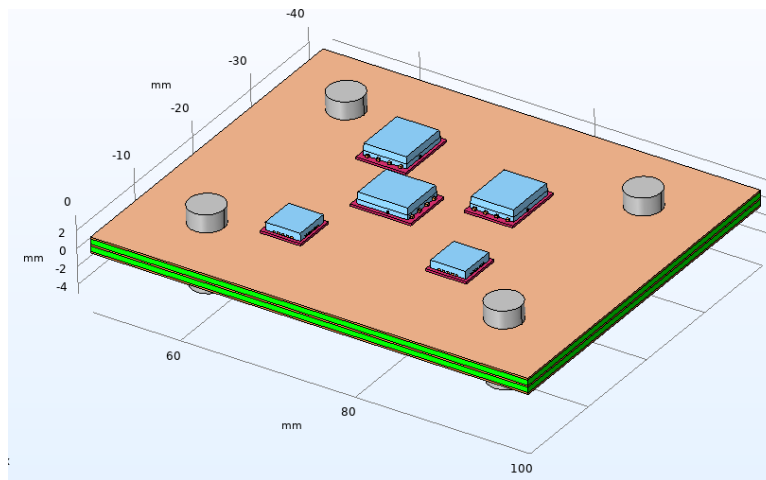


Abbildung 4: Test-Board

Insbesondere im Bereich der rückseitigen Lotverbindungen ist die Model Order Reduction nicht geeignet, da sie enorm aufwändige transiente Simulationen erfordert, diese für den konkreten Fall nicht zur Ermittlung der mechanischen Belastung erforderlich sind.

Deshalb wurde nach einer effizienteren Methode gesucht um die Komplexität der FEM-Simulationen zu reduzieren, und diese wurde in radialen Basisfunktionen (RBF) gefunden. Der Ansatz basiert darauf, die FEM-Simulationen nur an N Punkten zu evaluieren und dazwischen zu approximieren. Dazu wird der Ansatz

$$y(x) = \sum_{i=1}^N \omega_i \varphi(\|x - x_i\|)$$

mit den N Zentren bzw. Stützstellen x_i der Basisfunktionen und den zugehörigen Wichtungsfaktoren ω_i verwendet. Mit ihm lassen sich nichtlineare Materialeigenschaften sowie Effekte höherer Ordnung erfassen. Die erzielten Ergebnisse für das Testboard beim Einsatz von radialen Basisfunktionen für die Kompaktmodellierung sind in Abbildung 5 gezeigt.

Die Arbeiten im Projekt konnten zeigen, dass radiale Basisfunktionen in der Kompaktmodellierung für die Schadensdetektion und Lebensdauervorhersage eingesetzt

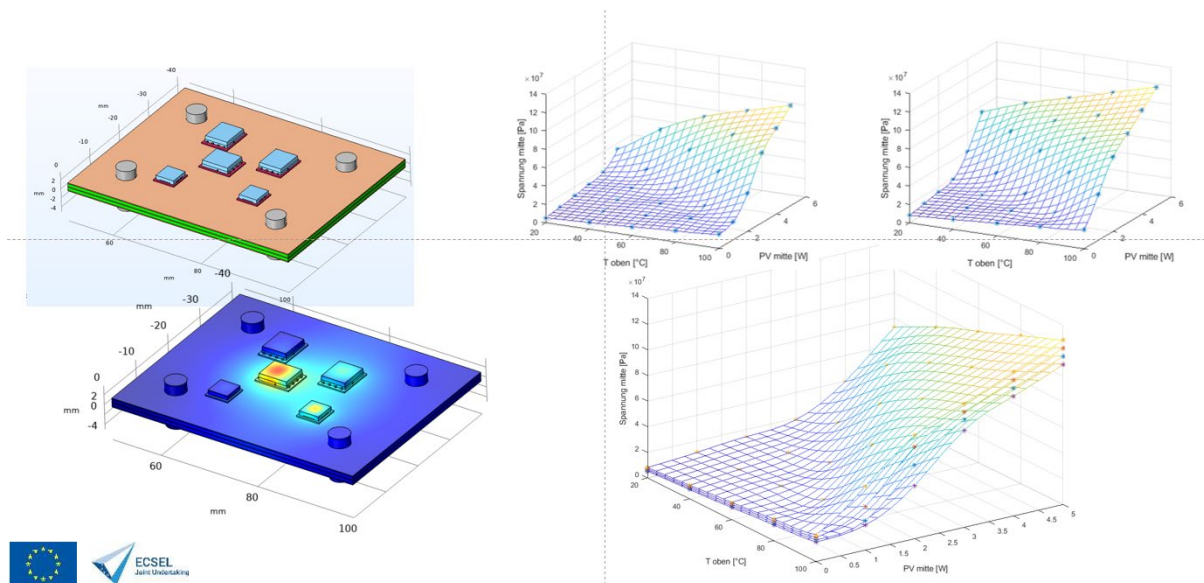


Abbildung 5: FE-Modell (links) und Netz aus radialen Basisfunktionen mit sternförmig dargestellten Stützstellen aus FEM-Simulation (rechts)

werden können. Die Model Order Reduction dagegen bringt trotz deutlich höherer Komplexität und damit signifikant gesteigertem Rechenaufwand keine Vorteile für den Mechanismus der Ermüdung von Lötstellen. Weitere Forschungsaktivitäten werden benötigt, um verschiedenste Fehlermechanismen und Szenarien zu erfassen und den Ansatz um elektrische Fehlermodi sowie ihre Abhängigkeiten und Auswirkungen zu erweitern.

3.1.2 ReliaVision

3.1.2.1 Einordnung und Überblick

Die Zuverlässigkeit von Halbleitertechnologien und integrierten Schaltkreisen wird auf unterschiedlichen Ebenen bzw. in unterschiedlichen Stadien berücksichtigt. Im vorliegenden Teilvorhaben wird dabei die Zuverlässigkeit integrierter Transistoren in den Fokus genommen.

Während der Technologieentwicklung ist es von besonderem Interesse, die genauen Degradationsmechanismen zu verstehen und Gegenmaßnahmen zu ergreifen, um eine möglichst robuste und zuverlässige Technologie bereitzustellen.

Trotz allen vertretbaren Aufwands wird eine Restunsicherheit in Form einer auftretenden Degradation bleiben. Diese muss im Rahmen der Technologiequalifizierung charakterisiert, in Form sogenannter WLR-Modelle (Wafer-level reliability) beschrieben und dokumentiert werden. Die entsprechenden Experimente belasten einzelne Transistoren, die typischerweise in den Ritzgräben kontaktierbar sind, mit konstanten und überhöhten Spannungen, Strömen und ggf. Temperaturen. Beobachtet werden wichtige Größen aus den Kennlinienfeldern der Transistoren, z.B. die Schwellspannung V_{TH} , der lineare Strom I_{DLIN} , der Sättigungsstrom I_{DSAT} sowie die maximale Transkonduktanz G_{MAX} . Die genaue Auswahl der Kenngrößen unterscheidet sich je nach Halbleiterhersteller, Technologieknoten und Anwendungsbereichen.

IC-Designer müssen letztendlich mit der Zuverlässigkeit der Technologie arbeiten. Hier ist es von übergeordnetem Interesse, zu verstehen, wie sich die verbleibende Unsicherheit auf das Verhalten von Schaltungen auswirkt. Dabei treten im Gegensatz zur Technologiequalifizierung keine konstanten, sondern zeitlich veränderliche (transiente) Belastungen auf, die an jedem Transistor individuell sind. Dadurch altern alle Transistoren individuell, und im Zusammenspiel verändert sich das Verhalten der Schaltung.

Am Fraunhofer IIS/EAS sollten die beiden letztgenannten Aspekte für die Entwurfsunterstützung für integrierte Schaltungen kombiniert werden. Mit dem Ziel einer Möglichkeit für die effiziente Zuverlässigkeitsanalyse während des Entwurfs integrierter Schaltungen wurde deshalb „ReliaVision“ als Add-on zu bestehender Entwurfssoftware entwickelt. Der vorgesehene Ansatz kürzt wie in Abbildung 6 dargestellt die Alterungssimulation ab, denn diese wird unter anderem aus Aufwandsgründen in der IC-Entwicklung nur selten eingesetzt. Zum anderen liefern Alterungssimulationen oft wenig Aufschluss darüber, was die Ursachen bestimmter Zuverlässigkeitsschwierigkeiten sind und wie diese behoben werden können.

Beide Arten der Zuverlässigkeitsanalyse im IC-Entwurf erfordern die folgenden Informationen.

- für ReliaVision: Schaltplan der zu untersuchenden Schaltung
- Simulationsnetzliste für ein typisches Anwendungsszenario
- für Alterungssimulation: Simulationssetups für Analyse des Schaltungsverhaltens
- entsprechende Zuverlässigkeitsmodelle
- nutzer-definierte Ziellebensdauer

Im Rahmen der IC-Entwicklung kommen als Standardschritt Simulationen zum Einsatz, mit dem das Verhalten von Schaltungen untersucht und mit der Spezifikation verglichen werden kann. Für Zuverlässigkeitsuntersuchungen wird darüber hinaus ein typisches Anwendungsszenario simuliert. Die Abläufe der Alterungssimulation und in ReliaVision sind in Abbildung 6 enthalten. Aus der Simulation des typischen Anwendungsszenarios werden die Belastungen jedes Transistors in der Schaltung in Form von Temperaturen sowie Zeitverläufen von Spannungen und Strömen extrahiert. Diese Informationen werden mit Angaben zur Transistorgeometrie in entsprechenden Zuverlässigkeitsmodellen verrechnet. Dieser Schritt

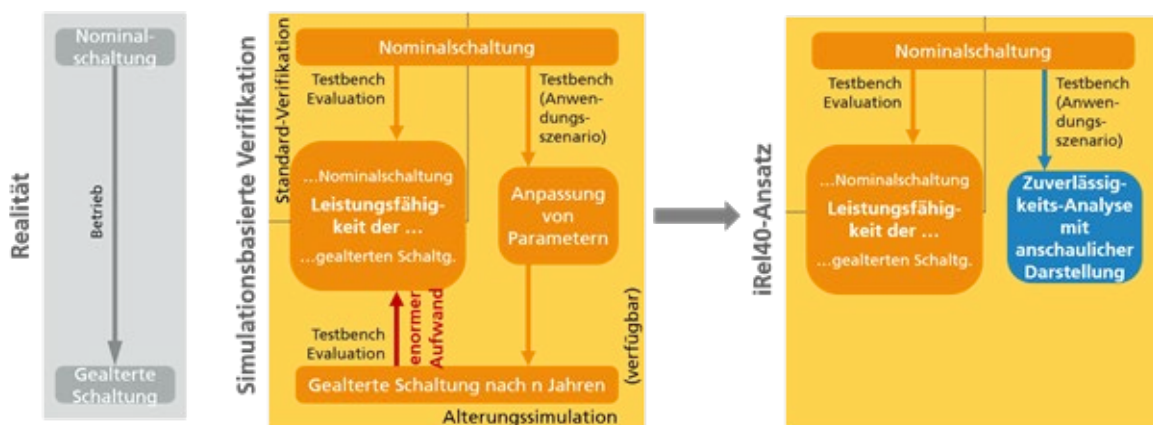


Abbildung 6: Alterungssimulation und effizienter Ansatz der Zuverlässigkeitsanalyse in ReliaVision

beinhaltet eine Extrapolation auf die Ziellebensdauer, die unter der Annahme erfolgt, dass das Anwendungsszenario bis zu dieser Dauer periodisch wiederholt abläuft. Im Rahmen der Alterungssimulation berechnen die Modelle Veränderungen der Parameter der Simulationsmodelle der Transistoren und schreiben diese in die Simulation zurück. Auf diese Weise entsteht eine virtuell gealterte Schaltung, die mit den Standardsimulationen auf ihre Konformität mit der Spezifikation untersucht werden kann. Die Idee hinter ReliaVision ist es, diesen Ablauf abzukürzen. Mit Hilfe der in der Technologiequalifizierung ohnehin erstellten WLR-Modelle werden die transienten Belastungen in individuelle Verschiebungen der Transistorkenngrößen umgerechnet und entsprechend visualisiert. Zwar bleibt dabei die Auswirkung auf das Verhalten der Schaltung unberücksichtigt, aus der erwarteten Degradation einzelner Transistoren können mit dem Expertenwissen von IC-Designern allerdings vielfältige Rückschlüsse zum Langzeitverhalten der Schaltung gezogen werden. Wie die erforderlichen Informationen für ReliaVision bereitgestellt und in das Tool eingebunden werden, ist in den nachfolgenden Abschnitten beschrieben.

3.1.2.2 XML-Darstellung von WLR-Modellen und deren Parametrisierung

Die von ReliaVision verarbeiteten Zuverlässigkeitsmodelle sind sogenannte WLR-Modelle, die der Technologiequalifizierung entstammen und die für Transistoren und deren Kenngrößen individuell parametrisiert werden. Üblicherweise sind diese Informationen in Textform verfügbar, die jedoch schwer in Entwurfssoftware eingebunden werden kann. Um das zu realisieren, wurde eine XML-Darstellung entwickelt und implementiert. In getrennten Bereichen werden die WLR-Modelle definiert und für die Transistoren der Technologie parametrisiert.

```
<?xml version="1.0" encoding="UTF-8"?>
<technology>
  <!-- definition of aging equations -->
  <degradationmodels>
    <!-- simple HCI model -->
    <model name="HCI_simple">
      <equation expr="A * exp(B/VDS) * t^n">
        <parameter name="A" unit=""/>
        <parameter name="B" unit="V"/>
        <parameter name="n" unit=""/>
        <variable name="VDS"/>
        <variable name="t"/>
      </equation>
    </model>
    <!-- other models -->
  </degradationmodels>

  <!-- degradation of device "nmos" -->
  <device name="nmos">
    <!-- HCI section -->
    <mechanism name="HCI">
      <!-- degradation of figure of merit "IDLIN" -->
      <FOM name="d_IDLIN" model="HCI_simple">
        <parameter name="A" value="-0.71" />
        <parameter name="B" value="-5" />
        <parameter name="n" value="0.25" />
      </FOM>
      <!-- degradation of figure of merit "IDSAT" -->
      <FOM name="d_IDSAT" model="HCI_simple">
        <parameter name="A" value="-1.56" />
        <parameter name="B" value="-7" />
        <parameter name="n" value="0.25" />
      </FOM>
    </mechanism>
  </device>
</technology>
```

---> Definition des WLR-Modells mit Gleichung

Liste an Parametern: A, B, n

und Variablen: VDS, t

---> Anwendung des WLR-Modells "HCI_simple" auf die Degradation von der Kenngröße IDLIN des Transistors "nmos" mit Zuweisung der entsprechenden Werte Parameter A, B und n

---> Anwendung des WLR-Modells "HCI_simple" auf die Degradation von der Kenngröße IDSAT des Transistors "nmos" mit Zuweisung der entsprechenden Werte Parameter A, B und n

Abbildung 7: XML-Darstellung von Zuverlässigkeitsinformationen in Form von parametrisierten WLR-Modellen

Am Beispiel eines NMOS-Transistors mit HCI-Degradation seiner Kenngrößen IDLIN und IDSAT ist das in Abbildung 7 gezeigt, wobei eine sehr einfache Gleichung

$$A \cdot \exp\left(\frac{B}{V_{ds}}\right) \cdot t^n$$

mit den Variablen Drain-Source-Spannung V_{ds} und Zeit t sowie den Parametern A , b und n zum Einsatz kommt. Im XML-Element „degradationmodels“ werden die WLR-Modelle definiert. Es können beliebig viele Modelle als XML-Elemente „model“ in Form von Gleichungen definiert werden. Deren Syntax muss so gestaltet werden, dass sie per Computer gelesen und ausgewertet werden kann. Zudem wird an dieser Stelle festgelegt, welche Parameter und welche Variablen in dieser Gleichung verwendet werden. Parametern werden später in derselben XML-Datei Werte zugewiesen, während Variablen beim Einsatz von ReliaVision automatisch aus der Entwurfsumgebung bzw. der Simulation extrahiert werden. Da verschiedene „model“-Elemente unterstützt und die Gleichungen per Text eingegeben werden, ist eine sehr hohe Flexibilität gegeben, um zukünftig weitere Transistoren oder andere Bauelemente, weitere Technologien und komplexere Gleichungen berücksichtigen zu können. Je nach genauer Formulierung dieser Gleichungen kann eine Anpassung der Implementierung von ReliaVision erforderlich werden um diese zusätzlichen Ansätze auswerten zu können.

In einem weiteren XML-Element, „device“, werden die definierten Modelle für einen bestimmten Transistor und je Degradationsmechanismus („mechanism“) für dessen Kenngrößen („FOM“, figure of merit) parametrisiert. Es sind wiederum beliebig viele Einträge möglich. Im konkreten Beispiel in Abbildung 7 gelten für den linearen Strom IDLIN und den Sättigungsstrom IDSAT

$$dIDLIN = \frac{IDLIN(t)}{IDLIN(t=0)} - 1 = -0.71 \cdot \exp\left(\frac{-5}{V_{ds}}\right) \cdot t^{0.25} \quad \text{sowie}$$

$$dIDSAT = \frac{IDSAT(t)}{IDSAT(t=0)} - 1 = -1.56 \cdot \exp\left(\frac{-7}{V_{ds}}\right) \cdot t^{0.25}.$$

Durch die Verschachtelung von Bauelement („device“), Mechanismus („mechanism“) und Kenngrößen („FOM“) ist auch an dieser Stelle eine große Flexibilität gegeben. Weitere Transistoren (z.B. PMOS), Mechanismen (z.B. BTI) oder Kenngrößen können je nach Bedarf aus Sicht von Anwendern oder Technologielieferanten hinzugefügt werden.

Mit der eingebauten Flexibilität ist ReliaVision gut auf eine Anwendung in anderen Technologieknoten und für andere Foundry-Partner vorbereitet.

Der Projektpartner X-FAB nutzt dieselben WLR-Modelle, wie sie in ReliaVision verarbeitet werden, in dessen Tool RelXplorer. Dort sind die Gleichungen fest einprogrammiert, und die Parametrisierung wird ebenfalls über XML realisiert. Ein späteres Zusammenführen kann auf Basis der beiderseitigen Arbeiten in iRel40 erfolgen.

3.1.2.3 Schnittstelle zur Entwurfsumgebung von Cadence

Der Analyseablauf in ReliaVision folgt dem nachfolgenden Ablauf.

1. Einlesen der Zuverlässigkeitsinformationen für die Technologie aus XML (siehe Abschnitt 3.1.2.2)
2. Ermitteln und Einlesen der Zeitverläufe der Spannungs- und Strombelastung an jeder Transistorinstanz aus transienten Simulationen
3. Zusammenführen der Zuverlässigkeitsinformationen und Belastungen durch Anwendung der parametrisierten WLR-Modelle auf die transiente Belastung an jeder Transistorinstanz und Ermittlung der erwarteten Degradation
4. Visualisierung der Ergebnisse

Dieser Ablauf erfordert zwei Schnittstellen zur Entwurfsumgebung. Aufgrund der Tatsache, dass der Analogentwurf überwiegend in der Entwurfsumgebung von Cadence erfolgt, haben sich die Arbeiten an dieser Umgebung orientiert. Weitere Entwurfsumgebungen können in nachfolgenden Entwicklungsprojekten eingebunden werden.

Für den Zugriff auf die Spannungen und Ströme an jeder Transistorinstanz wurde zunächst die Schnittstelle des Simulators für Alterungssimulationen in Betracht gezogen. Diese ermöglicht es, die Belastungen am Transistor direkt aus der Simulation zu entnehmen und zu verarbeiten. In unterschiedlichen Serverumgebungen bei den Projektpartnern und dem Fraunhofer IIS/EAS konnte jedoch kein einheitliches Vorgehen etabliert werden, so dass diese Option verworfen wurde. Statt dessen wird der Simulator durch spezielle, automatisch eingefügte Kommandos nun angewiesen, die Ströme und Spannungen an den Transistoren in Textdateien zu schreiben. Diese können dann nachträglich separat ausgewertet werden, was in Python umgesetzt wurde. Zudem hat sich in der zweiten Option gezeigt, dass sich diese Variante viel einfacher mit bestehenden PDKs in Einklang bringen lässt, was den Einsatz bei Partnern und die spätere Erweiterbarkeit drastisch vereinfacht.

Die zweite Schnittstelle wird benötigt, um die Ergebnisse zu visualisieren. Hier war es vorgesehen, die Analyseergebnisse in die Entwurfsumgebung von Cadence zu bringen und dort über dem Schaltplan und dem Layout zu visualisieren. Die Option des Layouts wurde verworfen, weil die Zuverlässigkeitsaussagen früher im Entwurfsablauf vorhanden sein müssen, um zeitnahe Gegenmaßnahmen ergreifen zu können. Die Visualisierung im Schematic ist erhalten geblieben. Hier hat sich während der Projektarbeit herausgestellt, dass es wesentlich schwerer ist, solche Informationen in die Entwurfsumgebung hinein zu bringen, als Design-Informationen heraus zu holen. Letzteres wurde durch den Einsatz des Python-Moduls „skillbridge“ realisiert. Mit diesem ist es möglich, den Schematic (Schaltplan) extern genauso zu zeichnen, wie er in der Entwurfsumgebung vorliegt, also ohne Anpassungsaufwand für den späteren Nutzer.

3.1.2.4 Konfigurationsdatei

Um seine Funktionalität erreichen zu können, muss ReliaVision einige Informationen vom Nutzer erhalten. Diese können über die grafische Benutzeroberfläche eingegeben werden, und sie werden in Form von Konfigurationsdateien abgelegt.

```

[skillbridge]
; these settings have to be adapted by the ReliaVision user
; they refer to the design data in Cadence
library=<<cadence_library>>
cell_name=<<cadence_cell>>
view_type_layout=layout
view_type_schematic=schematic
; users should not change "id" defined below
id=reliavision

[spectre]
; the following settings should be adapted by the user
; they are intended to
;   - point to the simulation netlist written by ADE
;   - define which devices can be aged
devices=<<device_list>>
netlist=<<path_to_netlist>>
age=10y
; normally, users should not adapt the settings below
xml_file=<<path_to_technology_xml>>
regex=(\w+[^mod])

```

Abbildung 8: Konfigurationsdatei für ReliaVision

Das Prinzip, dem diese Konfigurationsdatei folgt, ist in Abbildung 8 gezeigt. Nutzer müssen in der für die Cadence-Umgebung typischen Struktur „Library“ (Bibliothek) und „Cell“ (Zelle) definieren, damit die Design-Informationen extrahiert werden können. Zudem wird für die Durchführung der Simulation die Simulationsnetzliste („netlist“) benötigt. Aus der Simulation werden für die unter „devices“ definierten Transistortypen die Spannungen und Ströme entnommen und auf die im „xml_file“ definierten WLR-Modelle mit einer Ziellebensdauer, die in „age“ definiert ist – hier 10 Jahre – angewendet. Die weiteren Einstellungen werden von ReliaVision intern verwendet.

3.1.2.5 Grafische Nutzeroberfläche mit Anwendungsbeispiel

Die grafische Nutzeroberfläche (graphical user interface, GUI) wurde so entwickelt, dass eine intuitive Bedienbarkeit entsteht. Sie wird im Nachfolgenden anhand einer Beispielschaltung gezeigt. Diese ist das Ergebnis einer studentischen Arbeit am Fraunhofer IIS/EAS außerhalb des Projekts iRel40. Es handelt sich um einen Low-Dropout Regulator (LDO), einen Linearregler der weitgehend unabhängig von der Belastung eine konstante Ausgangsspannung bereitstellt. Die Schaltung ist in einer 180nm-Technologie der X-FAB entworfen und regelt bei 1.8 V Betriebsspannung die Ausgangsspannung auf 1.5 V.

In Abbildung 9 ist ReliaVision nach dem Einlesen der entsprechenden Konfigurationsdatei gezeigt. Man kann durch die Design-Hierarchie navigieren und findet den LDO als Schaltung aus einem Fehlerverstärker (error amplifier, EA) und einem Lasttransistor mit passiven Elementen und entsprechender Rückkopplung. Die Darstellung in ReliaVision ist dabei identisch zur Visualisierung in der Entwurfsumgebung von Cadence.

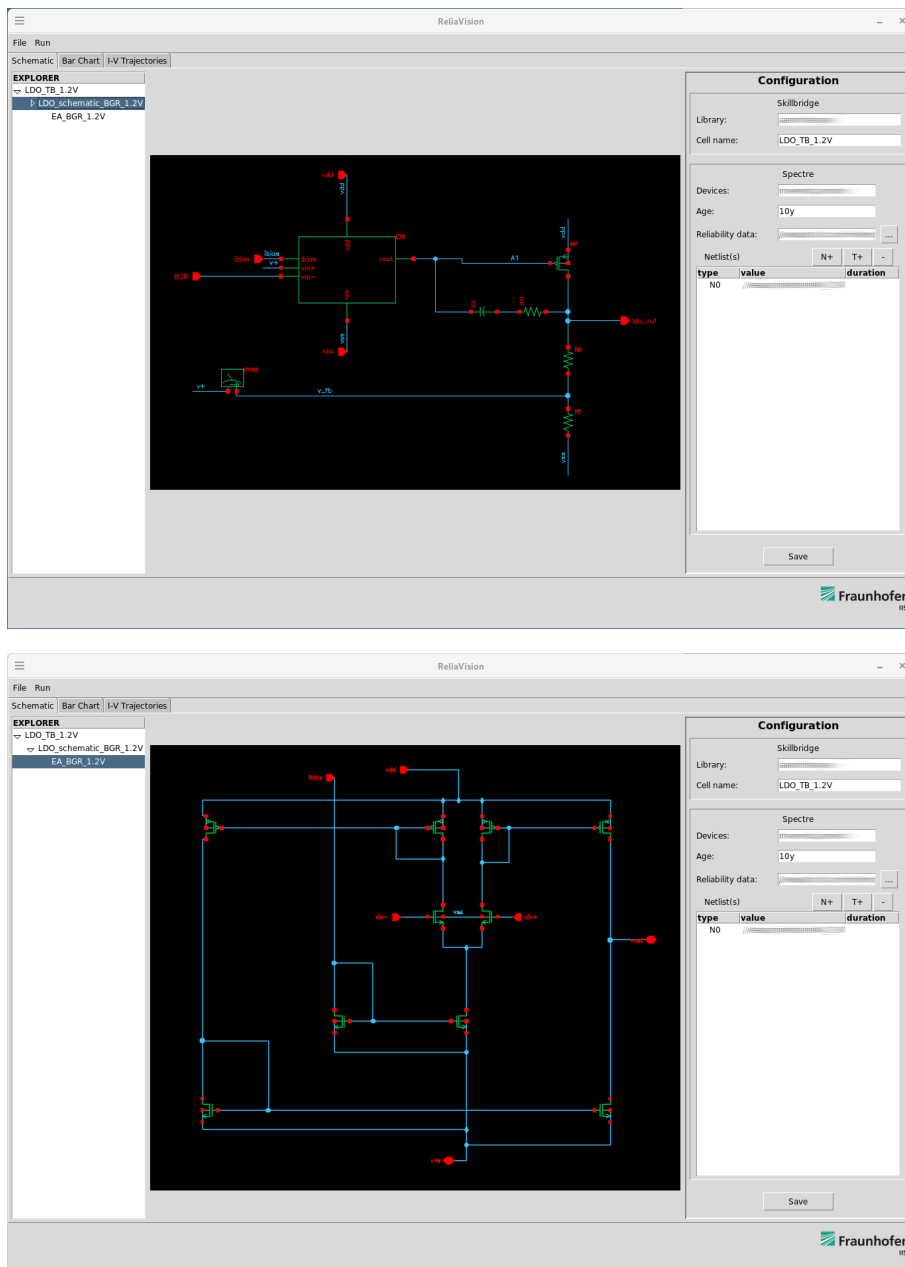


Abbildung 9: Design-Hierarchie in ReliaVision mit (oben) Toplevel aus Fehlerverstärker, Lasttransistor, passiven Elementen und Rückkopplung sowie (unten) Transistorschaltung des Fehlerverstärkers

Als Simulationsszenario dient ein Beispiel, dass den Ausgang des LDO mit einer Überlagerung eines konstanten, eines sinusförmigen und eines rechteckförmigen Stromes belastet. Die Betriebsspannung liegt 10 % oberhalb des eigentlich vorgesehenen Wertes von 1.8 V. Nach der Simulation dieses Szenarios und Anwendung der für diese Technologie parametrisierten WLR-Modelle wird die erwartete Degradation in ReliaVision farbig hervorgehoben. Im konkreten Beispiel wird der lineare Strom IDLIN aller Transistor-Instanzen betrachtet, und die Analyseergebnisse sind in Abbildung 10 dargestellt. Während der Lasttransistor praktisch nicht altert, tritt im Inneren des Fehlerverstärkers eine maximale Degradation von 6.75 % auf. Folgt man der Design-Hierarchie, findet man im Fehlerverstärker den Transistor unten rechts als kritische Komponente, für die eben diese Degradation von 6.75 % erwartet wird. Alle anderen Transistoren sind praktisch nicht von Alterung betroffen.

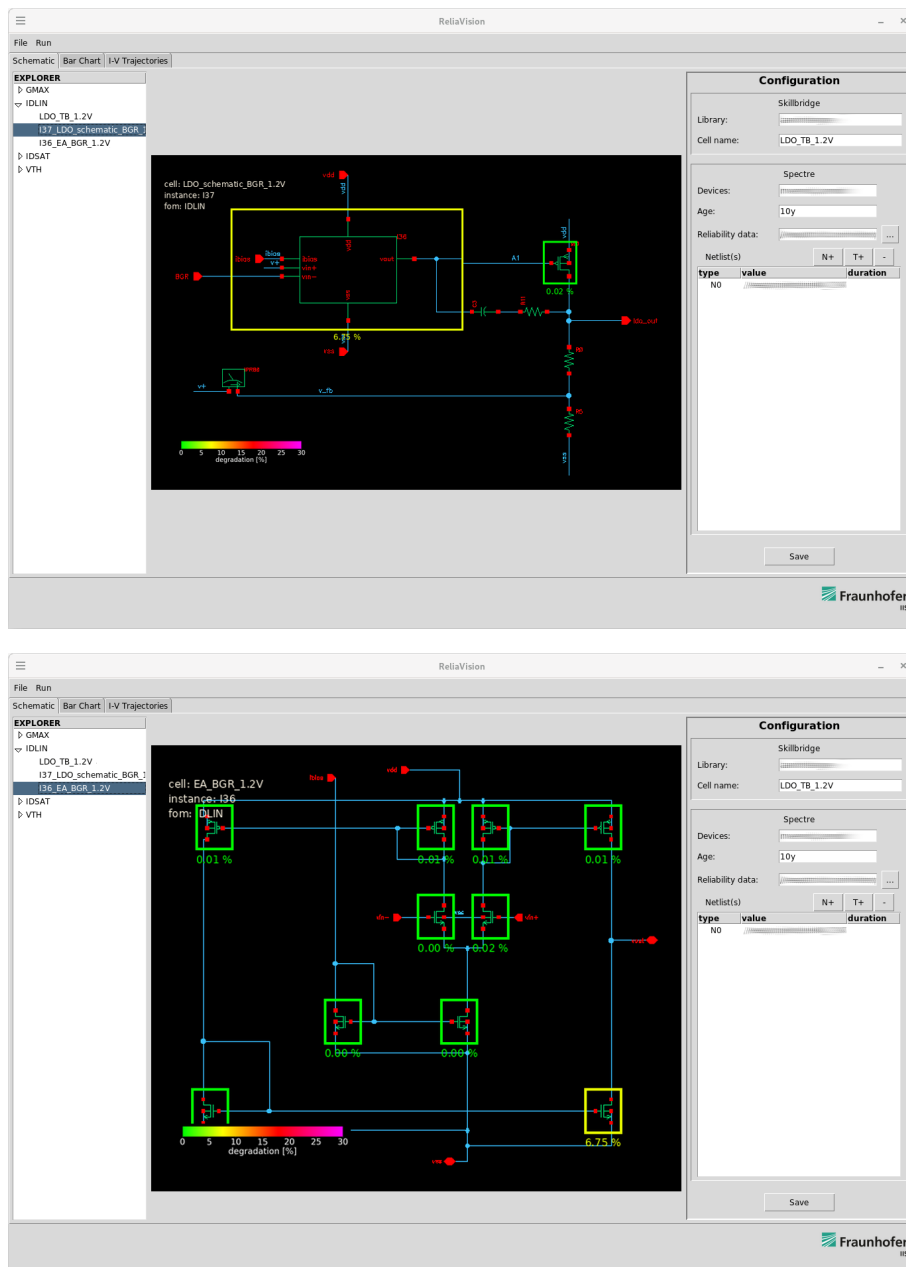


Abbildung 10: Erwartete IDLIN-Degradation durch Betrieb des LDO für Toplevel (oben) und Fehlerverstärker (unten). Innerhalb des Fehlerverstärkers ist die maximale erwartete Degradation 6.75 %. Diese tritt am Transistor unten rechts auf. Alle weiteren Transistoren sind praktisch in diesem Szenario nicht von Transistoralterung betroffen.

Auf diese Weise können Designer einfach die Stellen in ihren Schaltungen identifizieren, die im Hinblick auf die Zuverlässigkeit kritisch sind. Im konkreten Fall ist der Alterungsmechanismus Hot Carrier Injection (HCI) für die erwartete Degradation verantwortlich. Sofern entsprechend der anderen Randbedingungen umsetzbar, kann durch eine Vergrößerung der Kanallänge für diesen Transistor Abhilfe geschaffen werden, weil HCI bei längeren Transistoren weniger stark ausgeprägt ist. Die Interpretation der Ergebnisse von ReliaVision bleibt in der Hand der Designer mit ihrem Expertenwissen. Zukünftig könnten Hinweise von ReliaVision erzeugt und angezeigt werden, um die Interpretation zu erleichtern.

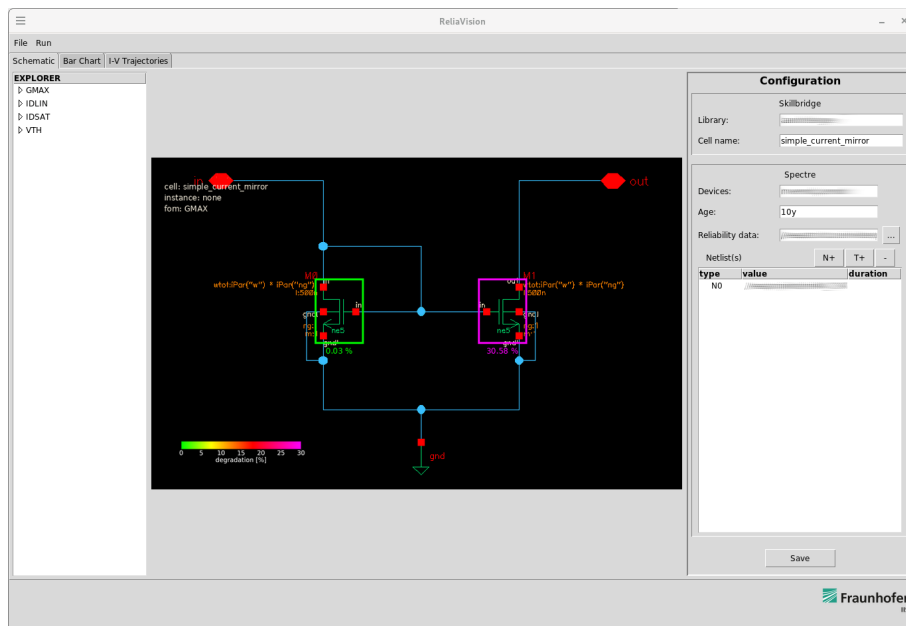


Abbildung 11: Ungleichmäßige Alterung in einem Stromspiegel

3.1.2.6 Auffällige Analyseergebnisse und Gegenmaßnahmen

Während der Entwicklung von ReliaVision wurden typische Szenarien diskutiert. Eines davon ist in Abbildung 10 dargestellt: eine Transistorinstanz in einer Schaltung degradiert besonders stark. Dieser Fall kann in ReliaVision leicht identifiziert werden. Oft ist an dieser Stelle HCI der auslösende Mechanismus, dem durch eine geometrische Vergrößerung des entsprechenden Transistors oder eine Verringerung des Stroms durch ihn begegnet werden kann.

Ein anderes Beispiel stellen ungleichmäßig alternde Differenzstufen oder ähnliche Strukturen dar. Derartige Zusammenschaltungen von zwei Transistoren erfordern es, dass diese sich möglichst gleich verhalten, und das weitgehend unabhängig von Prozessvariationen und Alterung. In Abbildung 11 ist ein Analyseergebnis für einen Stromspiegel dargestellt, aus dem ein äußerst asymmetrisches Alterungsverhalten hervorgeht. Durch diesen Effekt kann die Funktionalität des Stromspiegels, ausgangsseitig spannungsunabhängig einen konstanten Strom zu liefern, nicht mehr erfüllen. Beim Stromspiegel ist wiederum meist HCI der auslösende Mechanismus, bei Differenzstufen meist BTI. In letzterem Fall sind Offset-Spannungen die Folge, ihnen kann durch eine Veränderung der Schaltungsstruktur oder der äußeren Beschaltung entgegen gewirkt werden.

3.2 Wertung der Ergebnisse des Vorhabens

ReliaVision liegt zum Ende des Vorhabens iRel40 als Prototyp vor und wurde an zwei Projektpartner sowie eine dritte Partei für Tests übergeben. Die Projektergebnisse sind damit positiv zu bewerten. Besonders hervorzuheben ist die enge Zusammenarbeit mit der X-FAB Dresden GmbH & Co. KG bei der Einbindung der Zuverlässigkeitsmodelle, so dass diese gleichermaßen in ReliaVision und deren Tool RelXplorer eingesetzt werden können.

Darüber hinaus wurden Erweiterungen hin zu weiteren Bauelementen wie Dioden (mit ams-OSRAM) sowie weiteren Entwurfsumgebungen (mit Elmos) als zukünftige Entwicklungsmöglichkeiten identifiziert.

3.3 Gegenüberstellung der gesetzten Ziele und der erreichten Ergebnisse

Das Fraunhofer IIS/EAS sieht seine Ziele im Teilvorhaben „Effiziente Verifikation der Zuverlässigkeit im Entwurf integrierter Schaltkreise“ des Gesamtprojekts iRel40 als erfüllt an.

Im Bereich der Kompaktmodellierung wurden radiale Basisfunktionen erfolgreich als Ansatz für Zuverlässigkeitsmodelle an Lotverbindungen unter mechanischer Belastung erprobt.

Mit ReliaVision wurde der vorgesehene Prototyp eines Add-ons für kommerzielle Entwurfssoftware für die effiziente Zuverlässigkeitsanalyse in Entwurfsprojekten für ICs erstellt, demonstriert und in der wissenschaftlichen Community vorgestellt und diskutiert. Zu Projektbeginn wurde viel Wert auf eine möglichst große Flexibilität des Tools mit Blick auf seine Schnittstellen, insbesondere die XML-Darstellung von Zuverlässigkeitsinformationen gelegt. Dadurch hinkte die Entwicklung der Tool-Funktionalität mehrere Monate hinter dem eigentlichen Zeitplan hinterher. Der erste Prototyp konnte demzufolge erst spät an die Projektpartner übergeben werden. Auch Dank der kostenneutralen Verlängerung des Gesamtvorhabens konnten diese Verzögerungen aufgeholt werden, die detaillierte Einbeziehung von Feedback der Pilotnutzer wird nach Ende des Projekts in der Vorbereitung zur Verwertung geschehen.

3.4 Vergleich zu Fortschritten bei anderen Forschungseinrichtungen und Unternehmen

Während der Projektlaufzeit sind keine FuE-Ergebnisse Dritter bekannt geworden, welche den Forschungsarbeiten und -ergebnissen des Fraunhofer IIS/EAS entsprechen. Auch auf den zur Projektlaufzeit besuchten wissenschaftlichen Fachkonferenzen sind keine vergleichbaren Ansätze präsentiert worden.

4 Anwendungsmöglichkeiten und wirtschaftliche Verwertung

Das wesentliche Projektergebnis am Fraunhofer IIS/EAS ist ReliaVision, ein Add-on zu kommerzieller Entwurfssoftware für die effiziente Zuverlässigkeitsbewertung in IC-Design-Projekten. Zum Projektende liegt diese Software als Prototyp vor, und der Zuwendungsempfänger sieht ein sehr großes Potenzial für die interne und externe Anwendung.

Im Moment sind für ReliaVision Technologieinformationen der XT018-Technologie der X-FAB hinterlegt, so dass Entwürfe in dieser Technologie untersucht werden können. Das passt sehr gut zu unterschiedlichen Design-Projekten am Fraunhofer IIS/EAS, so dass intern auf Basis von ReliaVision Zuverlässigkeitsuntersuchungen durchgeführt werden.

In Sachen Technologieunterstützung ist ReliaVision auf eine große Flexibilität vorbereitet. Zuverlässigkeitsdaten sind in einer XML-Struktur abgelegt, so dass zusätzliche Transistoren, andere Gleichungen und Parametersätze sowie weitere Technologieanbieter prinzipiell unterstützt werden können, so dass eine breitere Anwendung vorbereitet ist. Die erforderlichen Anpassungen an neue Technologien müssen individuell evaluiert werden, und sie können in bilateraler Zusammenarbeit mit der Industrie erfolgen. Erweiterungen um zusätzliche Gleichungen oder Effekte werden vermutlich eher Gegenstand nachfolgender

Forschungsaktivitäten. Zum möglichen Einsatz von ReliaVision ist das Fraunhofer IIS/EAS mit unterschiedlichen Design-Firmen im Austausch.

Beim Projektpartner X-FAB ist es vorstellbar, ReliaVision auf seine Kunden auszurollen, wenn die interne Evaluierung, die zum Zeitpunkt der Berichterstellung noch nicht abgeschlossen ist, erfolgreich sein wird. Für das Fraunhofer IIS/EAS ist damit ein Lizenzmodell sowie die Einbeziehung bisher nicht bekannter Partner möglich.

5 Veröffentlichungen

5.1 Konferenzbeiträge mit Paper

- L. Hahne et al.: „ReliaVision: In-circuit transistor reliability investigation using XML-based technology reliability information in PDKs“, IEEE International Integrated Reliability Workshop (IIRW), 2021
DOI: <https://doi.org/10.1109/IIRW53245.2021.9635606>
- F.A. Velarde Gonzalez et al.: „Supporting analog design for reliability by efficient provision of reliability information to designers“, 26th International Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS), 2023
DOI: <https://doi.org/10.1109/DDECS57882.2023.10139428>
- [eingereicht] K. Ortstein et al.: „Simulation-based reliability assessment of an LDO with ReliaVision“, eingereicht für das IEEE International Reliability Physics Symposium (IRPS), 2024

5.2 Präsentationen zu Workshops ohne Paper

- S. Crocoll und A. Lange: „Design for Reliability From a Foundry’s Perspective“, EuWoRel, 14. Oktober 2021
- S. Crocoll und A. Lange: „Design for Reliability – Methods and Applications“, EuWoRel, 9. September 2022
- A. Lange und S. Crocoll: „Achieving IC reliability targets by incorporating WLR results“, Fachtagung der VDE-ITG-Arbeitsgruppe MN 5.6 fWLR / Wafer Level Reliability, Reliability Simulation & Qualification, 5.-7. Juni 2023
- S. Crocoll und A. Lange: „Application specific lifetime prediction using two iRel40 reliability checker tools“, EuWoRel, 24. Oktober 2023

5.3 Beitrag zum iRel40-Newsletter M24

- „Efficient reliability assessment in IC design projects“

5.4 Webinar, veranstaltet vom Fraunhofer IIS/EAS

- A. Lange: „How Design for Reliability methods support the development of long-living ICs“, Webinar, 24. Mai 2023

5.5 Buchkapitel

- [in Vorbereitung] S. Crocoll und A. Lange: „Design support for reliable integrated circuits“, in W.D. van Driel, K. Pressel, M. Surtuk (Hrsg.): „Recent advances in the reliability assessment of electronic devices – Outcome of the EU funded iRel40 project“, zu veröffentlichen im Springer-Verlag, 2024