Fehlerdiagnose für Analog-Digital- und Digital-Analog-Wandler in einer Loop-Back-Struktur

Matthias Gulbins, Wolfgang Vermeiren
matthias.gulbins@eas.iis.fraunhofer.de, wolfgang.vermeiren@eas.iis.fraunhofer.de
Fraunhofer-Institut für Integrierte Schaltungen IIS, Institutsteil Entwurfsautomatisierung EAS

Stefan Redlich
stefan.redlich@infineon.com
Infineon Technologies AG

Kurzfassung

Im Artikel wird die Diagnose von Fehlern in Analog-Digital- und Digital-Analog-Wandlern in einer Loop-Back-Struktur beschrieben. Ausgehend von den Fehlern und deren Diagnose in den Komponenten wird gezeigt, dass auch in der Loop-Back-Struktur eine Diagnose mit hoher Diagnoseauflösung auf der Basis digitaler Werte möglich ist.

1 Einleitung

Analog-Digital-Wandler (ADC) und Digital-Analog-Wandler (DAC) sind typische Mixed-Signal-Komponenten von Systems on Chip (SoC). Sowohl Fertigungstest als auch On-Chip-Test und Fehlerdiagnose dieser Komponenten gestalten sich sehr aufwendig. Zum Test von ADCs werden als Eingangsstimuli analoge Testsignale bekannter Güte benötigt. Bei der Auswertung der digitalen Ausgangssignale muss man die anfallende Datenmenge beherrschen. Umgekehrt sind digitale Eingangsstimuli für den Test von DACs meist einfach zu erzeugen, während zur Bewertung der analogen Ausgangssignale Messinstrumente entsprechender Güte gebraucht werden.

Da bei On-Chip-Tests keine externen analogen Signalquellen zur Verfügung stehen, müssen analoge Stimuli auf dem Baustein erzeugt werden und ebenso analoge Ausgangssignale gemessen bzw. bewertet werden. Ein bekannter Ansatz ist der Loop-Back-Test. Hierbei wird der analoge Ausgang des DACs mit dem analogen Eingang des ADCs verbunden. Für den Test stehen der digitale Eingang des DACs und der digitale Ausgang des ADCs zur Verfügung. Die Stimuli sind ebenso digital wie die Ausgangsdaten. Durch geeignete digitale Stimuli und Methoden der Auswertung der Ausgangsdaten können Parameter des Systems DAC-ADC bestimmt und diese Parameter weitgehend den Komponenten zugeordnet werden. Problematisch beim Loop-Back-Test ist, dass Fehler oder Abweichungen in einer Komponente durch die jeweils andere Komponente verstärkt, abgeschwächt oder sogar maskiert werden können.

Viele Veröffentlichungen beschäftigen sich mit dem Test von ADCs und DACs in einer Loop-Back-Struktur. Der Fokus liegt dabei auf dem Bestimmen wesentlicher Parameter dieser Komponenten, um deren Verhalten gemäß Spezifikation zu zeigen. Integrale und differentielle Nichtlinearität (INL und DNL) sind wichtige statische Kennwerte. Die Autoren vom [1] zeigen, dass mit der von ihnen entwickelten Stimulus-Identifikations-Methode diese Kennwerte für DACs und ADCs unabhängig voneinander ermittelt werden können. Die Autoren von [2] beziehen sich auf ΔΣ-Wandler und berechnen demzufolge die hier verwendete dynamische Kenngröße Signal-Rausch-Verhältnis (SNR). Dazu benutzen sie SoC-interne Testpunkte.

In Erweiterung der aus der Literatur bekannten Verfahren liegt der Schwerpunkt des hier vorgestellten Verfahrens auf der Fehlerdiagnose. Diese soll zudem on Chip erfolgen, um ein Wegdriften von Kennwerten und Schaltungsparametern auch im Betrieb erfassen zu können.

Methodisch werden für die Fehlerdiagnose von ADCs und DACs in einer Loop-Back-Struktur zunächst ADC und DAC separat betrachtet und die Auswirkungen der Fehler auf ihre Kennlinien untersucht. Nur wenn die Fehler im Einzeltest lokalisiert werden können, ist eine Fehlerdiagnose in einer Loop-Back-Struktur möglich. Im nächsten Schritt wird gezeigt, dass die Fehler jedes Wandlers bei Fehlerfreiheit des anderen Wandlers in der Loop-Back-Struktur diagnostiziert werden können. Schließlich muss noch geprüft werden, ob es Fehler in ADCs und DACs gibt, die ein gleiches Erscheinungsbild am Ausgang der Loop-Back-Struktur haben.

Der Beitrag ist folgendermaßen strukturiert: Zunächst werden die Besonderheiten des Tests von DACs und ADCs in einer Loop-Back-Struktur dargestellt. Den Analog-Digital-Wandlern, ihren Fehlern und deren Diagnose widmet sich Abschnitt 3. Danach werden Digital-Analog-Wandler untersucht. Im Abschnitt 5 werden die Ergebnisse der Fehlerdiagnose beider Wandler in der Loop-Back-Struktur vorgestellt. Zusammenfassung und Ausblick beschließen den Beitrag.

2 Test von DACs und ADCs in einer Loop-Back-Struktur

Wie in der Einleitung erläutert, erfordert der Loop-Back-Test, die Ausgangssignale des DACs zu messen und damit den ADC zu stimulieren. Zum Messen der Ausgangssignale des DACs braucht man einen ADC mit deutlich höherer Auflösung als der des DACs. Umgekehrt kann der ADC mit einem DAC höherer Auflösung stimuliert werden. Hat man mehrere Wandler auf dem Chip, sind solche Kombinationen möglich und sinnvoll. Die Wandler mit der höchsten Auflösung können so allerdings nicht getestet werden. Ein Ansatz für Wandler gleich großer Auflösung wird nachfolgend dargestellt. Die Untersuchungen beschränken sich dabei auf den statischen Test der beiden Wandler. Für diesen Test wird am ADC-Eingang eine Rampe benötigt und durch geeignetes Hochzählen am digitalen Eingang das DACs realisiert. Werden nun DAC und ADC zusammengeschaltet, so können nur Fehler im DAC bestimmt werden, die größer als das Auflösungsraster des ADCs sind. Umgekehrt wird der ADC nur durch die Werte stimuliert, die der DAC erzeugen kann. Damit können nur Fehler diagnostiziert werden, die mit diesem groben Raster erkennbar sind. Das sind vor allem Stuck-at-Fehler der Digitalteile sowie Kurzschlüsse und Unterbrechungen in den Analogteilen.

Für genauere Messungen und Stimuli müssen aus den gestuften Ausgangssignalen des DACs Zwischenwerte erzeugt werden. Dafür ist ein Tiefpass geeignet, der zwischen DAC und ADC geschaltet wird. Dieser wird in der hier betrachteten einfachsten Form als RC-Glied realisiert. In den meisten Fällen besitzt ein DAC ohnehin ausgangsseitig einen Tiefpass. Dieser wird dann in die Berechnungen einbezogen. Der DAC wird so stimuliert, dass im fehlerfreien Fall am ADC-Eingang eine Rampe entsteht, deren Samples möglichst äquidistant sind.

3 Analog-Digital-Wandler

Ein Analog-Digital-Wandler wandelt ein zeitkontinuierliches analoges Eingangssignal in zeitdiskrete digitale Daten um. Für die Umsetzung gibt es unterschiedliche Methoden. Die folgenden Betrachtungen beziehen sich beispielhaft auf einen Flash-Wandler, vgl. Abbildung 1. Flash-Wandler sind einfach aufgebaut und arbeiten parallel. Das ermöglicht kurze Wandlungszeiten und damit hohe Umwandlungsraten. Allerdings steigt der Hardware-Aufwand exponentiell mit der Auflösung an, weshalb sie für höhere Auflösungen nicht geeignet sind.

Fehler im ADC können im Analogteil oder im Digitalteil auftreten. Generell wird hier das Einzelfehlermodell zugrunde gelegt. Fehler im Analogteil sind zunächst Fehler der Widerstandskette. Bei Annahme des Einzelfehlermodells weicht immer nur ein Widerstand von seinem Nominalwert ab. Diese Abweichung kann bis hin zu Kurzschluss (sehr kleiner Widerstandswert) oder Unterbrechung (sehr großer Widerstandswert) gehen. Alle anderen Widerstände liegen innerhalb der festgelegten Toleranzgrenzen. In [3] wird gezeigt, dass Fehler in der Widerstandskette von Flash-ADCs gut lokalisiert werden können. Dabei kann auch der fehlerhafte Widerstandswert identifiziert werden. Obwohl die Komparatoren zum Analogteil gehören, wirken ihre Fehler an ihren Ausgängen entweder gar nicht oder als Stuck-at-Fehler, da von der nachfolgenden Kombinatorik nur Boolesche Werte propagiert werden können. Damit werden sie gemeinsam mit den originär digitalen Fehlern des Decoders als digitale Fehler behandelt.

Diese Arbeit entstand im Rahmen des BMBF-Verbundprojektes DIANA (FKZ: 01 M 3188 B).

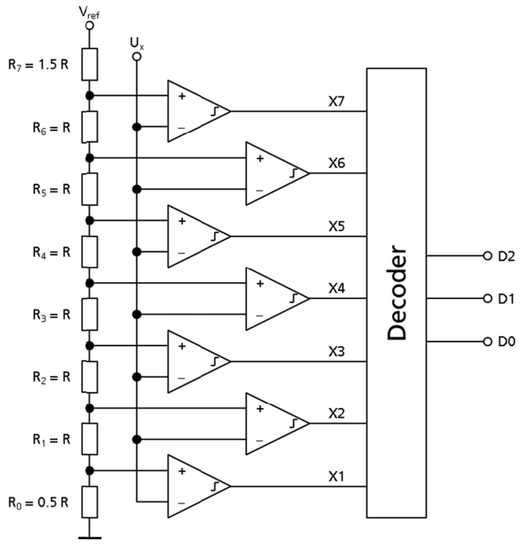

Abbildung 1: 3-Bit-Flash-Analog-Digital-Wandler

4 Digital-Analog-Wandler

Ein Digital-Analog-Wandler erzeugt aus einer Folge digitaler Signale zunächst eine Folge analoger Signale. Mit Hilfe eines Filters an seinem Ausgang entsteht ein kontinuierliches analoges Signal. Für die folgenden Untersuchungen wurde eine R2R-Struktur verwendet, vgl. Abbildung 2. Diese Struktur besteht aus einer Widerstandskette zwischen der Referenzspannung U_{ref} und dem Knoten mit Bezugspotential (Masse); in Abbildung 2 aus R_{s2}, R_{s1} und R_u. Zwischen den Abgriffspunkten der Widerstandskette und den Schaltern für die Digitalpositionen (Bits), die zwischen Masse und Eingang des Operationsverstärkers umschalten, liegen weitere Widerstände, die man als den Bits zugeordnet betrachten kann; R_0, R_1 und R_2 in Abbildung 2. Die Schaltung ist so konstruiert, dass der zwischen U_{ref} und Masse bzw. virtueller Masse am invertierenden Operationsverstärker-Eingang fließende Strom sich an jedem Abgriffspunkt der Widerstandskette in zwei gleich große Teilströme aufteilt. Das bedeutet, dass der Einfluss der Widerstände auf den DAC-Ausgang mit der Entfernung von U_{ref} abnimmt. Damit beeinflusst die Abweichung eines Widerstandes die hinter ihm liegenden niederwertigen Bits, während der Einfluss in Richtung höherwertiger Bits eher gering ist. Insgesamt bewirken die Änderungen jedes Widerstandes ein individuelles Muster von Änderungen der Kennlinie, so dass die einzelnen Fehler diagnostizierbar sind.

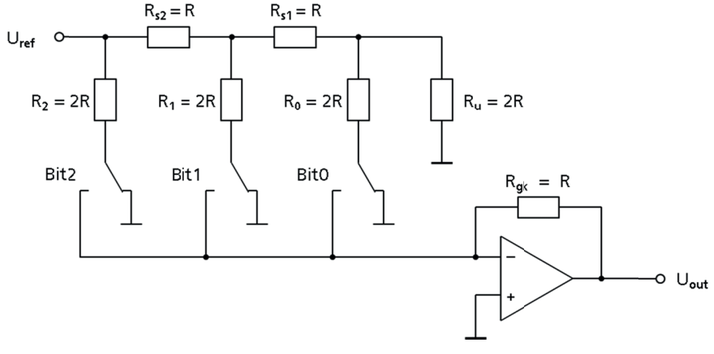

Abbildung 2: 3-Bit-R2R-Digital-Analog-Wandler

5 Ergebnisse des Loop-Back-Tests

Innerhalb einer Loop-Back-Struktur unterscheiden sich ADC und DAC in ihrer Fehlerauswirkung deutlich voneinander. Da der Ausgang des ADCs auch Ausgang der Loop-Back-Struktur ist, übertragen sich die Änderungen der Kennlinie des ADCs in gleicher Weise auf den Ausgang wie bei seiner separaten Betrachtung. Anders beim DAC: Veränderungen der Kennlinie schlagen sich im Ausgabewert (Pegel) nieder. Der ADC der Loop-Back-Struktur kann das nur in zeitliche Veränderungen umsetzen. Ein höherer DAC-Pegel bewirkt beispielsweise ein schnelleres Erreichen des entsprechenden ADC-Pegels, Veränderungen in Ordinatenrichtung werden also in Änderungen in Abszissenrichtung abgebildet. Zudem bewirkt der Tiefpass zwischen DAC und ADC, dass Veränderungen der Kennlinie verzögert weitergegeben werden. Diese Eigenschaften machen die Fehler an ADC und DAC in einer Loop-Back-Struktur unterscheidbar. Gleiche Änderungen am Ausgang der Loop-Back-Struktur können dann höchstens bei Veränderungen entstehen, die sich nur auf die letzten Stufen der Kennlinien auswirken.

Modellierung und Simulationen der Loop-Back-Struktur erfolgten in einer MATLAB-Umgebung. Dabei wurden Ergebnisse von Netzwerk-Simulationen auf elektrischer Ebene berücksichtigt. Beim 3-Bit-Flash-ADC wurden alle Stuck-at-Fehler an den Komparator- und Decoder-Ausgängen untersucht. Als Heuristik für die parametrischen Fehler der Widerstandskette wurden die Faktoren 0.01, 0.2, 0.5, 1.3, 1.7, 5 und 100 der Werte der fehlerfreien Widerstände angenommen. Diese Faktoren wurden auch für die parametrischen Fehler der R2R-Widerstände des DACs verwendet.

In den folgenden Abbildungen 3-5 werden exemplarisch die Simulationsergebnisse in Form von Screenshots dargestellt. Dabei wird die fehlerhafte Kennlinie von ADC bzw. DAC in der obersten Diagramm-Zeile den digitalen Ausgangssignalen der Loop-Back-Struktur gegenübergestellt. Für den Tiefpass der Loop-Back-Struktur wurden zwei unterschiedliche Zeitkonstanten τ gewählt: Eine große, die nahezu äquidistante Samples am ADC-Eingang bewirkt, und eine um den Faktor 10 kleinere. Die Ergebnisse mit der kleinen Zeitkonstante befinden sich in der zweiten, die mit der großen in der dritten Diagramm-Zeile. In den Diagrammen ist der fehlerfreie Fall als gestrichelte Linie dargestellt im Vergleich zur durchgezogenen Linie im Fehlerfall.

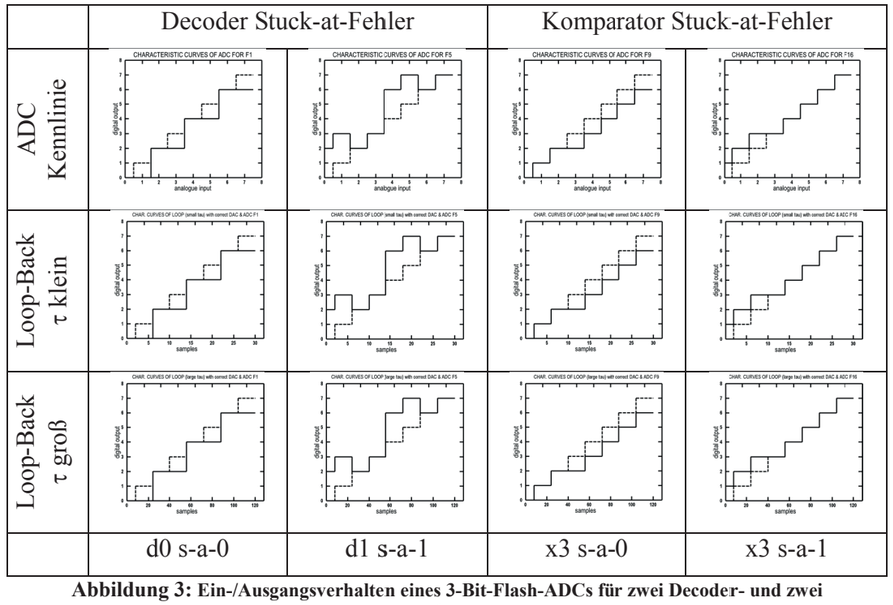

Abbildung 3: Ein-/Ausgangsverhalten eines 3-Bit-Flash-ADCs für zwei Decoder- und zwei Komparator-Stuck-at-Fehler.

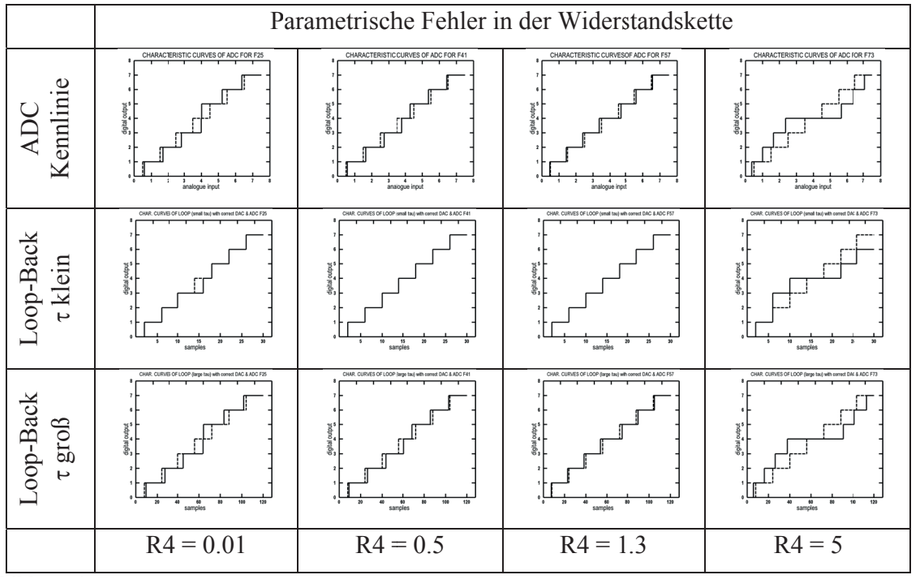

Abbildung 4: Ein-/Ausgangsverhalten eines 3-Bit-Flash-ADCs für vier parametrische Fehler in der Widerstandskette.

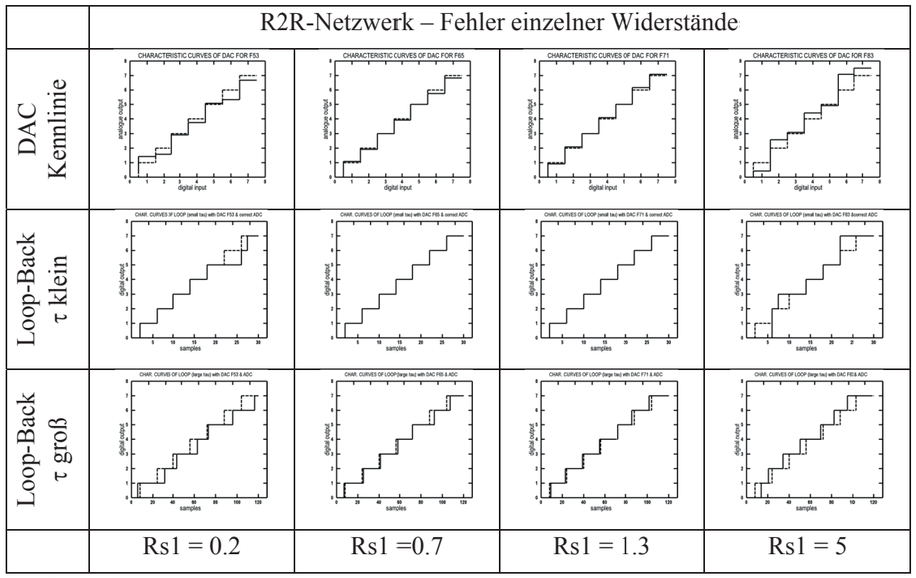

Abbildung 5: Ein-/Ausgangsverhalten eines R2R-DACs für vier parametrische Fehler einzelner Widerstände.

6 Fehlerdiagnose

Auf den Weg zu einer Fehlerdiagnose sind Fehlerbilder in Form von Kennlinien ein wichtiges Hilfsmittel. Für die Fehlerdiagnose selbst sind die Kennlinien zu speicherplatzintensiv. Deshalb werden geeignete Kennwerte ausgewählt und zu Fehlersignaturen zusammengefasst. Jeder Fehler wird so durch eine Fehlersignatur charakterisiert.

Bei den vorgestellten Arbeiten wurden zunächst die statischen Kenngrößen Gain Error, Offset Error, DNL, INL und TUE (Total Unadjusted Error) sowie fehlende Codes betrachtet. Basierend auf diesen Kennwerten wird ein Abstandsmaß zwischen zwei Fehlersignaturen definiert. Dieses Abstandsmaß drückt aus, wie gut zwei Fehler voneinander unterscheidbar sind.

Die Abstandsmaße sind Grundlage der Bewertung der Diagnoseauflösung, d. h., sie setzen die Fehler zueinander in Beziehung. Fehler, deren Abstand sehr klein ist, sind bezogen auf das Abstandsmaß äquivalent. Bei ihnen muss geprüft werden, ob sie tatsächlich äquivalent sind oder ob sie mit veränderter Fehlersignatur unterscheidbar werden. Die Fehlersignaturen können auch dahingehend qualifiziert werden, dass solche Kennwerte ein höheres Gewicht bekommen, die zu einer größeren Differenzierung der Fehler führen, während andere Kennwerte ein geringeres Gewicht erhalten oder ganz aus der Fehlersignatur entfernt werden. Schließlich werden die aussagekräftigsten Kennwerte als Fehlersignatur zusammengefasst. Diese Bewertung richtet sich also gleichermaßen auf Fehler und Kennwerte. Neben dem Nachweis der Diagnostizierbarkeit der Fehler erfolgt also auch eine Optimierung der Fehlerdiagnose.

Die nachfolgende Tabelle zeigt die Fehlerstatistik der untersuchten Loop-Back-Struktur. Dabei wird um jeden der 162 betrachteten Fehler ein Kreis mit einem bestimmten Fehlerradius gezogen und die Fehler innerhalb bzw. außerhalb dieses Kreises gezählt.

Tabelle 1: Fehlerstatistik der untersuchten Loop-Back-Struktur aus 3-Bit-R2R-DAC und 3-Bit-Flash-ADC

Fehlerradius	Fehler innerhalb des Radius		Fehler außerhalb des Radius	
	Anzahl	in Prozent	Anzahl	in Prozent
0.00	7	4.32	155	95.68
0.02	7	4.32	155	95.68
0.04	11	6.79	151	93.21
0.06	15	9.26	147	90.74
0.08	32	19.75	130	80.25
0.10	43	26.54	119	73.46

Im konkreten Beispiel sind sieben Fehler äquivalent, d. h., nicht von einem anderen Fehler unterscheidbar. Umgekehrt gibt es 155 Fehler, von denen jeder einen Abstand von mindestens 0.02 zu einem beliebigen anderen Fehler hat, 119 Fehler haben einen Mindestabstand von 0.1. Als Abstandsmaß von zwei Fehlern wurde die größte Absolutdifferenz zweier Kennwerte ihrer Fehlersignaturen gewählt.

7 Zusammenfassung und Ausblick

Fehlerdiagnose und Simulation wurden zunächst für aus der Literatur bekannte 3-Bit-Versionen von Flash-ADC und R2R-DAC durchgeführt. Die Ergebnisse zeigen, dass die vorgestellte Vorgehensweise erfolgreich ist. Im Weiteren sollen diese Untersuchungen sowohl auf Wandler höherer Auflösung und anderer Funktionsprinzipien als auch auf dynamische Kennwerte ausgedehnt werden.

Literatur

[1] Korhonen, E.; Kostamovaara, J., „A loopback-based INL test method for D/A and A/D converters employing a stimulus identification technique“, Design, Automation & Test in Europe Conference & Exhibition 2009, pp. 1650–1655

[2] Yu, H.-S.; Abraham, J. A.; Hwang, S.; Roh, J., „Efficient loop-back testing of on-chip ADCs and DACs“, 2003. Asia and South Pacific Design Automation Conference 2003, pp. 651–656

[3] Charoenrook, A.; Soma, M., „Fault diagnosis of flash ADC using DNL test“, International Test Conference 1993, pp. 680–689