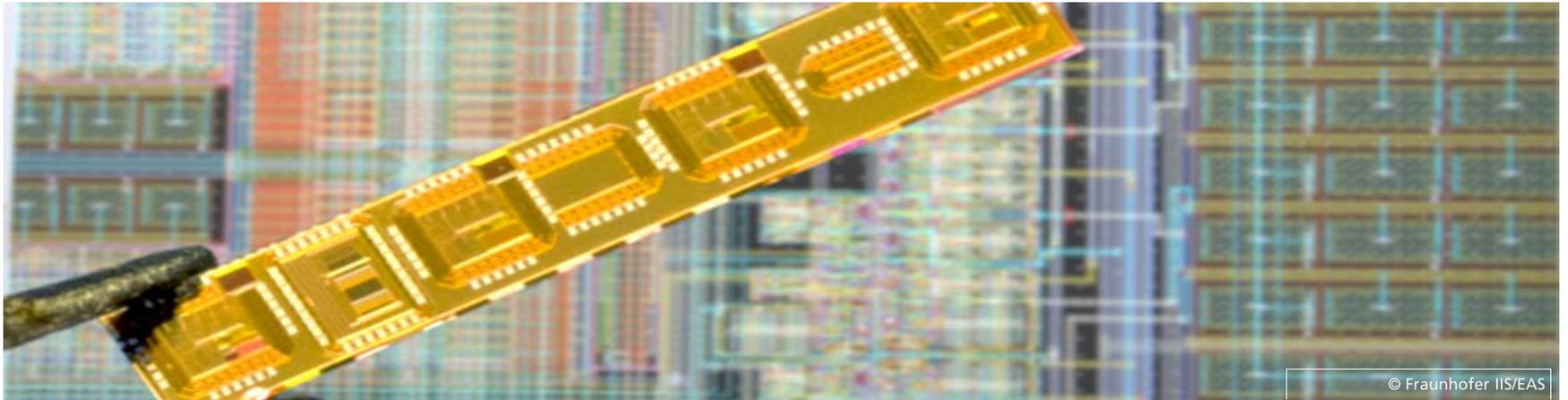

INTELLIGENT IP EFFIZIENTE ASIC PROJEKTE FÜR JEDERMANN

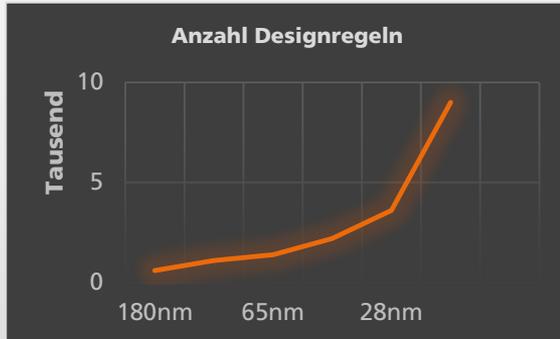
Science Match, 26.01.2017



Dr. Torsten Reich
Gruppenleiter Integrierte Sensorelektronik

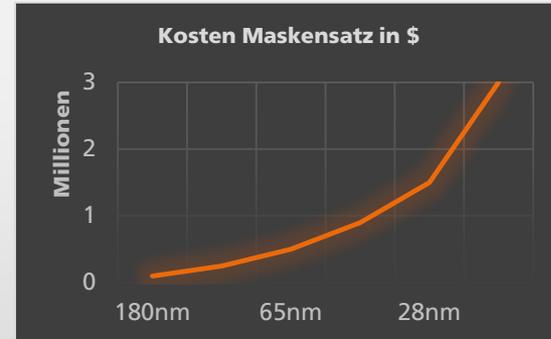
Problem: Einstiegsbarriere für IC-Entwicklungen

Problem 1: Entwicklung von IC & ASICs



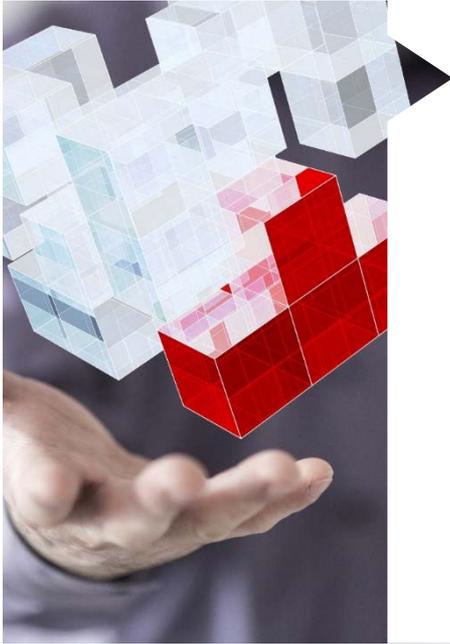
- Analogdesign komplex & manuell
- Hohe Entwicklungszeit & -kosten
- Hohe Fehleranfälligkeit

Problem 2: Fertigung von ASICs



- Hohe Kosten für Fertigungsmasken
- Unbezahlbar für moderne Technologien

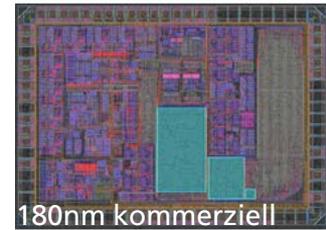
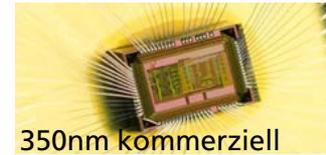
Konsequenzen für den Markt



- Fehlende Integration innovativer Produkte in ASICs bei KMUs (trotz technischem Nutzen)
- Enorme Hürde zum Technologiesprung für bestehende ASIC-Produkte
- Zurückhaltung großer Unternehmen in Entwicklungen moderner Halbleiter-technologien

Unsere Lösung: Intelligent IP

- Einzigartige Entwurfstechnologie für Analog & Mixed-Signal-ICs
 - Stark automatisierter Entwurf
 - Unabhängigkeit von Halbleitertechnologie
 - Flexibilität für komplexe Schaltungsblöcke
 - Standardisiert
- Einsatz in zahlreichen IC-Designprojekten in Halbleitertechnologien 350nm – 22nm



Ihr Nutzen durch Intelligent IP in ASIC-Entwicklungen

- Um Faktor **10+** geringere Entwicklungskosten & -zeit
- Geringere Fertigungskosten durch hohe Designsicherheit
- Schneller, günstiger Technologiesprung (z.B. 40nm → 22nm, Fab A → Fab B)

- Intelligent IP + unsere Kompetenz IC-Entwurf + unser Prototypenservice
→ Schnelle und kostengünstige Integrationsmöglichkeit innovativer Produkte für KMUs

- Verringerung der Barriere für Einstieg in IC-Entwicklungen (180 – 22nm)

MÖCHTEN SIE MEHR ERFAHREN? IHR ANSPRECHPARTNER



Dr. Torsten Reich

Gruppenleiter
Integrierte Sensorelektronik

✉ Torsten.Reich@eas.iis.fraunhofer.de

☎ +49 351 4640-761

Fraunhofer-Institut für Integrierte Schaltungen IIS
Institutsteil Entwicklung Adaptiver Systeme EAS
Zeunerstraße 38
01069 Dresden

www.eas.iis.fraunhofer.de

