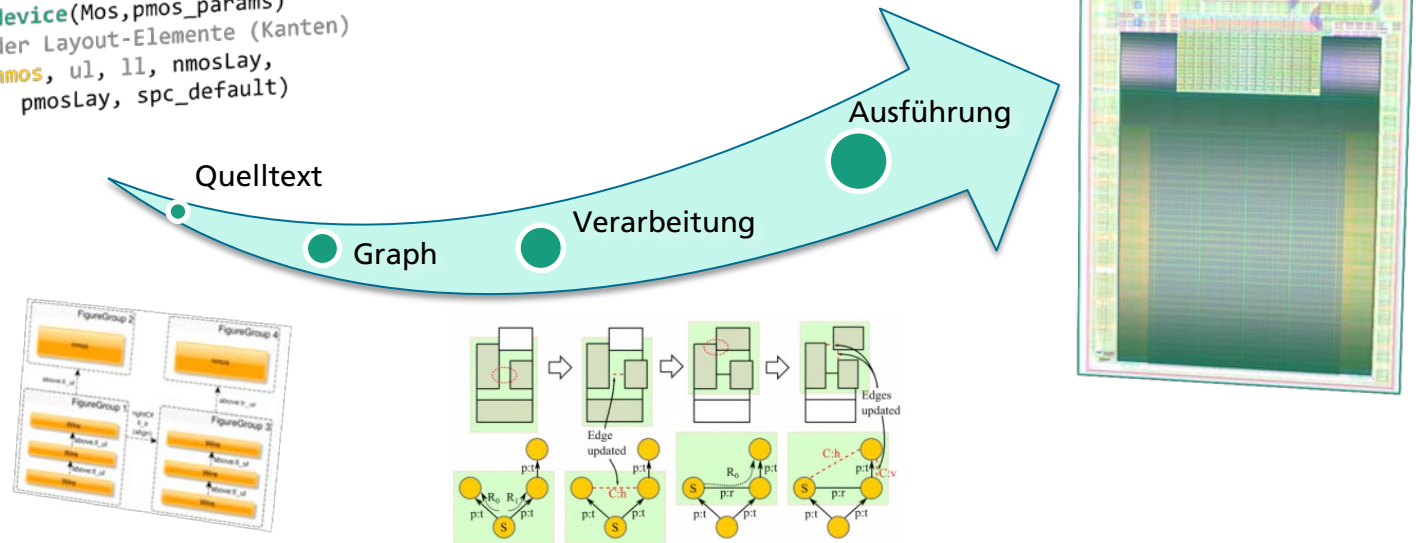


NACHNUTZBARE ANALOGSCHALTUNGEN

Bausteine für die zukünftige Analoogsynthese?

```
1: // Definition der Layout-Elemente (Knoten)
2: nmos= generate_device(Mos,nmos_params)
3: pmos= generate_device(Mos,pmos_params)
4: // Platzierung der Layout-Elemente (Kanten)
5: pmos.plc_above(nmos, u1, l1, nmosLayer,
    pmosLayer, spc_default)
```



Fraunhofer IIS, Institut für Integrierte Schaltungen



Entwurf Adaptiver Systeme EAS

Gegründet	1992
Mitarbeiter	ca. 90
Budget	ca. 8,5 Mio. €
Leitung	Dr. Peter Schneider

Dresden

Ilmenau

Coburg

Bamberg

Großer Kornberg

Würzburg

Erlangen

Fürth

Nürnberg

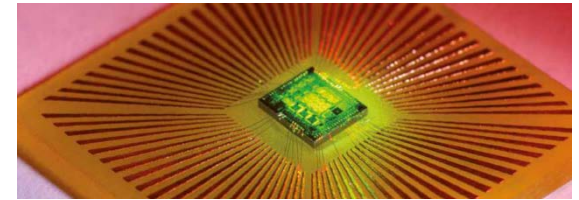
Deggendorf



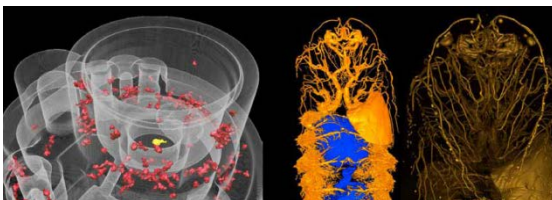
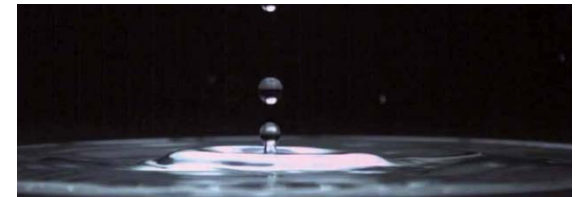
Fraunhofer IIS

Gegründet	1985
Mitarbeiter	ca. 830
Budget	ca. 100 Mio. € < 25 % Grundfinanzierung > 75 % Projekte
Leitung	Prof. Albert Heuberger

Fraunhofer IIS – Geschäftsfelder und Kompetenzen



- Audio und Multimedia
- Digitaler Rundfunk
- *Integrierte Schaltungen und Sensorsysteme*
- Lokalisierung und Navigation
- Eingebettete Kommunikationssysteme
- Bildverarbeitungssysteme
- Röntgen-Technologie
- Medizintechnik
- Logistik



GLIEDERUNG

- Motivation
- Analog vs. Digital
- Lösungsansätze
- Generator-Ansatz
 - Generatoren allgemein
 - Neuartige Generatoren
- Zukünftiger Analogentwurf
- Zusammenfassung

GLIEDERUNG

- Motivation
- Analog vs. Digital
- Lösungsansätze
- Generator-Ansatz
 - Generatoren allgemein
 - Neuartige Generatoren
- Zukünftiger Analogentwurf
- Zusammenfassung

Motivation: Integrierte Schaltungen sind “überall”

Große Treiber: Die vernetzte und “smarte” Welt



IoT is going to be huge

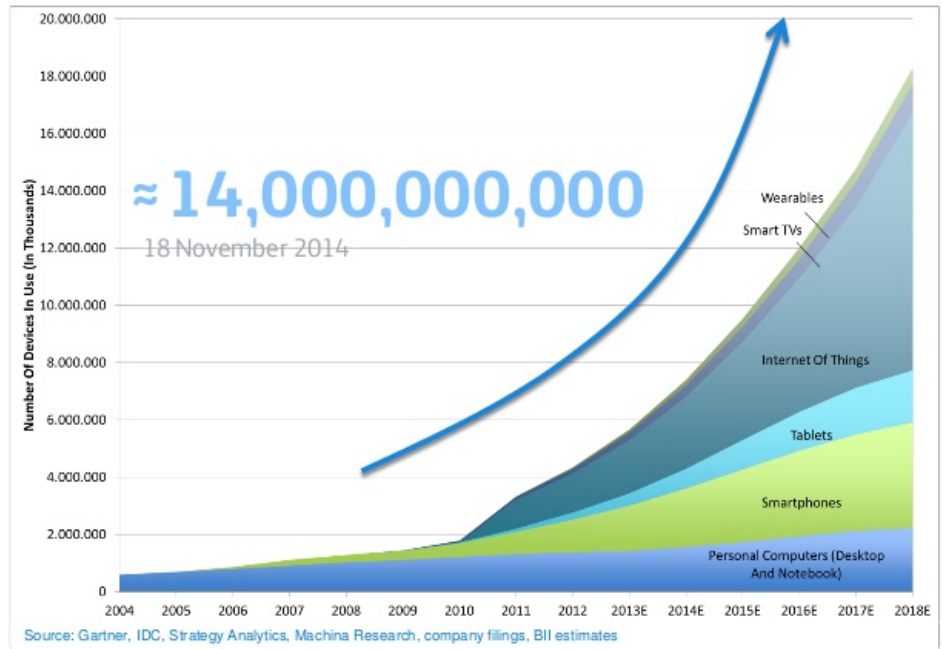
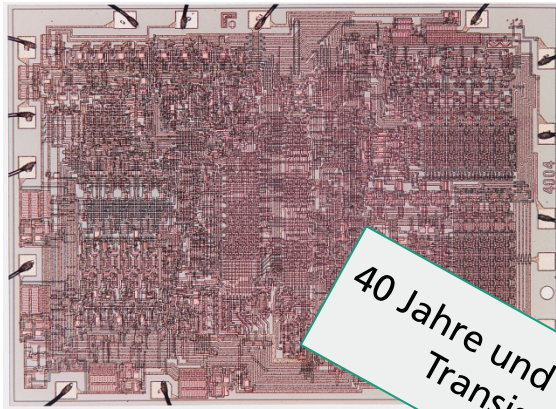


Bild-Quellen siehe Anhang

Motivation: Integrierte Schaltungen sind “überall”

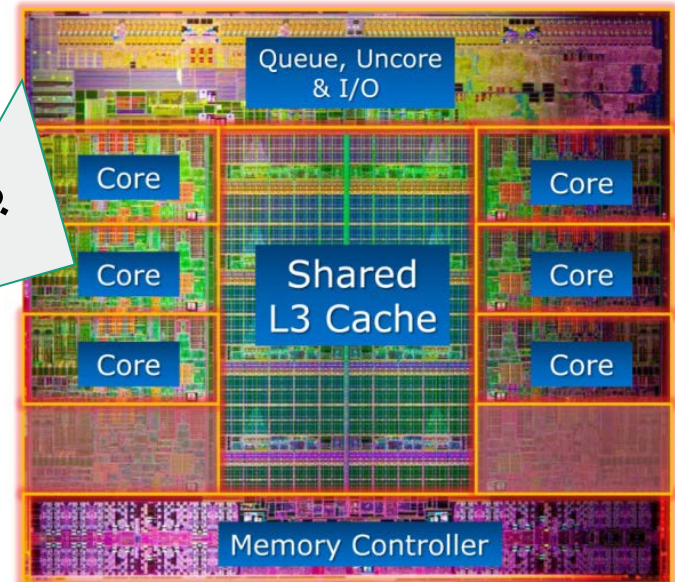
Möglich durch stetige Integration (Moore's Law)

■ 1971
(10 μm)



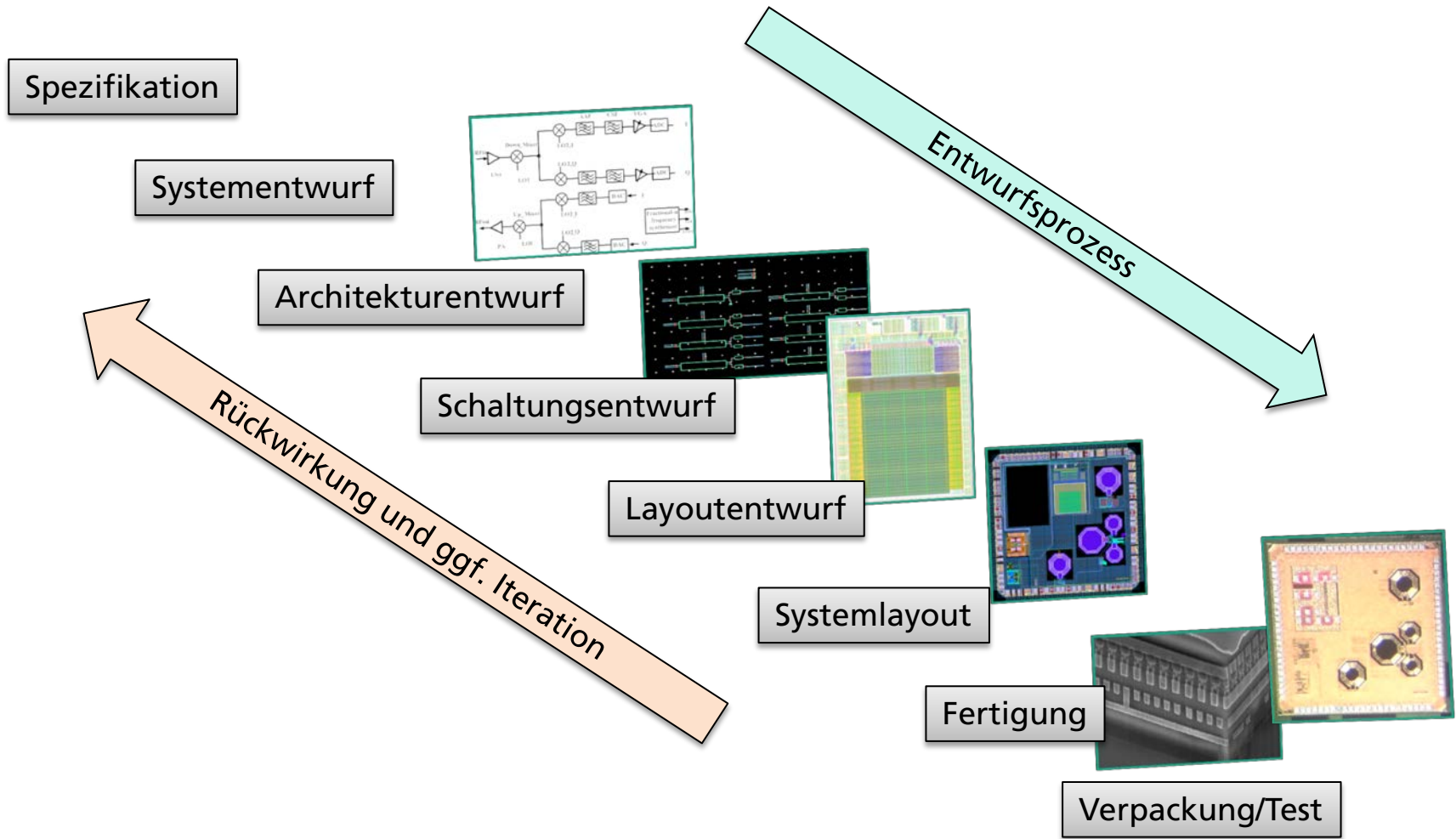
40 Jahre und **Faktor 1 Mio.**
Transistoren später

■ 2012 (32 nm)



Motivation: Integrierte Schaltungen sind “überall”

Entwurf integrierter Schaltungen



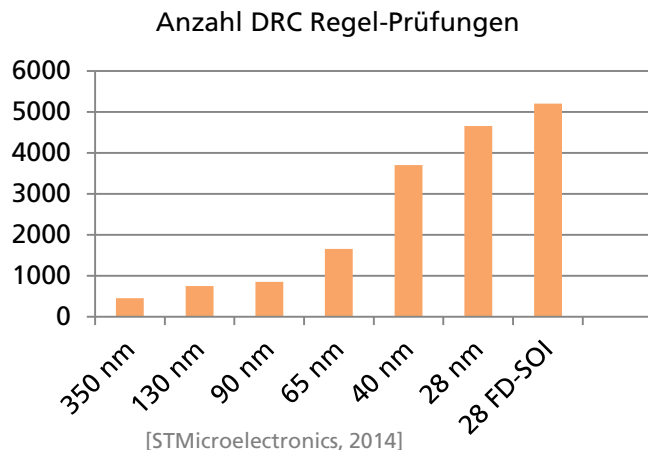
Quellen siehe Anhang

8

Motivation: Integrierte Schaltungen sind “überall”

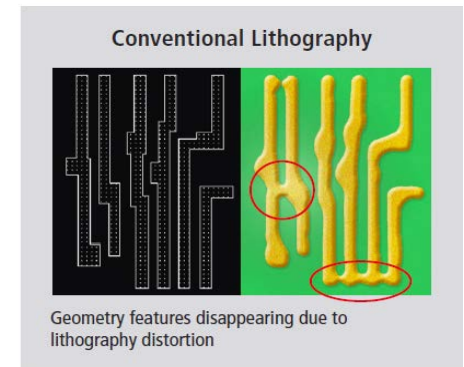
Viele Rückwirkungen in kleinen Technologien

- Entwurfsregeln
- Layoutabhängige Effekte LDE (entspricht aktiven Parasitäten)
- Variation, Stromdichten, Masken-Nachbearbeitung, Kosten, ...



Effekt	45 nm	32 nm	<= 28 nm
WPE	x	x	X
PSE		x	X
LOD	x	X	X
OSE		x	X
LPC		x	x
OD/PO Dichte		X	X

[Tom Beckley, Cadence, 2012]



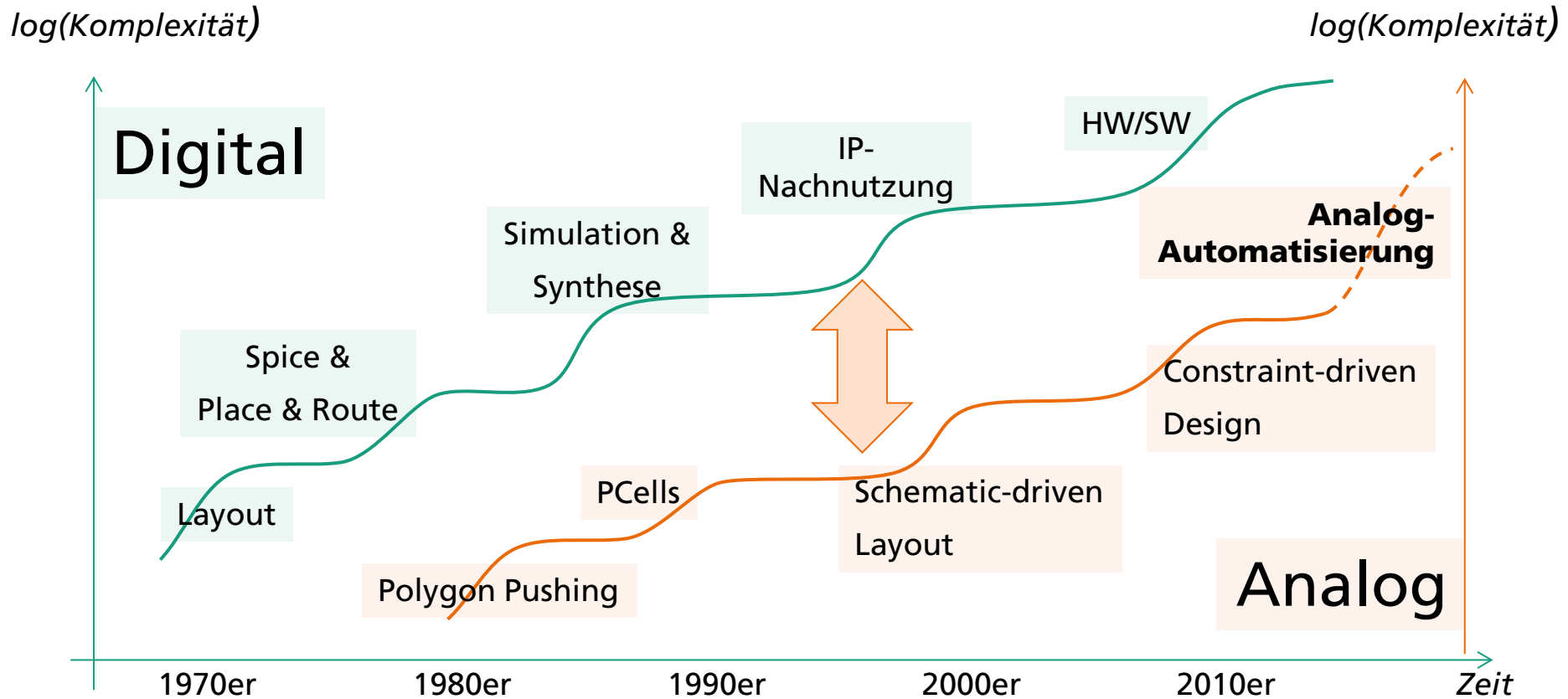
[Cadence, 2012]

Wie wird diese Komplexität gehandhabt?

Motivation: Integrierte Schaltungen sind “überall”

Herausforderung (analoge) Entwurfsautomatisierung

- Innovation der EDA (Electronic Design Automation)

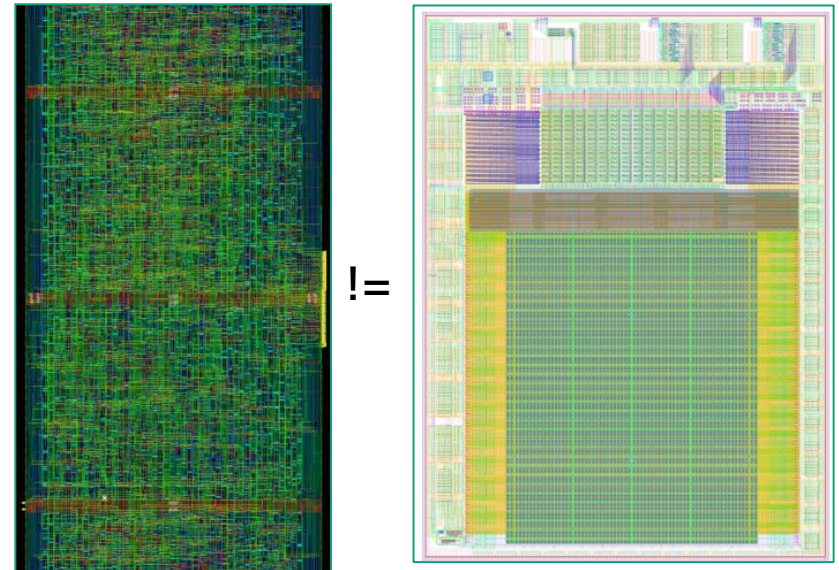


Quellen siehe Anhang

10

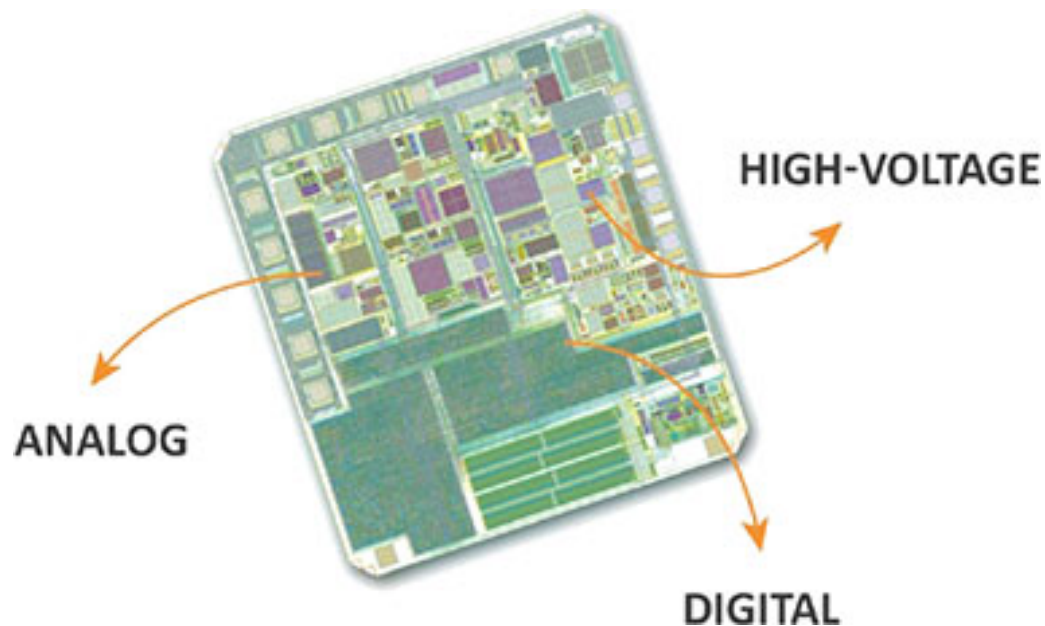
GLIEDERUNG

- Motivation
- Analog vs. Digital
- Lösungsansätze
- Generator-Ansatz
 - Generatoren allgemein
 - Neuartige Generatoren
- Zukünftiger Analogentwurf
- Zusammenfassung



Analog vs. Digital

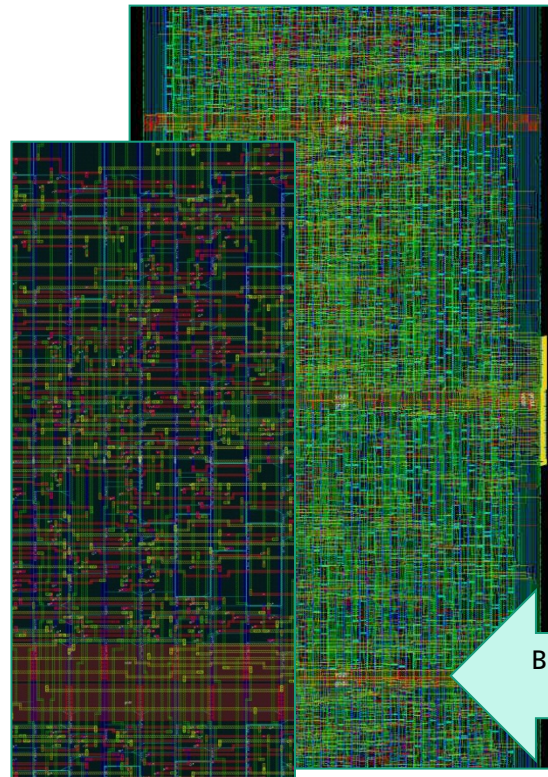
Analoge Schaltungen in integrierten Systemen (SoC)



Analog vs. Digital

Analog-Entwurf ist aufwendig und teuer

Digital: Layoutsynthese

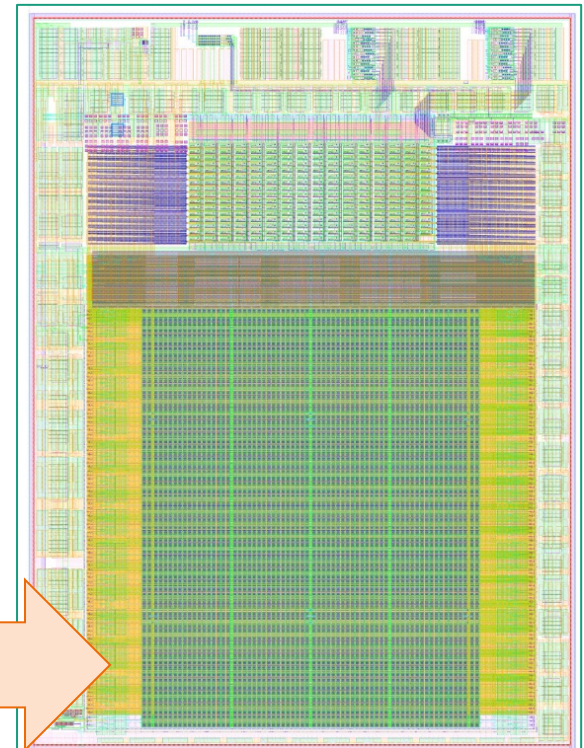


Entwurfszeit



Benötigt einige 10 Minuten

Analog: Manueller Entwurf



Benötigt Monate

Analog vs. Digital

Beispiel Digital: NAND-Gatter, CMOS

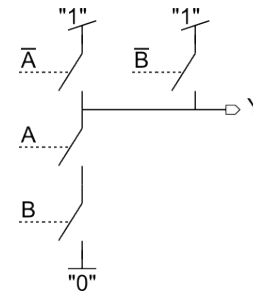


■ Boolesches Verhalten

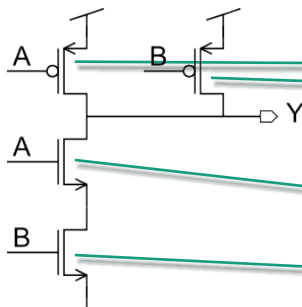
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

$$Y = \neg(A \wedge B)$$

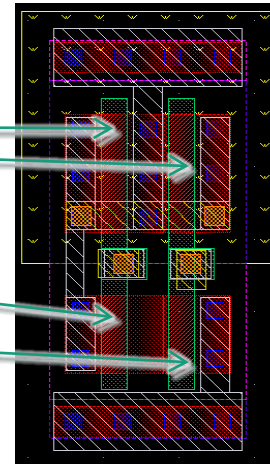
■ „Schalter“



■ Schaltplan



■ CMOS Layout (statische Standardzelle)



Analog vs. Digital

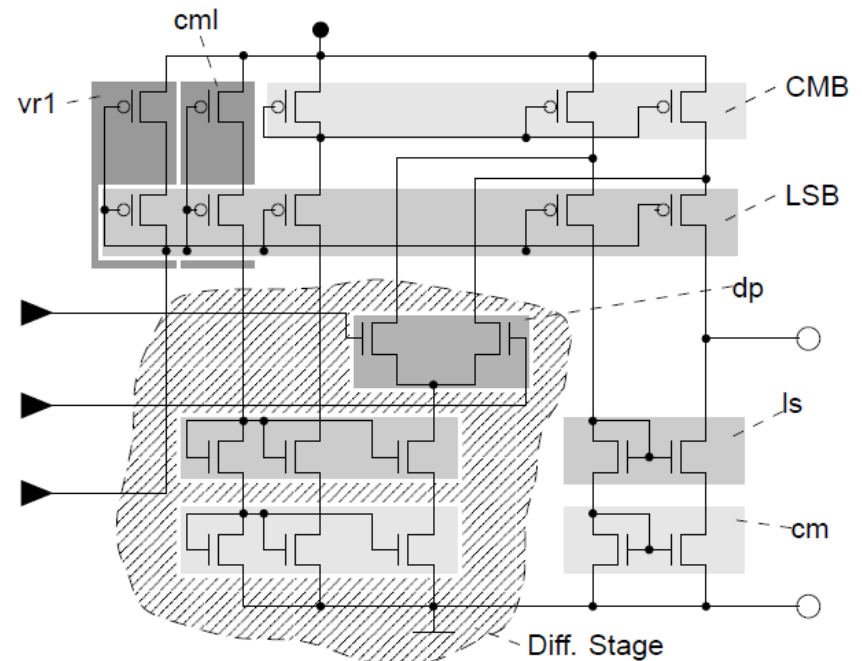
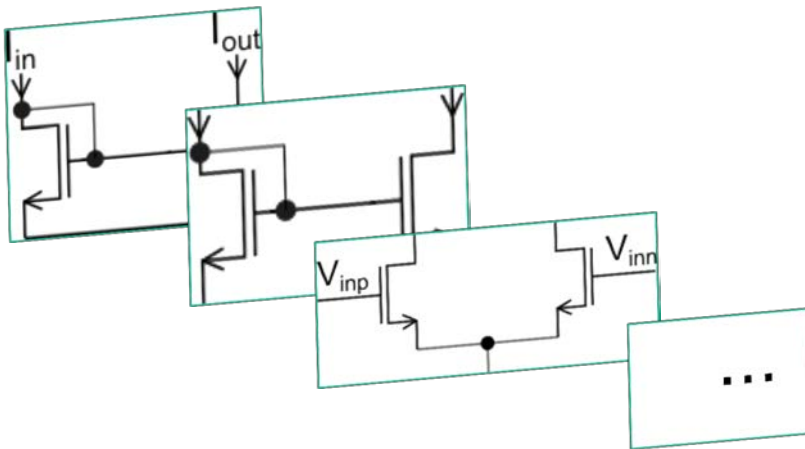
Beispiel Analog: Einfacher OPV

■ OPV-Topologie mit nur 22 Transistoren

Sehr hohe **Komplexität durch Abhängigkeiten**

- **31** Gleichungen
- **154** Ungleichungen

■ Zerlegung in Grundblöcke

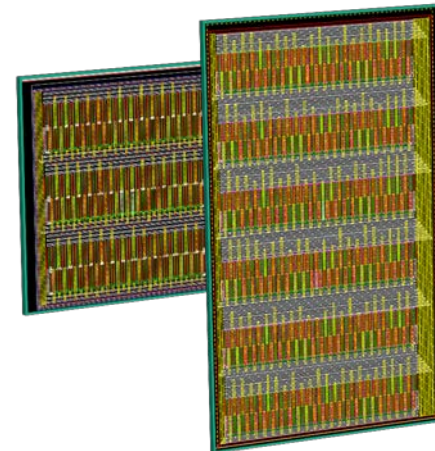
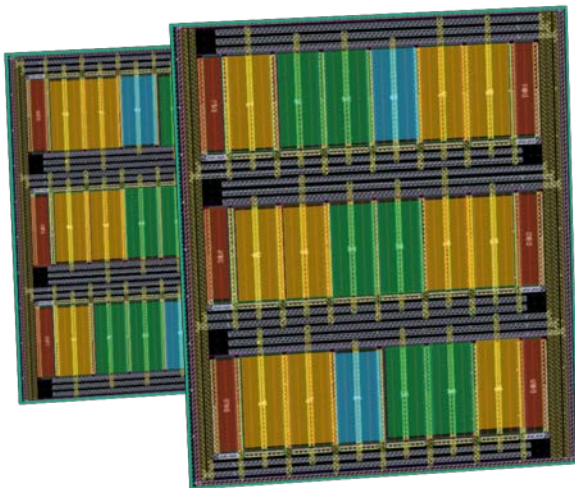
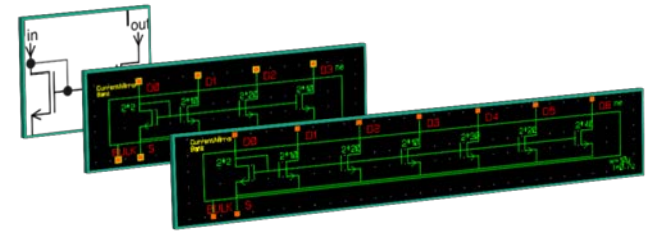


[H. Graeb, et. al., „The Sizing Rules Method ...“, 2001]

Analog vs. Digital

Komplexität analoger Grundblöcke

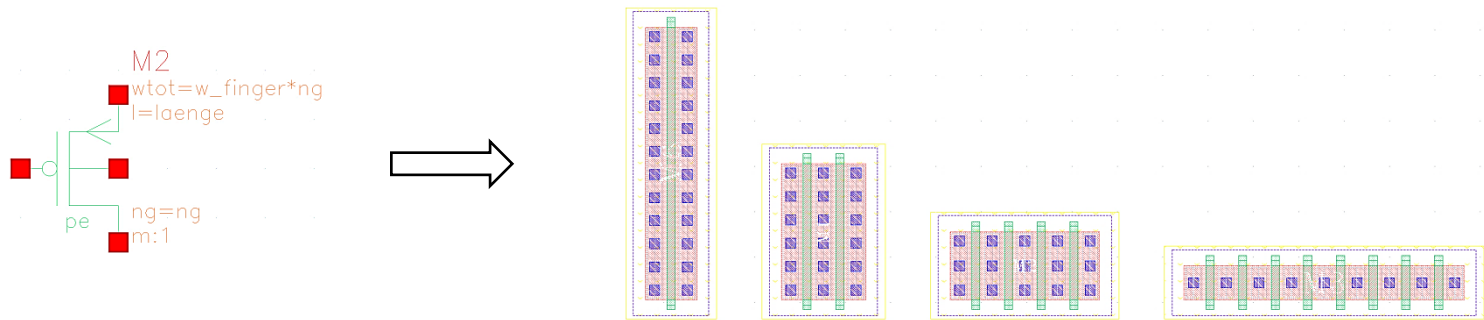
- Verwendung gleichartiger Grundblöcke, aber:
 - Variation im Schaltplan
 - Variation im Layout
 - Variable Anordnung (z. B. Matching)



Analog vs. Digital

Komplexität analoger Bauelemente

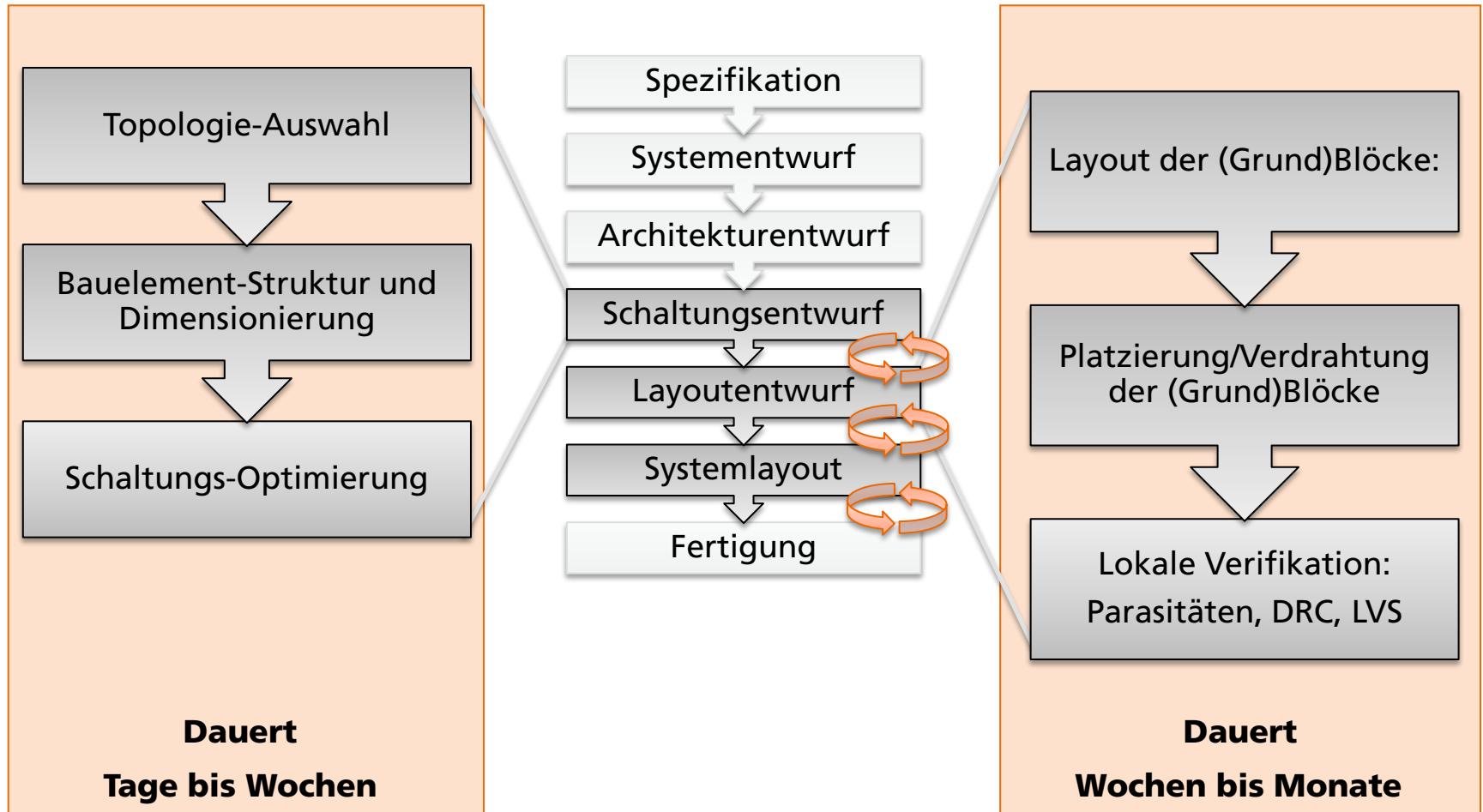
- Details bei Bauelement-Layouts sind entscheidend



- Verschiedene Kapazitäten und Widerstände
- Anderer Kanal-Stress $\rightarrow$ anderer Drain-Strom
- Weitere Effekte: LDE, Mask Shift, Implant-Winkel, ...

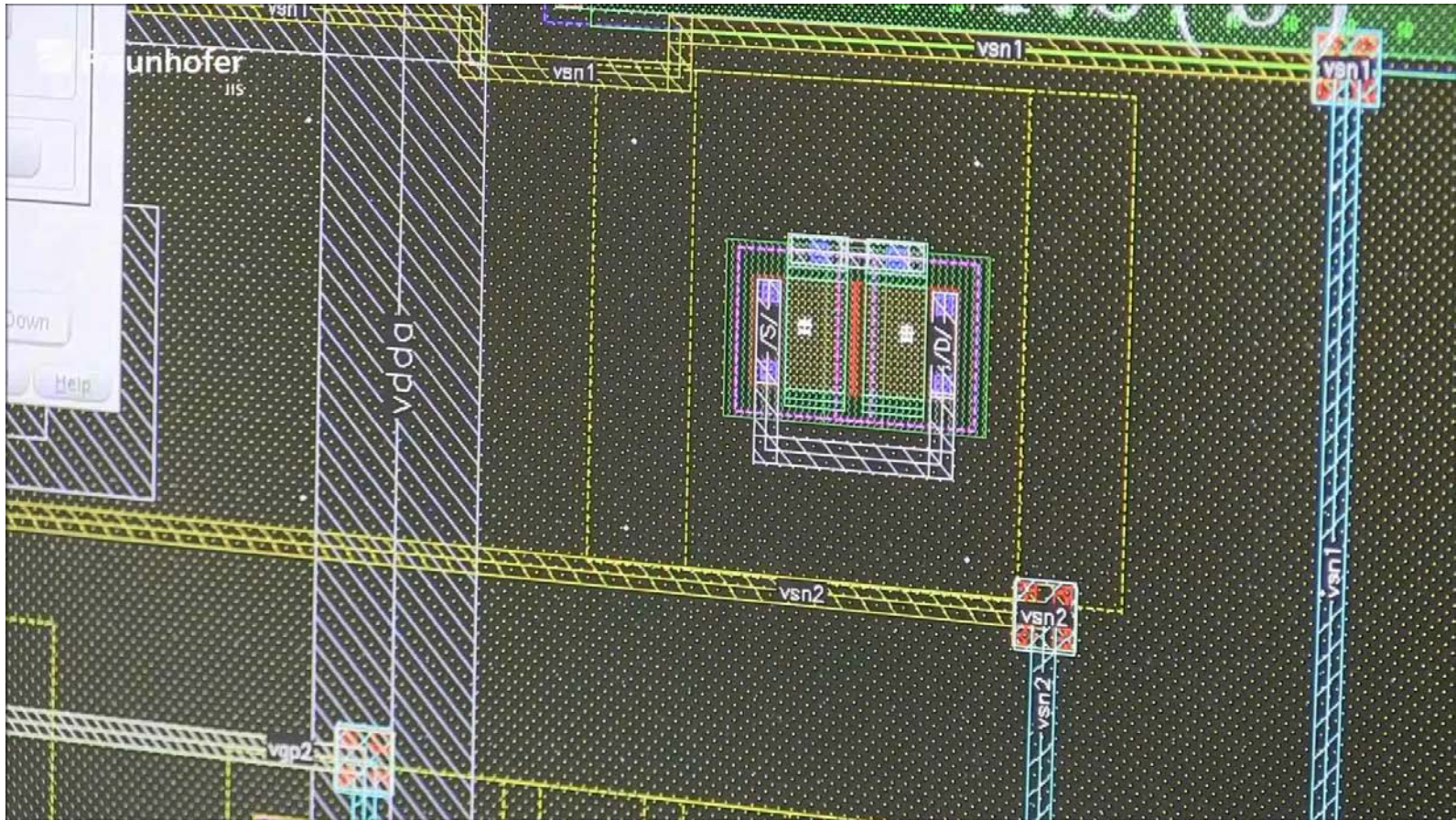
Analog vs. Digital

Analoger Schaltungs- und Layoutentwurf (Flow)



Analog vs. Digital

Eindruck aus dem manuellen Analog-Layoutentwurf



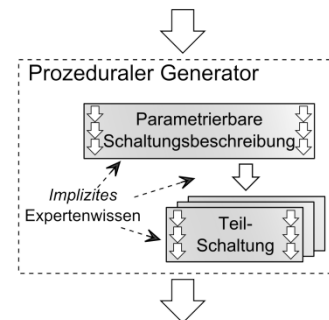
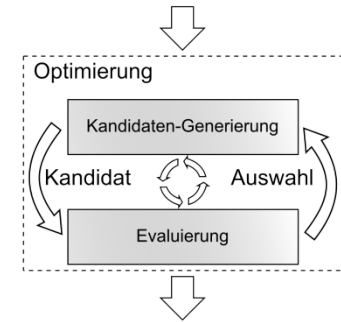
GLIEDERUNG

- Motivation
- Analog vs. Digital
- Lösungsansätze
- Generator-Ansatz
 - Generatoren allgemein
 - Neuartige Generatoren
- Zukünftiger Analogentwurf
- Zusammenfassung

Lösungsansätze

Allgemein: Top-down vs. Bottom-up¹⁾

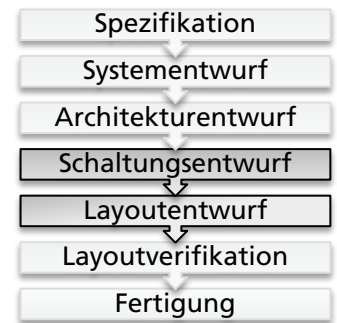
- Top-down ist „High-Level“-Strategie
 - *Explizites* Erzeugen von Lösungen durch Optimierung
- Bottom-up-Strategie
 - *Implizites* Bereitstellen von detaillierten Ergebnissen
- Verbinden beider Ansätze ist vielversprechend



¹⁾ [J. Scheible, J. Lienig, "Automation of Analog ..." ISPD, 2015]; Quellen Grafiken siehe Anhang

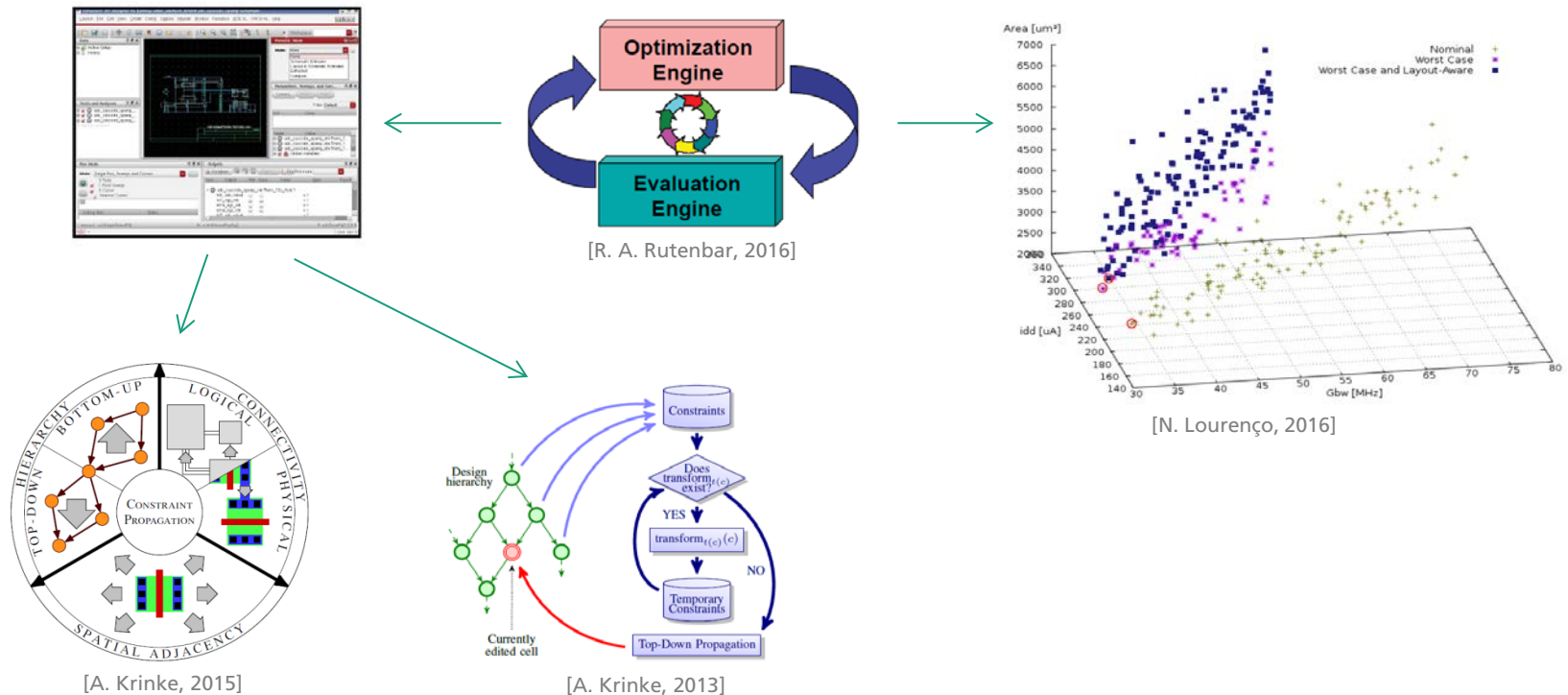
Lösungsansätze

Optimierung als Strategie



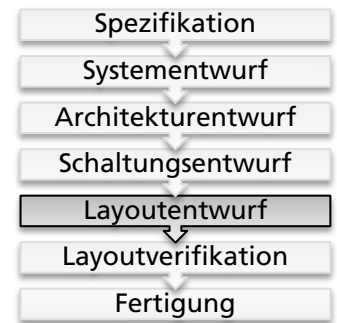
■ “Top-down”-Methoden

- Kern ist Optimierung
- Nötig sind Algorithmen, Heuristiken, Randbedingungen, ...



Lösungsansätze

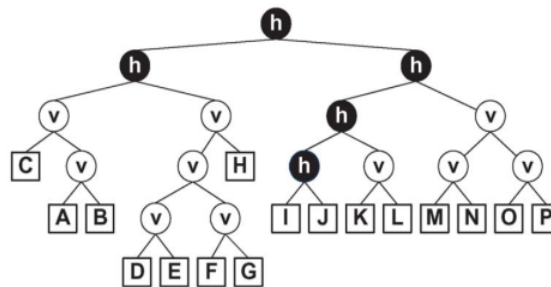
Template-Ansatz



- Template-Ansatz führt **strukturelle Randbedingungen** ein

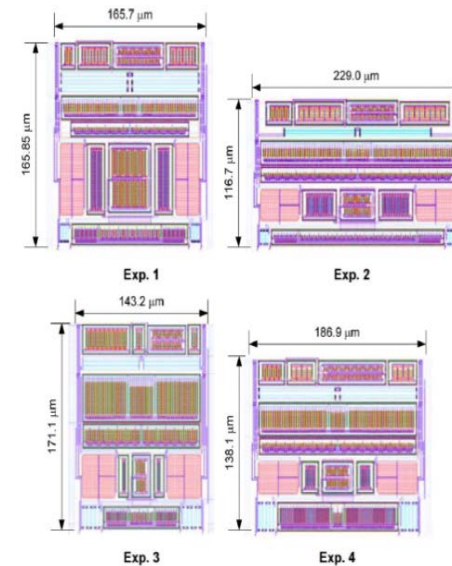


(a)



(b)

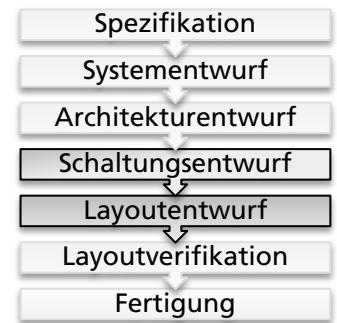
[R. Castro López, 2008]



Wie entsteht die konkrete Geometrie?

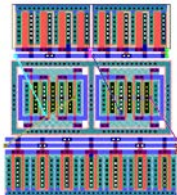
Lösungsansätze

Generator-Ansatz

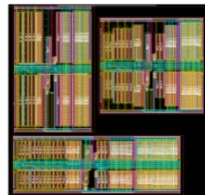


■ “Bottom-up”-Methode Generatoren

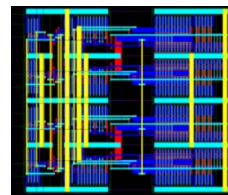
- Schaltplan: PCDS, gPCDS
- Layout: pCell, pyCell, modGen, HiPer DevGen



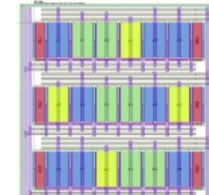
[TannerEDA, HiPer DevGen, 2010]



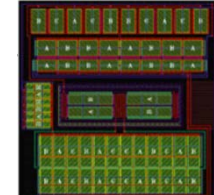
[A. Graupner, DATE11]



[J. Crossley, 2013, BAG]

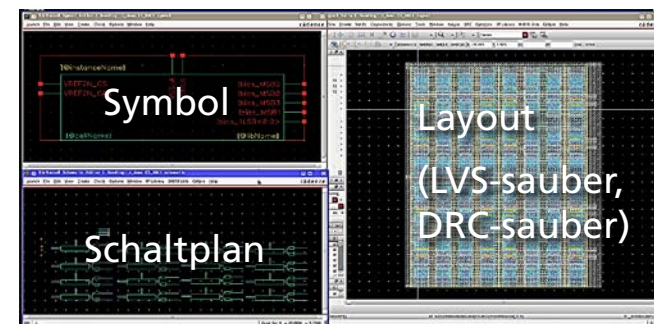


[T. Reich, Analog2013]



[D. Marolt, 2016, SWARM]

- Alle Entwurfsdaten: BAG, IPGen, IIP Framework¹⁾

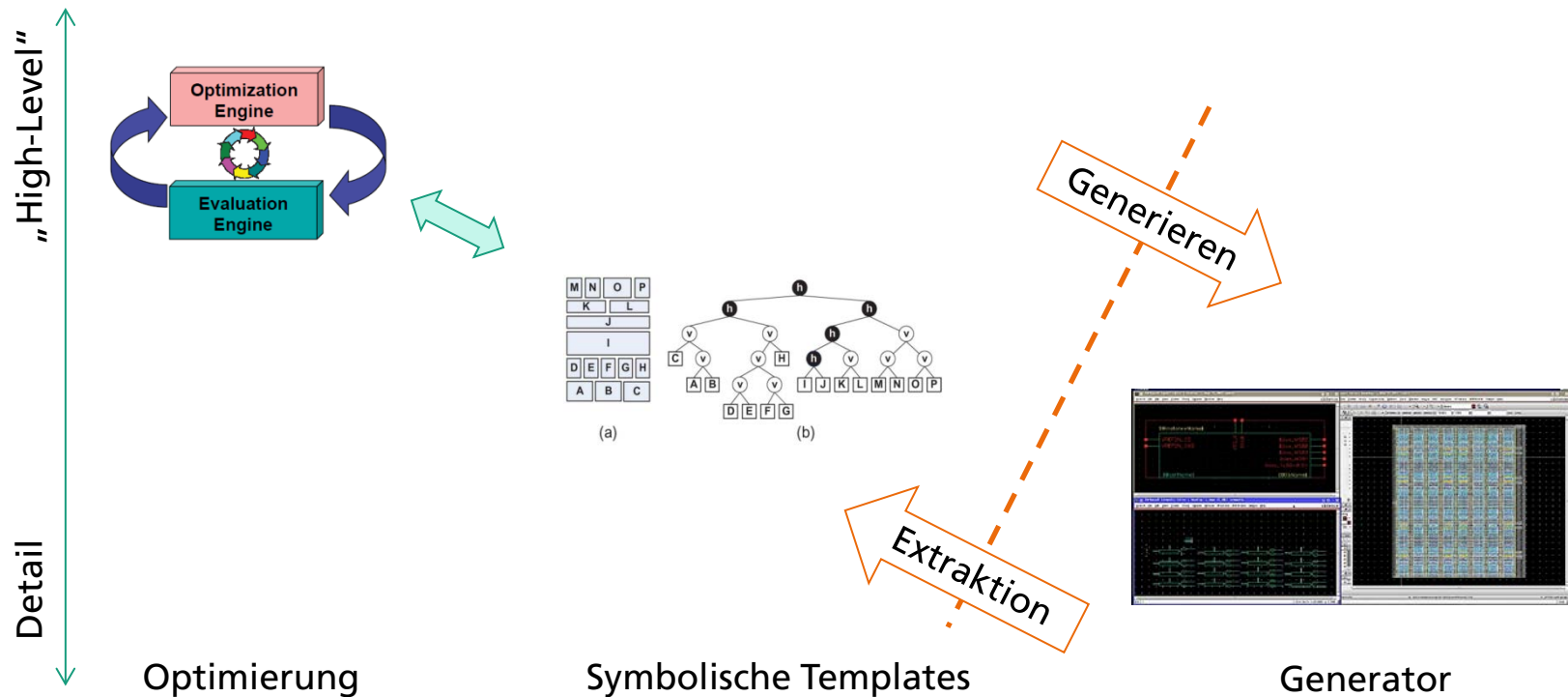


¹⁾ [B. Prautsch, et.al., "IIP Framework ..." SMACD, 2016]; Weitere Quellen s. Anhang

Lösungsansätze

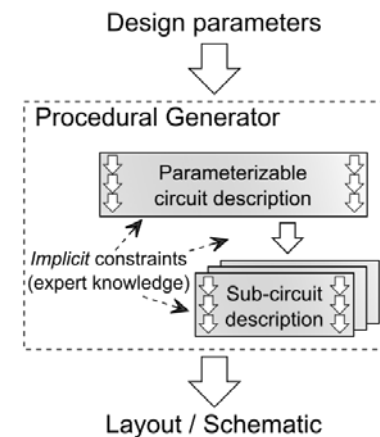
Generatoren sind „Black-Box“

- Hohe Optimierungszeit durch fehlenden Bezug
 - „Wildes Generieren“
 - „Teure“ Details (z. B. Extraktion)



GLIEDERUNG

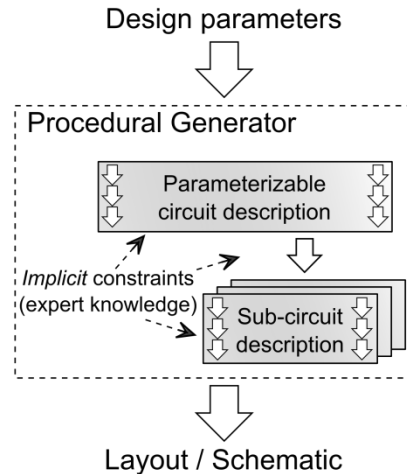
- Motivation
- Analog vs. Digital
- Lösungsansätze
- Generator-Ansatz
 - Generatoren allgemein
 - Neuartige Generatoren
- Zukünftiger Analogentwurf
- Zusammenfassung



[B. Prautsch, et.al., "Abstract Technology ...," ZuE, 2015.]

Generator-Ansatz

Generatoren allgemein und bisherige Limitierungen



- Generatoren sind prozedurale Schaltungsbeschreibung
- Expertenwissen ist **implizit** "hineinprogrammiert"
- Oft **keine kleinen Technologien** unterstützt
- Oft wird **"nur" das Layout** generiert (anstelle der kompletten Datenbasis)

Weshalb alle Entwurfsdaten?

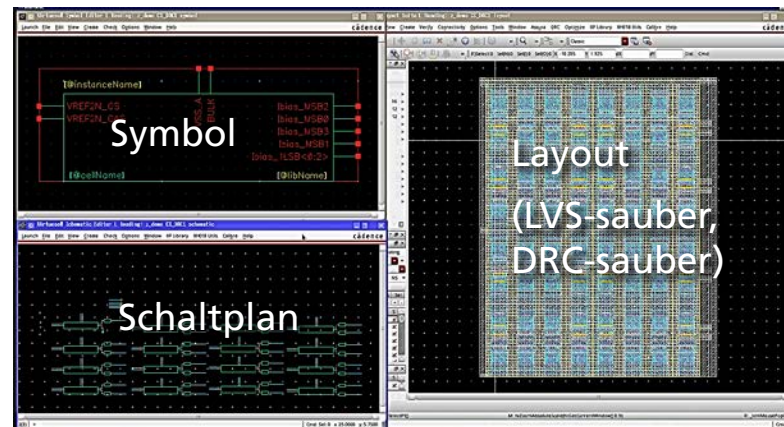
Generator-Ansatz

Generatoren als IP

- Immer stärkere Rückwirkungen zwischen Schaltplan und Layout
- Ansatz: Kapselung in flexiblem IP – „IIP“, Intelligent IP: Gesamten Satz an Entwurfsdaten für Baublöcke erzeugen

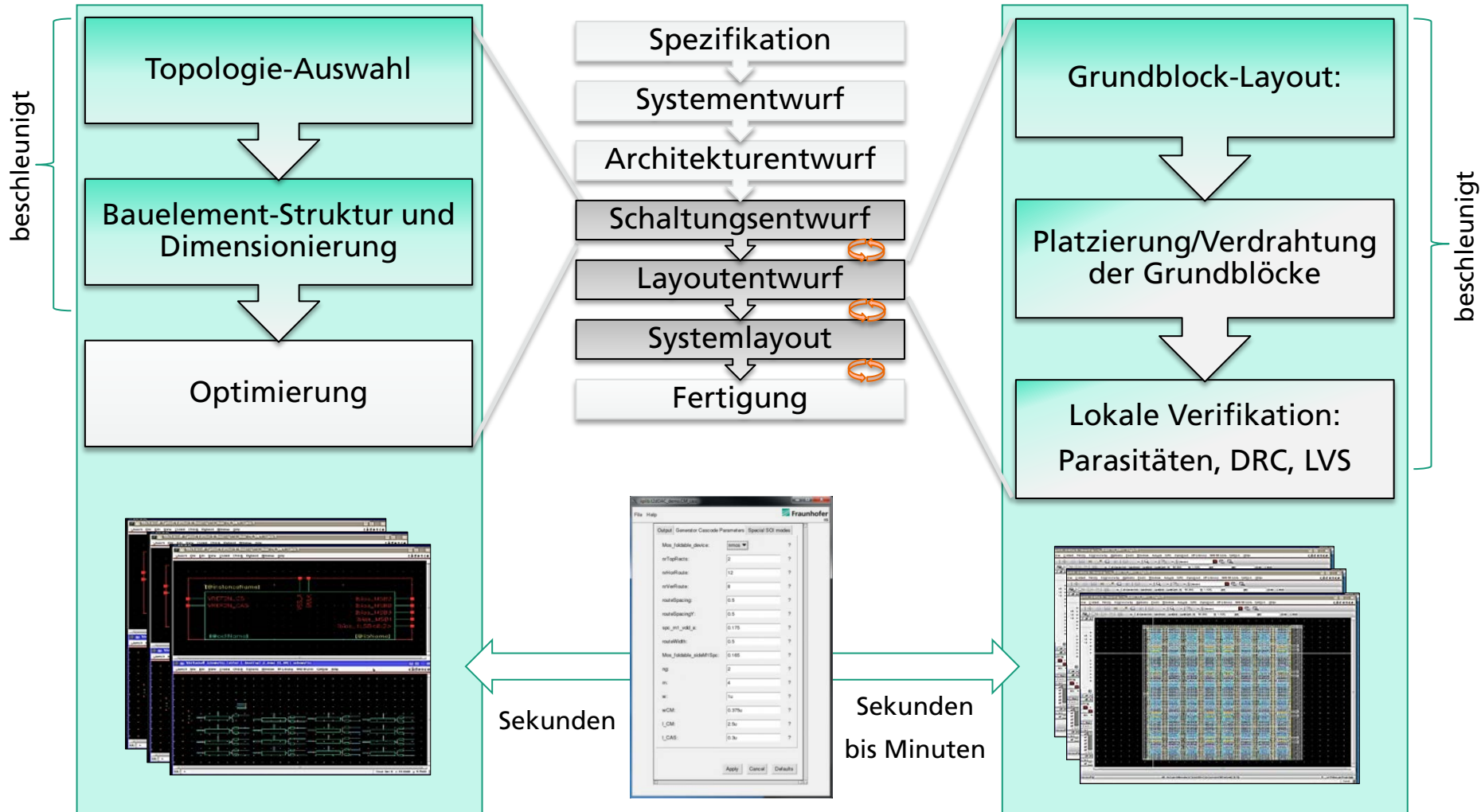


Sekunden bis
Minuten



Generator-Ansatz

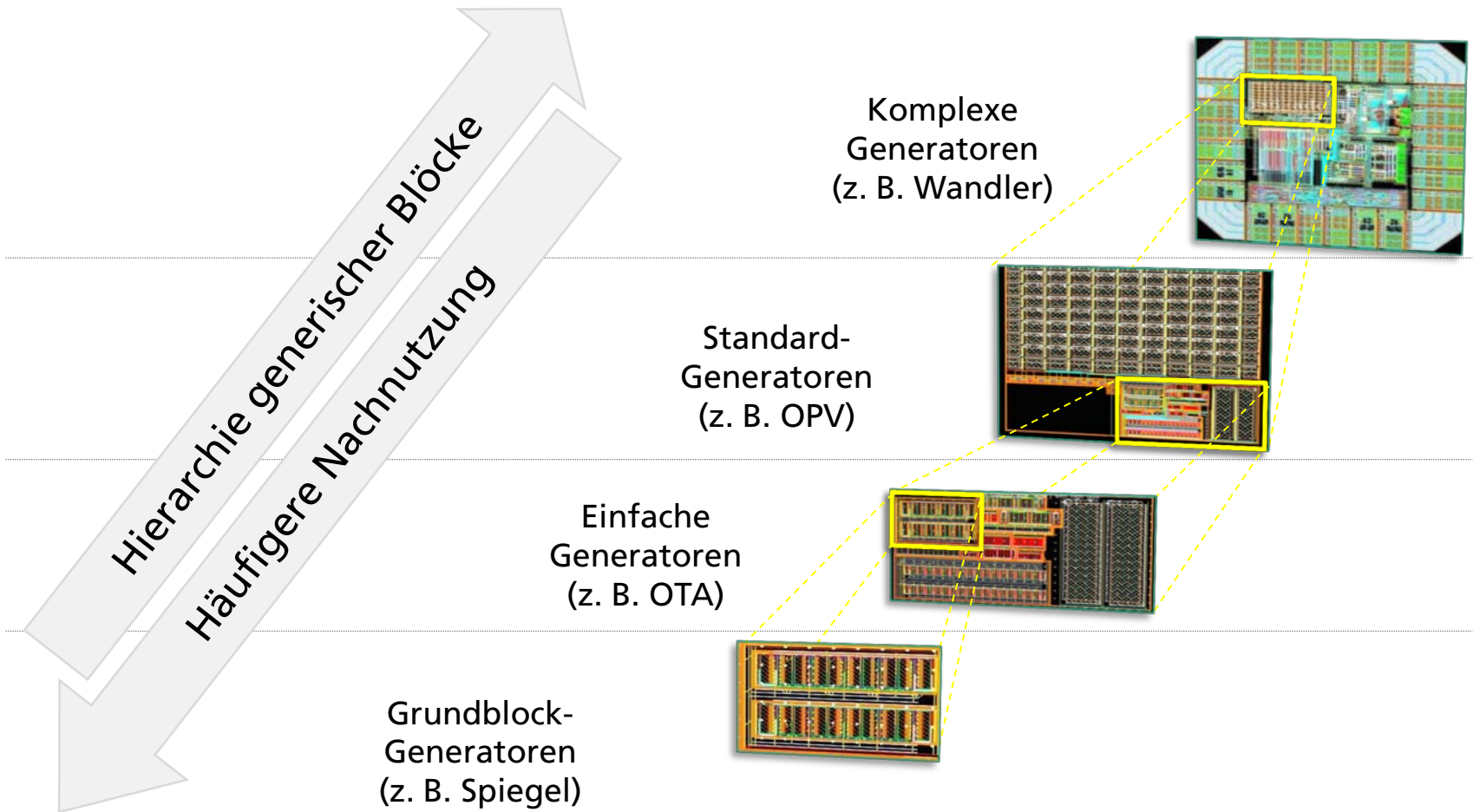
Generatoren im Designflow



29

Generator-Ansatz

Hierarchische Generatoren – Generischer Ansatz

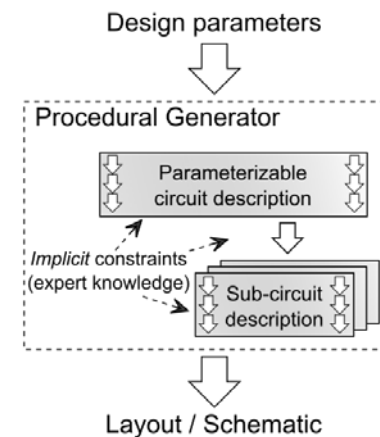


[T. Reich, et.al., „Design of a ...“ Analog, 2013]

30

GLIEDERUNG

- Motivation
- Analog vs. Digital
- Lösungsansätze
- Generator-Ansatz
 - Generatoren allgemein
 - Neuartige Generatoren
- Zukünftiger Analogentwurf
- Zusammenfassung

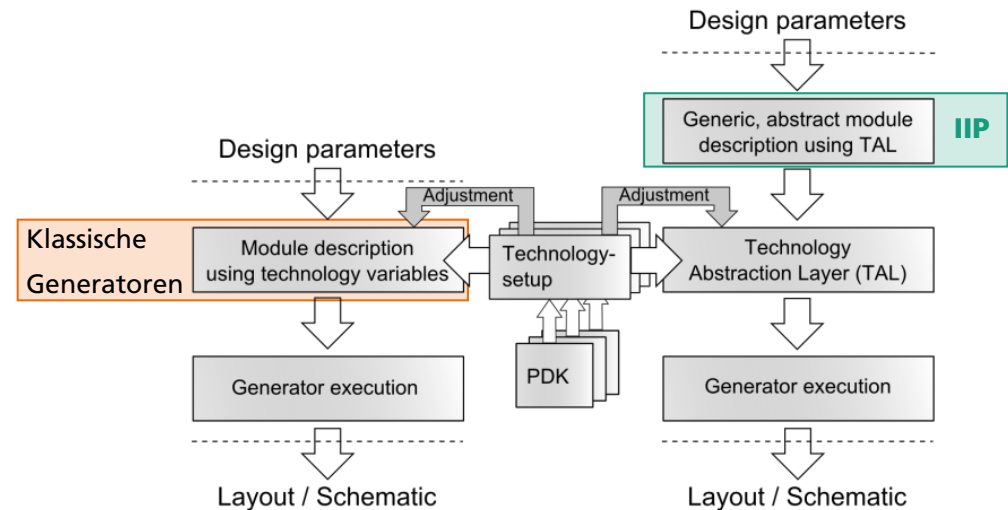


[B. Prautsch, et.al., "Abstract Technology ...," ZuE, 2015.]

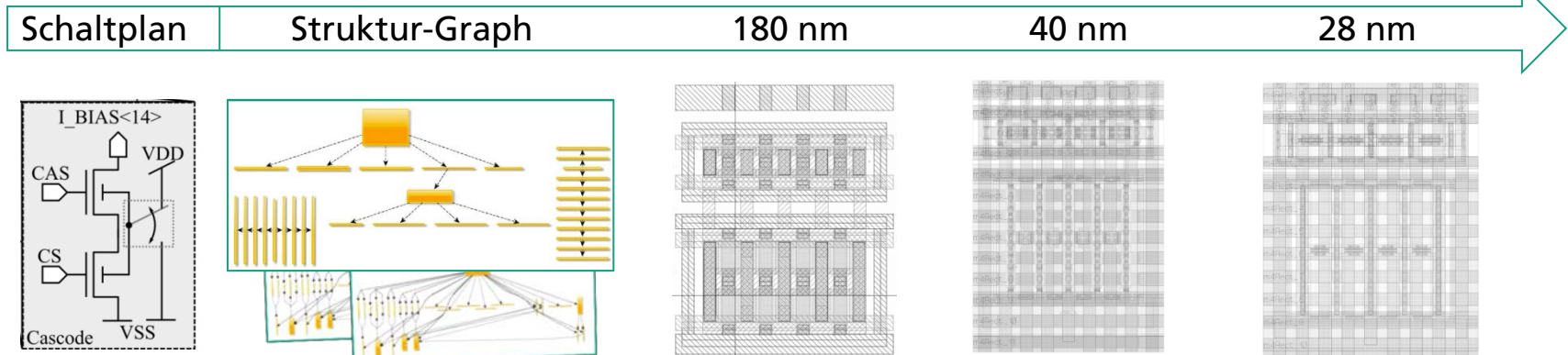
Generator-Ansatz

Neuartige Generatoren: Technologie-Abstraktion

- Technologie-Abstraktion
 - Nötig unter 180 nm
 - Erfassung der Struktur als Graph



■ Beispiel einer Kaskode:



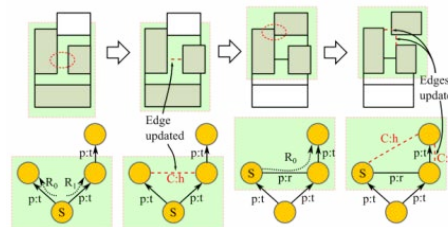
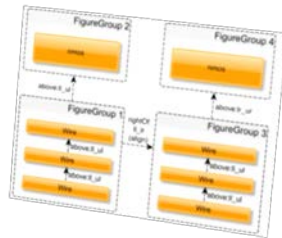
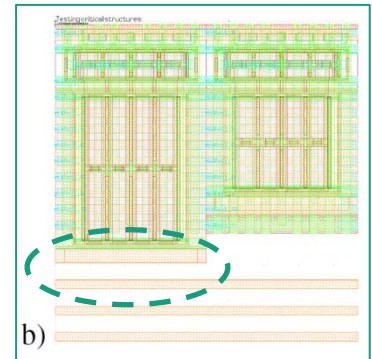
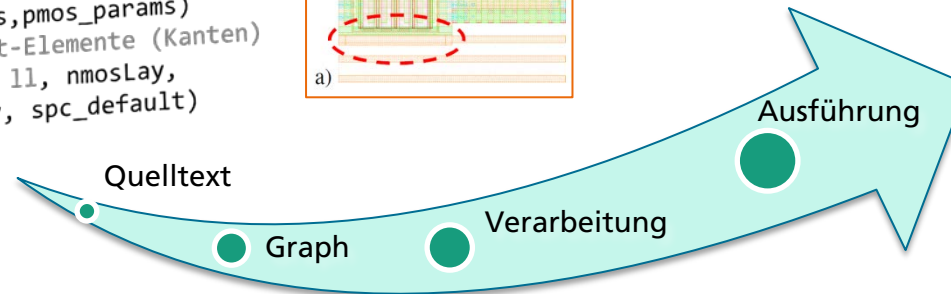
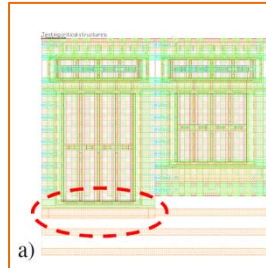
Quellen siehe Anhang

32

Generator-Ansatz

Neuartige Generatoren: Explizite Struktur-Adaption

```
1: // Definition der Layout-Elemente (Knoten)
2: nmos= generate_device(Mos,nmos_params)
3: pmos= generate_device(Mos,pmos_params)
4: // Platzierung der Layout-Elemente (Kanten)
5: pmos.plc_above(nmos, ul, ll, nmosLayer,
    pmosLayer, spc_default)
```



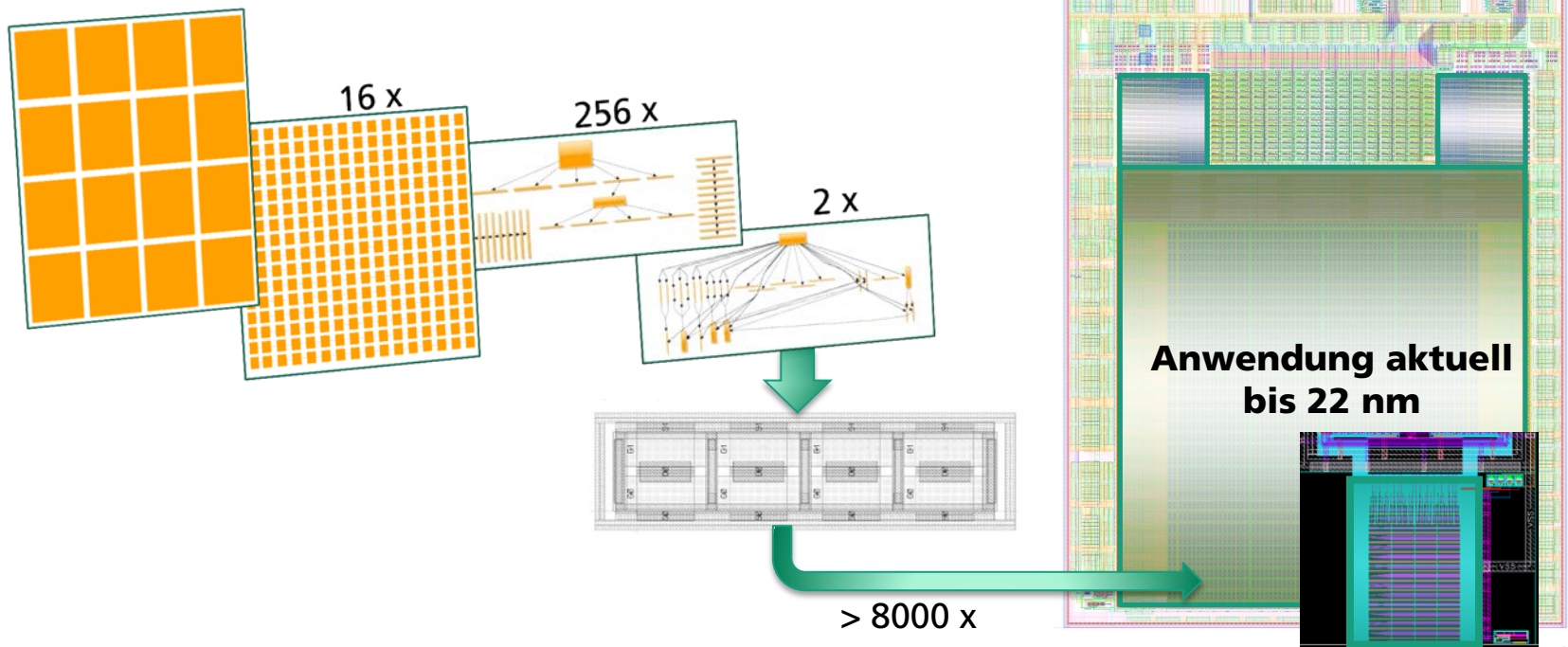
+ **Explizite** Anpassung möglich

– Erhöhte, aber vertretbare Laufzeit (günstig für finalen Schritt)

Generator-Ansatz

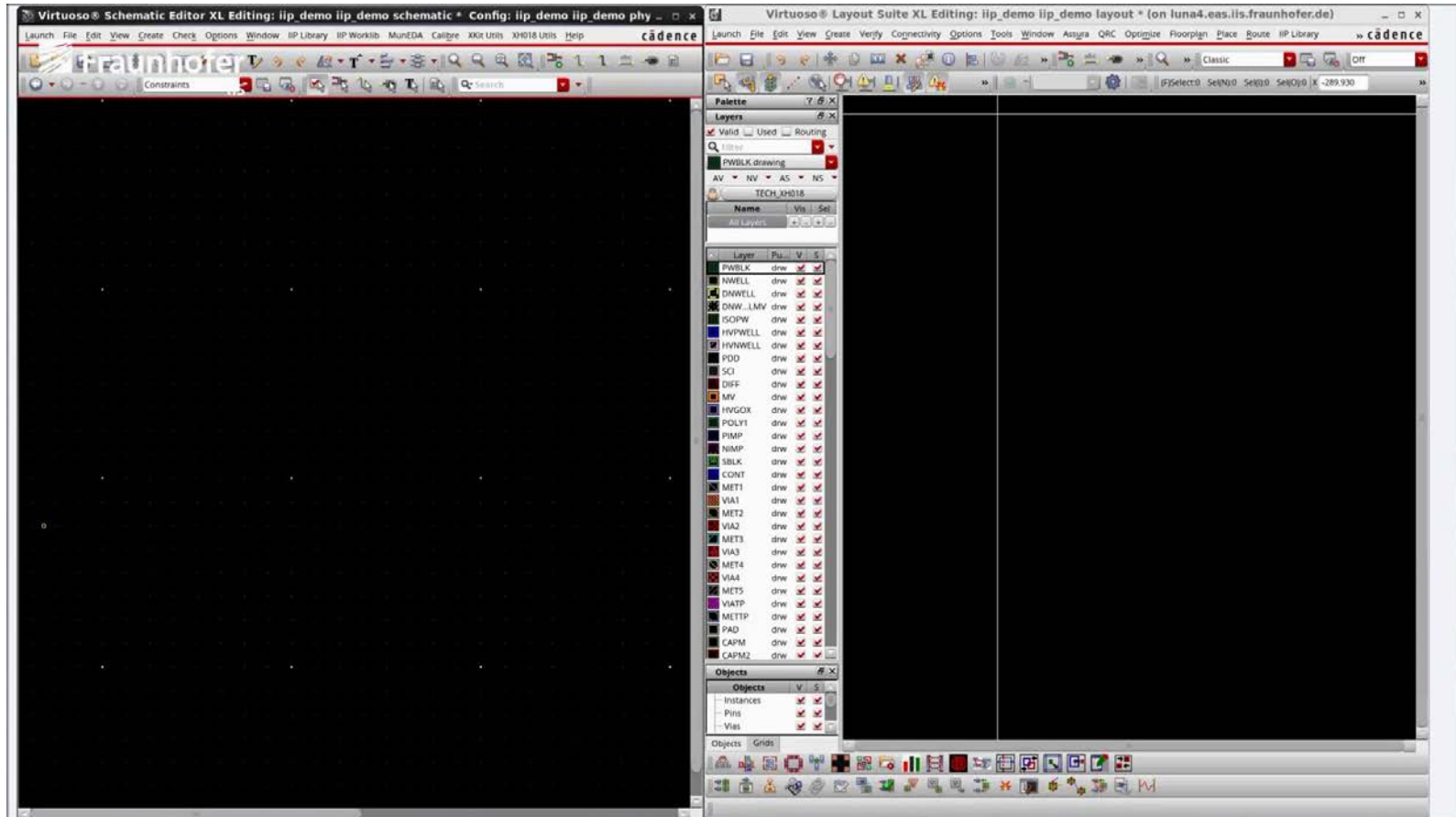
Beispiel: 12-Bit CS-DAC (28 nm)

- Manueller Entwurf mind. **3-4 Wochen**
- IIP-Laufzeit **< 10 min**, bei ca. 4 Wochen Implementierung
- Hierarchischer Generator-Struktur-Graph:



Generator-Ansatz

Video-Demonstration: CS-DAC-Generator (8 Bit, 6 Bit)



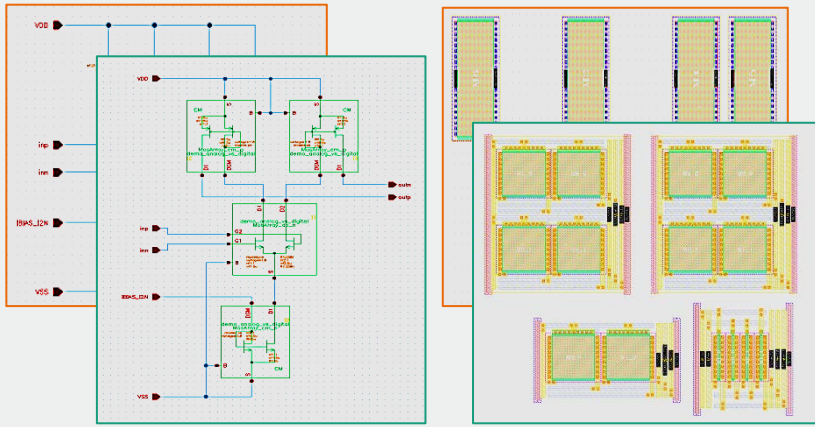
GLIEDERUNG

- Motivation
- Analog vs. Digital
- Lösungsansätze
- Generator-Ansatz
 - Generatoren allgemein
 - Neuartige Generatoren
- Zukünftiger Analogentwurf
- Zusammenfassung

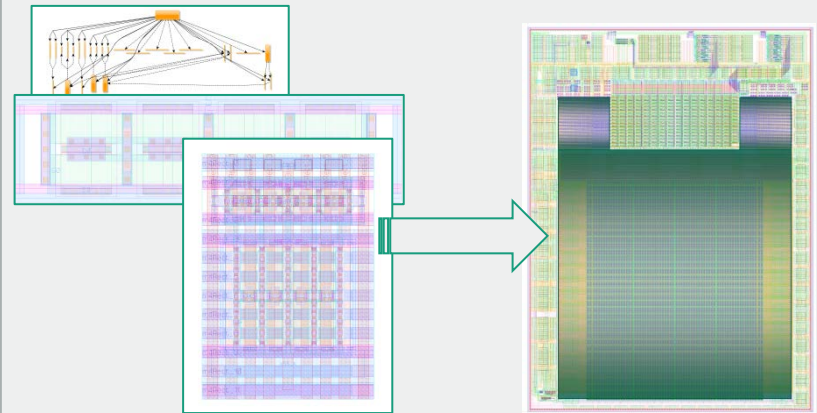
Zukünftiger Analogentwurf

Unterstützung des manuellen Entwurfs

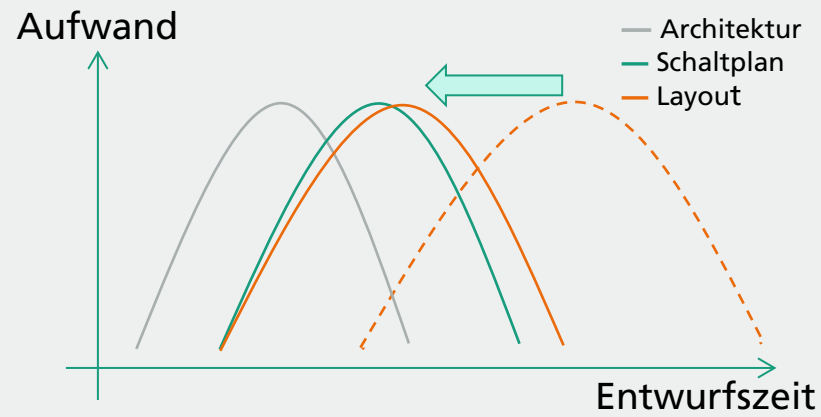
Szenario 1: Entwurf mit Baublöcken



Szenario 2: Entwurf als Generator



Szenario 3: Paralleler Layoutentwurf



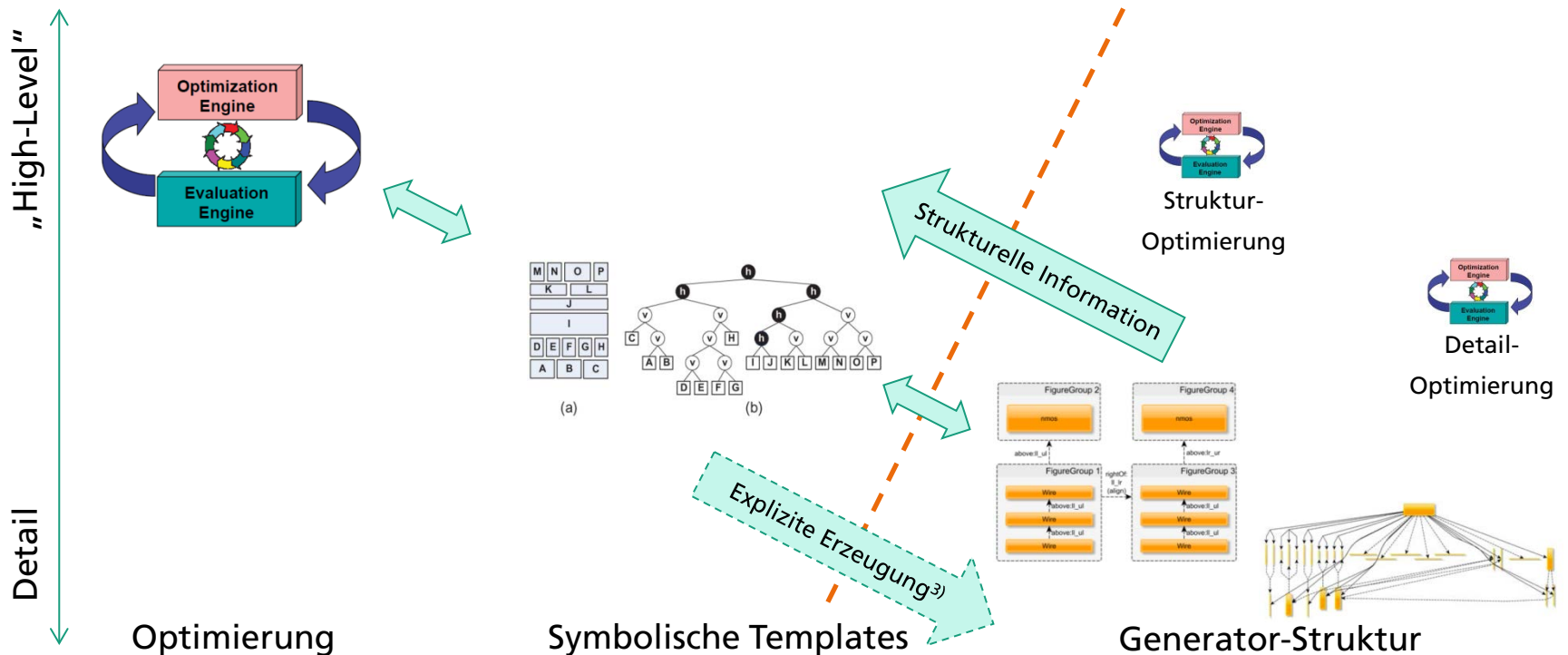
Szenario 4: Generator statt Instanz

- Generierung vieler leicht unterschiedlicher Blöcke
 - Genaue Anpassung an Arbeitspunkt
 - Keine Überdimensionierung

Zukünftiger Analogentwurf

Szenario Generator-Graph als „Brücke“ zur Optimierung

- Transparenz von Generatoren durch Struktur-Graph
- Ermittlung expliziter Zusammenhänge
- Ableiten expliziter Vorgaben für die Optimierung



³⁾ Aktuelles Arbeitsfeld

GLIEDERUNG

- Motivation
- Analog vs. Digital
- Lösungsansätze
- Generator-Ansatz
 - Generatoren allgemein
 - Neuartige Generatoren
- Zukünftiger Analogentwurf
- Zusammenfassung

Zusammenfassung

- Vielzahl an Ansätzen zur Automatisierung
- Optimierung als „Top-down“-Methode
- Generatoren als „Bottom-up“-Lösung
 - Enthalten detailliertes Expertenwissen
 - Konstruktiv für „Handentwurf“ und Optimierung
 - Neu: Struktur-Graph erfasst Relationen explizit
- Algorithmischen Zugang zu Generatoren schaffen
 - „Brücke“ zur Generator-Struktur und Expertenwissen
 - Nutzen der Generator-Struktur für schnelle Iterationen bei Beibehaltung des Expertenwissens

Viele Ansätze, viel Potential!

Kommt die komplette Analogsynthese?

VIELEN DANK FÜR IHRE AUFMERKSAMKEIT!

Benjamin Prautsch

■ benjamin.prautsch@eas.iis.fraunhofer.de

■ +49-351-4640-735

Fraunhofer-Institut für Integrierte Schaltungen IIS,
Entwurf Adaptiver Systeme EAS
Zeunerstraße 38
01069 Dresden



www.eas.iis.fraunhofer.de

Anhang: Quellen (1/3)

Wissenschaftliche Publikationen und Vorträge

Seite 8:

Prozess angelehnt an:

[G. G. E. Gielen, R. A. Rutenbar, „Computer-Aided Design of Analog and Mixed-Signal Integrated Circuits,” Proc. of the IEEE, Vol. 88, No. 12, pp. 1825-1852, 2000]

Seite 10:

Analog frei nach:

[G. Jerke, J. Lienig, „Constraint-driven Design — The Next Step Towards Analog Design Automation,” Int. Symp. on Physical Design (ISPD), Dan Siego, CA, 2009, pp. 75-82.
<http://doi.acm.org/10.1145/1514932.1514952>]

Seite 15:

[H. Graeb, S. Zizala, J. Eckmueller and K. Antreich, "The Sizing Rules Method for Analog Integrated Circuit Design," IEEE/ACM International Conference on Computer Aided Design. ICCAD 2001. IEEE/ACM Digest of Technical Papers (Cat. No.01CH37281), San Jose, CA, USA, 2001, pp. 343-349. doi: 10.1109/ICCAD.2001.968645]

Seite 17:

Kanal-Stress:

[J. Xue, Z. Ye, Y. Deng, H. Wang, L. Yang and Z. Yu, "Layout-dependent STI stress analysis and stress-aware RF/analog circuit design optimization," 2009 IEEE/ACM International Conference on Computer-Aided Design - Digest of Technical Papers, San Jose, CA, 2009, pp. 521-528.]

Nanometer-Effekte:

[Veendrick, Harry, „Nanometer CMOS ICs : From Basics to ASICs,” Heidelberg, New York[u.a.]: Springer, 2008]

[Elie Maricau, Georges Gielen, „Analog IC Reliability in Nanometer CMOS,” in Analog Circuits and Signal Processing, New York, NY: Springer, 2013]

Seite 21:

[J. Scheible and J. Lienig, "Automation of Analog IC Layout – Challenges and Solutions,” Proc. Int. Symp. on Physical Design, pp. 33–40, 2015]

Grafiken:

[B. Prautsch, U. Eichler, T. Reich, A. Puppala, J. Lienig, "Abstract Technology Handling for Generator-Based Analog Circuit Design," Proc. of ZuE 2015, 2015.]

Seite 22:

[R. A. Rutenbar, "What's Up With Analog (CAD)...?", TxACE 2016 Symposium, 2016]

[Nuno Lourenço, Ricardo Martins, António Canelas, Ricardo Póvoa, and Nuno Horta, "AIDA:Layout-aware analog circuit level sizing with in-loop layout generation," INTEGRATION, the VLSI journal (2016), <http://dx.doi.org/10.1016/j.vlsi.2016.04.009>]

[A. Krinke, G. Jerke, J. Lienig, „Constraint Propagation Methods for Robust IC Design“, GMM-Fachbericht 83: Zuverlässigkeit und Entwurf (ZuE 2015), VDE Verlag, ISBN: 978-3-8007-4071-0 , Siegen, S. 7-14, September 2015.]

[A. Krinke, M. Mittag, G. Jerke, J. Lienig, „Extended Constraint Management for Analog and Mixed-Signal IC Design,” Proc. of the 21th European Conference on Circuit Theory and Design (ECCTD 2013), ISBN: 978-3-00-043430-3 , Dresden, September 2013.]

Seite 23:

[R. Castro-Lopez, O. Guerra, E. Roca and F. V. Fernandez, "An Integrated Layout-Synthesis Approach for Analog ICs," in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 27, no. 7, pp. 1179-1189, July 2008. doi: 10.1109/TCAD.2008.923417]

42

Anhang: Quellen (2/3)

Wissenschaftliche Publikationen und Vorträge

Seite 24:

PCDS: [D. Marolt, M. Greif, J. Scheible, G. Jerke, „PCDS: A New Approach for the Development of Circuit Generators in Analog IC Design,” 22nd Austrian Workshop on Microelectronics (Austrochip), Oct. 2014, pp. 1-6. dx.doi.org/10.1109/Austrochip.2014.6946310.]

gPCDS: [M. Greif, D. Marolt, J. Scheible, „gPCDS: An Interactive Tool for Creating Schematic Module Generators in Analog IC Design,” Proc. of the 12th Conf. on Ph.D. Research in Microelectronics and Electronics (PRIME 2016), Lisbon, Portugal, 27.-30.06.2016. <http://dx.doi.org/10.1109/PRIME.2016.7519539>]

[Tanner EDA, „High Performance Device Generation – New Approach to Accelerating Analog Layout Surpasses Full Custom and Traditional Automation Methodologies”]

[A. Graupner, R. Jancke, R. Wittmann, "Generator based approach for analog circuit and layout design and optimization," 2011 Design, Automation & Test in Europe, Grenoble, 2011, pp. 1-6. doi: 10.1109/DATE.2011.5763267]

[J. Crossley et al., "BAG: A Designer-Oriented Integrated Framework for the Development of AMS Circuit Generators," 2013 IEEE/ACM International Conference on Computer-Aided Design (ICCAD), San Jose, CA, 2013, pp. 74-81. doi: 10.1109/ICCAD.2013.6691100]

[T. Reich, U. Eichler, K.-H. Rooch, R. Buhl, "Design of a 12-bit cyclic RSD ADC Sensor Interface IC using the Intelligent Analog IP Library", ANALOG 2013 - Entwicklung von Analogschaltungen mit CAE-Methoden, March 2013.]

[D. Marolt, J. Scheible, G. Jerke, V. Marolt, "Analog Layout Automation via Self-organization: Enhancing the Novel SWARM Approach," 2016 IEEE 7th Latin American Symposium on Circuits & Systems (LASCAS), Florianopolis, 2016, pp. 55-58. doi: 10.1109/LASCAS.2016.7451008]

[B. Prautsch et al., "IIP Framework: A Tool for Reuse-Centric Analog Circuit Design," 2016 13th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD), Lisbon, 2016, pp. 1-4. doi: 10.1109/SMACD.2016.7520725]

Seite 26, Seite 27:

[B. Prautsch, U. Eichler, T. Reich, A. Puppala, J. Lienig, "Abstract Technology Handling for Generator-Based Analog Circuit Design," Proc. of ZuE 2015, 2015.]

Seite 30:

[T. Reich, U. Eichler, K.-H. Rooch, R. Buhl, "Design of a 12-bit cyclic RSD ADC Sensor Interface IC using the Intelligent Analog IP Library," ANALOG 2013 - Entwicklung von Analogschaltungen mit CAE-Methoden, March 2013.]

Seite 32:

Vergleichsgrafik zur Technologie-Abstraktion:

[B. Prautsch, U. Eichler, T. Reich, A. Puppala, J. Lienig, "Abstract Technology Handling for Generator-Based Analog Circuit Design," Proc. of ZuE 2015, 2015.]

Seite 33:

[B. Prautsch, U. Eichler, T. Reich, J. Lienig, "Explicit Feature and Edge Insertion for Improved Analog Layout Generators in Advanced Semiconductor Technologies," Proc. of ANALOG 2016, pp. 22-27, Sep 2016]

Anhang: Quellen (3/3)

Internetquellen

Seite 6:

Telefonierende Menschen: [mwrf.com, <http://mwrf.com/technologies/recognize-rf-architectures-smartphone-market>]

„IoT is giong to be huge“: [slideshare.net, <https://www.slideshare.net/FranciscoJariego/io-t-opening-the-internet-of-everything-to-everyone-smart-city-expo-nov2014-v11>]

Seite 7:

Chip-Foto 1971: [theregister.co.uk, https://www.theregister.co.uk/2011/11/15/the_first_forty_years_of_intel_microprocessors/]

Chip-Foto 2012: [gamestar.de, http://www.gamestar.de/hardware/prozessoren/intel-core-i7-3960x/test/intel_core_i7_3960x_sandy_bridge_e,389,2562037.html]

Seite 8:

Architektur-Grafik: [<http://www.ee.ust.hk/~rfid/phase1/transceiver.htm>]

Grafik Fertigung: [itwissen.info, <http://www.itwissen.info/definition/lexikon/PCM-phase-change-memory-Phasenwechselspeicher.html>]

Seite 9:

DRC Regel-Prüfungen: [STMicroelectronics, CMP annaual users meeting, 2014]

Layoutabhängige Effekte: [Tom Beckley, Cadence, „Taming the Challenges of Advanced-Node Design“, 2012]

Lithographie: [Cadence, „Taming the Challenges of 20nm Custom/Analog Design“, 2012]

Seite 10:

Digital: [eet-china.com, <http://www.eet-china.com/news/article/201606221630>]